

# Lab1 32-bit ALU 设计

## 1 实现方法

### (1) 概述

本项目使用了模块化的结构编写代码，分别编写了 ALU，二进制转十进制，显示数字及符号等模块，最后在 *top\_module.sv* 中对其进行整合。下面对每个模块进行讲解。

### (2) ALU

输入 32 位的一个数值和 3 位的一个操作数，输出 32 位的一个数值和 4 个标志码。根据不同操作数使用 Verilog 自带的逻辑运算，其中加减运算需要特殊设置标志码，其余运算都可用简单的运算判断标志码。

### (2) 显示模块

输入时钟信号，32 位的三个数值，一个 3 位的操作数，输出 AN 和 A2G 信号。时钟取 3 位的信号，即数值在 0 7 之间循环。当时钟为 0 时显示第一个数的十位，时钟为 1 时显示第一个数的个位，时钟为 2 时显示运算符号，时钟为 3 时显示第二个数的十位，时钟为 4 时显示第二个数的个位，时钟为 5 时显示等于号，时钟为 6 时显示结果的十位，时钟为 0 时显示结果的个位。因为数码管运行很快，所以可以做到视觉上所有位同时亮起的效果。

注：AbCdEFG 分别代表与，或，加，与后数的反，或后数的反，减和 SLT。

### (3) 顶层模块

将各个模块连接到一起，实现其功能，其中两个数值用高位 28 个 0 和 4 个波动开关表示。

## 2 实现体会

在实现 2 进制转 10 进制时，我直接使用了 verilog 中的除法简易实现了功能，但查阅资料得知开发板并不自带除法器，verilog 需要用现有元件

自行拼凑出一个除法器，这无疑降低了运行速度，这一部分有待我通过后续学习进行改进。