



نکات مهم:

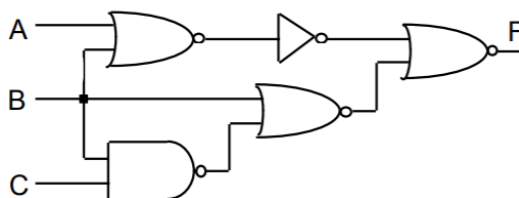
- هنگام تحویل تمرینات، حتماً نام، نام خانوادگی و شماره دانشجویی خود را قید کنید.
 - دانشجویان می‌توانند در حل تمرینات به صورت دونفره یا چندنفره با هم هم‌فکری و بحث نمایند ولی هر شخص می‌بایست در نهایت جواب و استدلال خودش را به صورت انفرادی بنویسد و در صورت شباهت جواب‌های دو یا چند نفر، تمامی افراد نمره را از دست خواهند داد!
 - تحویل تمرینات **فقط** به صورت الکترونیکی خواهد بود.
 - در نسخه الکترونیکی، صورت یا شماره سوالها نیز همراه پاسخها در فایل نوشته شود.
 - برای تحویل نسخه الکترونیکی، تمرینات را قبل از موعد تحویل در سامانه مودل با فرمت pdf آپلود نمایید.
 - پاسخ‌ها و روال حل مسائل را به صورت دقیق و شفاف بیان کنید.
 - از خط خوردگی و نگارش ناخوانا بپرهیزید.
 - اگر فکر می‌کنید سوالی چندین تفسیر دارد، با درنظر گرفتن فرض‌های منطقی و بیان شفاف آنها در برگه، اقدام به حل آن نمایید.
 - واحدهای اعداد فراموش نشود!
 - دانشجویان عزیز، تمرینات مشخص شده در «بخش اول: سؤالات اختیاری» برای تمرین بیشتر شما در منزل طراحی شده است و نیازی به تحویل جواب آنها نیست.
 - برای حل تمرین‌های اختیاری به کتاب راث که در سامانه courses به آدرس <https://courses.aut.ac.ir> قرار دارد مراجعه کنید و در صورت بروز ابهام و سؤال در حل این تمرین‌ها، در زمان کلاس حل تمرین، به تدریسار خود مراجعه نمایید.
- بخش اول: سؤالات اختیاری

مسائل شماره 8-10 ، 15-8، 1-9 و 44-9 از کتاب راث



■ بخش دوم: سوالات اصلی

1. در مدار زیر گیت NOT دارای تاخیر 5 نانوثانیه، گیت NAND دارای تاخیر 10 نانوثانیه و گیت NOR دارای تاخیر 12 نانوثانیه است. دیاگرام زمانی کامل سیگنال‌های A، B، C و F را رسم کنید. فرض کنید در ابتدا مقدار A برابر با 0، مقدار B برابر با 0 و مقدار C برابر با 1 است. سپس B برابر 1 می‌شود و پس از 80 نانوثانیه مجدداً 0 می‌شود. آیا پالس ناخواسته (glitch) در خروجی مشاهده می‌شود؟ اگر بله، آیا این پالس در هر دو تغییر سیگنال B اتفاق می‌افتد یا فقط یک تغییر؟ دلیل این امر را تشریح کنید. (20 نمره)



2. با در نظر گرفتن تاخیر گیت‌ها بصورت زیر، دیاگرام زمانی تابع $F = XY + X'YZ' + YZ$ را رسم کنید. فرض کنید در ابتدا مقدار X برابر با 0 و مقدار Y و Z برابر با 1 است. به مدت 80 نانوثانیه X برابر 1 می‌شود و سپس 0 می‌شود. آیا در خروجی یک پالس ناخواسته مشاهده می‌کنید؟ آیا این پالس در هر دو تغییر X اتفاق می‌افتد یا فقط روی یک تغییر؟ در مورد مشاهدات خودتان بحث کنید. (20 نمره)

- a. Inverter: 5 ns
- b. 2-input AND: 10 ns
- c. 3-input AND: 15 ns
- d. 2-input OR: 12 ns
- e. 3-input OR: 17 ns

3. تابع زیر را به کمک یک دیکدر 3:8 با خروجی فعال-بالا پیاده‌سازی کنید. (10 نمره)

$$F(A, B, C) = \sum m(0, 3, 4, 6)$$

4. یک دیکدر 5:32 با استفاده از چند دیکدر 3:8 و یک گیت NOT طراحی کنید. فرض کنید هر دیکدر 3:8 یک Enable فعال-بالا و یک Enable فعال-پایین دارد. (20 نمره)



5. تابع زیر را بدون ساده‌سازی به کمک دیکدر و گیت‌های موردنیاز پیاده‌سازی کنید. (20 نمره)

$$F(x, y, z) = (x'y'z' + x'y'z + xy'z')(xyz + xyz' + xy'z')$$

6. یک دیکدر BCD به دهنده طراحی کنید. (20 نمره)

7. مدار معادل تابع زیر را با روش‌های خواسته شده طراحی کنید. (30 نمره)

$$F(A, B, C, D, E) = \Sigma m(0, 2, 6, 7, 8, 10, 11, 12, 13, 14, 16, 18, 19, 29, 30) + \Sigma d(4, 9, 21)$$

الف) با استفاده از مالتی‌پلکسر 16×1 با ورودی‌های کنترلی A, B, C و D

ب) با استفاده از مالتی‌پلکسر 8×1 با ورودی‌های کنترلی A, B و C و گیت‌های مورد نیاز

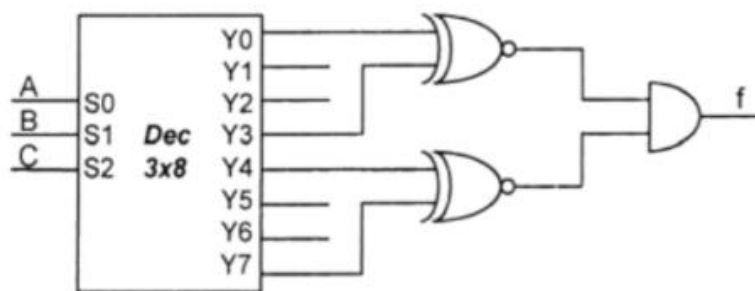
8. می‌خواهیم یک Priority Encoder با 8 ورودی طراحی کنیم به گونه‌ای که همواره ما بین ورودی‌های

با اندیس زوج و فرد به ورودی با اندیس فرد اولویت دهد. در داخل هر دسته از ورودی‌های زوج و

فرد نیز، این مدار به ورودی با اندیس بزرگ‌تر اولویت می‌دهد. جدول ارزش‌های این مدار را بکشید. (15

نمره)

9. تابع خروجی مدار شکل زیر را بدست آورید. (15 نمره)



10. ابتدا بدون ساده‌سازی مدار منطقی مربوط به تابع زیر را با استفاده از دیکدر 4:16 با خروجی فعال -

پایین طراحی کنید. سپس این تابع را با استفاده از جدول کارنو ساده کرده و آن را با روش تمام NOR

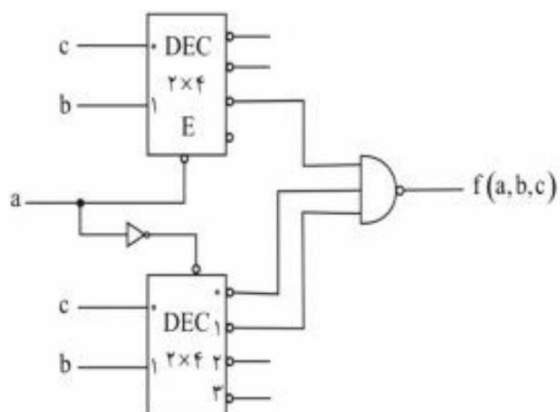
پیاده‌سازی کنید. پیچیدگی سخت‌افزاری این دو طرح را مقایسه کنید. (30 نمره)

$$F(A, B, C, D) = (A\bar{B} + CD) \oplus A\bar{C}$$



■ بخش سوم: سوالات امتیازی

11. تابع خروجی را در شکل زیر بدست آورید. (20 نمره)



موفق باشید