

高速数字电路设计教材

拟制：	<div></div>	日期：	<div>yyyy-mm-dd</div>
审核：	<div></div>	日期：	<div>yyyy-mm-dd</div>
审核：	<div></div>	日期：	<div>yyyy-mm-dd</div>
批准：	<div></div>	日期：	<div>yyyy-mm-dd</div>



华为技术有限公司
版权所有 侵权必究



目 录

第九章 连接器 (Connectors)	3
9.1 共模电感 (MUTUAL INDUCTANCE--HOW CONNECTORS CREATE	3
9.1.2 地平面如何改变回流路径 (How Grounds Alter the Return-Current Path)	5
9.2 串联电感——连接器产生电磁干扰 (EMI) 的主要原因 (SERIES	6
INDUCTANCE--HOW CONNECTORS CREATE EMI)	6
9.3 寄生电容 --多负载总线上的连接器 (PARASITIC CAPACITANCE--USING	10
CONNECTORS ON A MULTIDROP BUS)	10
9.3.1 管脚到管脚的电容 (Pin-to-Pin Capacitance)	11
9.3.2 电路布线电容 (Circuit Trace Capacitance)	11
9.3.3 接受器和驱动器的电容 (Capacitance of Receivers and Drivers)	11
9.3.4 分布均匀的负载 (Evenly-Spaced Loads)	12
9.3.5 慢速总线 (Very Slow Bus)	12
9.4 连接器的耦合测量 (MEASURING COUPLING IN A CONNECTOR)	13
9.4.1 接地和信号管脚 (Ground and Signal Pins)	13
9.4.2 脉冲发生器和源端阻抗 (Pulse Generator and Source Impedance)	14
9.4.3 发送线的终端阻抗 (Terminating Impedance on the Transmitting Line)	14
9.4.4 模拟接收线的源端阻抗 (Simulated Source Impedance of Receiving Line)	14
9.4.5 匹配电阻 (Matching Resistor)	14
9.5 连接器布地的连续性 (CONTINUITY OF GROUND UNDERNEATH A	15
CONNECTOR)	15
9.6 外部连接中如何满足 EMI 问题 (FIXING EMI PROBLEMS WITH EXTERNAL	18
CONNECTIONS)	18
9.6.1 滤波 (Filtering)	18
9.6.2 屏蔽 (Shielding)	18
9.6.3 常规阻塞 (Common Mode Choke)	19
9.7 用于高速信号的特殊连接器 (SPECIAL CONNECTORS FOR HIGH-SPEED	20
APPLICATIONS)	20
9.7.1 AMP Z-Pack 点对点连接器 (AMP Z-Pack Point-to-Point Connector)	20
9.7.2 Augat 点对点连接器 (Augat Point-to-Point Connector)	21
9.7.3 Teradyne 多负载总线连接器 (Teradyne Multidrop Bus Connector)	22
9.8 经过连接器的差分信号 (DIFFERENTIAL SIGNALING THROUGH A	22
CONNECTOR)	22
9.9 连接器的电源控制特性 (POWER-HANDLING FEATURES OF CONNECTORS)	24



第九章 连接器 (Connectors)

摘要：

本章就连接器对系统所造成的信号干扰问题和 EMI 问题进行了原理性分析和理论计算，对我们所应关注的连接器的三个主要参数：共模电感、串联电感和寄生电容的产生机制和影响进行了深入的讨论。并就高速应用、多负载总线应用、差分信号应用、背板应用等各种应用场合的特点进行了分析。最后，还讨论了一些新型的连接器。

正文：

信号速度越快，选用连接器就越困难。原因是多方面的。首先价格方面，常用的几十 MHz 的 DIN 连接器的价格比用于 25GHz 信号的手工装配的 SMA 连接器便宜 100倍以上。为什么连接器之间的差异何以如此之大？

本章介绍了高速连接器的重要特征。读完本章后，你将知道在你的应用中应考虑连接器的哪些特性并如何测试。

影响连接器的速度的电系数包括：

共模电感 --导致串扰

串联电感 --降低信号速度并导致电磁干扰 (EMI)

寄生电容 --降低信号速度

9.1 共模电感 (MUTUAL INDUCTANCE--HOW CONNECTORS CREATE CROSSTALK)

图9.1中的电流回路说明了简单的共模电感耦合。图中有三个电路路径 X、Y、Z。从逻辑门 A 发出的电流将通过 X 返回 A。由于 X、Y、Z有交迭，X的磁场会给 Y、Z信号带来噪声电压。在 Y 上的噪声会比 Z上的噪声大，因为 Y与X的交迭面积更大。即使没有交迭，两个相邻的电流回路也会相互影响，产生共模电感噪声。

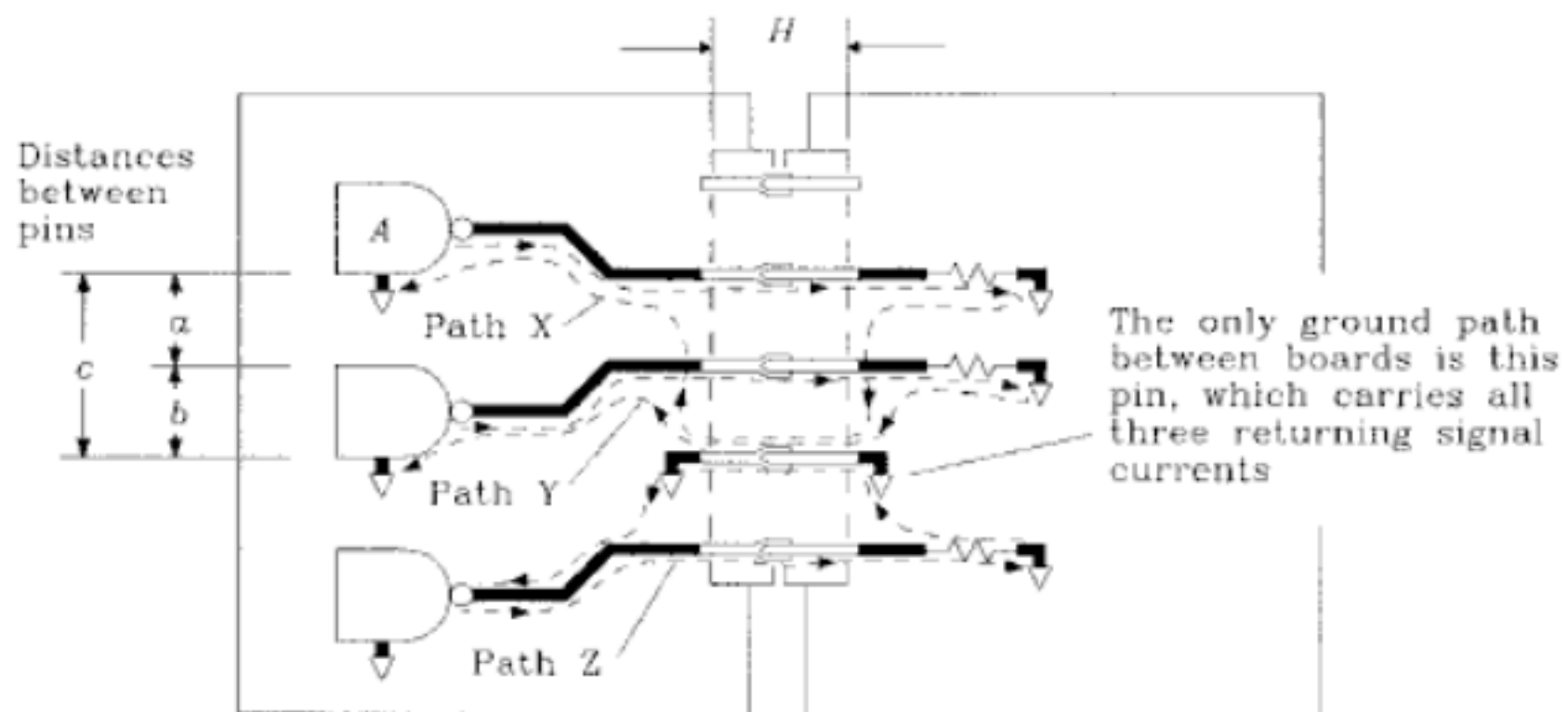


Figure 9.1 Mutual inductive coupling in a connector.

图 9.1 连接器的共模电感

连接器的管脚之间还存在寄生电容，在数字电路里它会导致串扰，不过影响比共模电感小一些。有的连接器表现为容性，有的表现为感性。9.4 节说明了如何测量他们的耦合系数。现在我们先讨论电感。

9.1.1 串扰评估 (Estimating Crosstalk)

我们可以利用第一章里提供的关系式来估计图 9.1 中任何管脚之间的信号干扰的大小。这种估计需要以下的三个参数：

- 两个回路间的共模电感
- 源信号最大的变化率 DI/dt
- 接受网络的阻抗

关于共模电感，为了估计最大情况的干扰，我们只考虑直接交迭的两回路之间的相互影响，如 X 和 Y。

回路 Y 的总的磁通量由两个地方产生。首先是从逻辑门 A 沿着它的信号线流出的电流。其次是沿地线返回的信号电流。因此共模电感的公式由两项组成如下：（其中第二项大于第一项）

$$L_{X,Y} = 5.08H \ln\left(\frac{c}{a}\right) + 5.08H \ln\left(\frac{b}{D/2}\right) \quad [9.1]$$

其中

- a = X 信号到 Y 信号的距离 (单位 in.)
- b = Y 信号到地线的距离 (单位 in.)
- c = X 信号到地线的距离 (单位 in.)
- D = 连接器管脚的直径 (单位 in.)



H = 连接器管脚长度 (单位 in.)

$L_{X,Y}$ = 回路 X 和 Y 之间的共模电感 (单位 nH)

等式 9.1 中假设了是一个单排长型连接器 (H/a 比值较大)。即使不是这样的连接器, 等式 9.1 中对数函数的宽值域也能得到一个在确定数量级内的精确答案。它能否达到了足够精度还应参考干扰对性能的影响。如果系统中的连接器性能可能影响系统性能, 不妨找一个连接器并测一下它的性能。

下一步我们需要最大的 dI/dt 值, 可以用等式 2.41 或 2.42 来估计 DI/dt 。

最后一个因素涉及噪声接受电路的拓扑结构 (图 9.2)。第一种情况是连接器就近连接一个驱动器。下文种描述了这种情况在上升沿时的情形 (见等式 1.3)。第二种情况覆盖了所有其他的情形, 包括信号源终端。

第二种情况的耦合噪声在每个方向上各分一半。第二种情况的耦合噪声将迅速的从低阻抗的驱动器反射回来, 使接受侧的耦合噪声翻了一倍。

以下公式是由于从逻辑门 A 来的单步输入在回路 Y 中产生的噪声脉冲的峰值。脉冲宽度相当于输入脉冲的上升时间:

第一种情况:

$$\text{Case I: Crosstalk} = L_{X,Y} \frac{dI}{dt} \quad [9.2]$$

第二种情况:

$$\text{Case II: Crosstalk} = \frac{1}{2} L_{X,Y} \frac{dI}{dt} \quad [9.3]$$

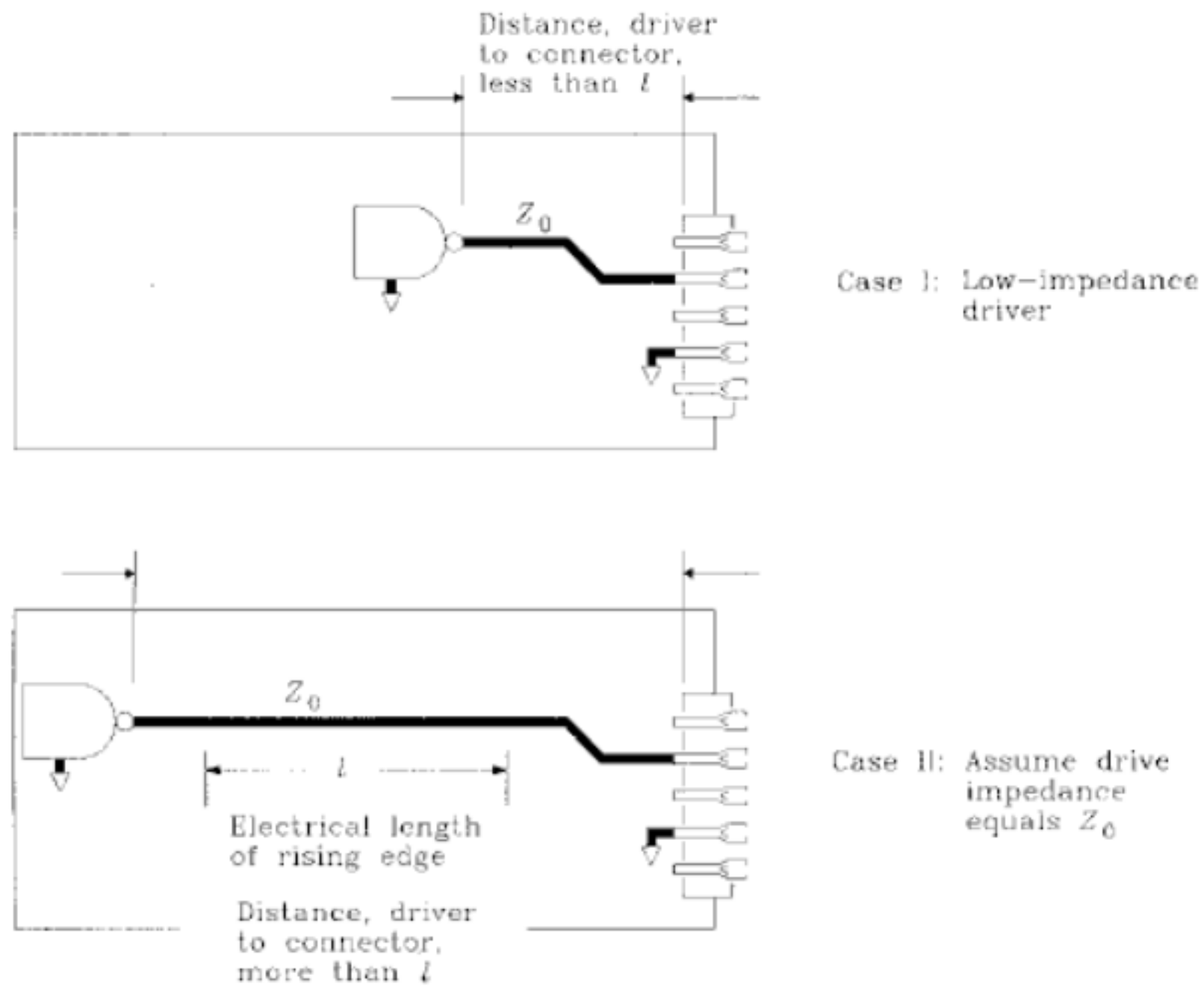


Figure 9.2 Nearby drivers have lower drive impedance.

图9.2 相邻驱动器的低驱动阻抗

驱动信号的上升沿变缓将直接减小干扰的影响。图 9.3 中。用了一个电容来缩短连接器信号源端驱动上升时间。而把电容放在信号收端只会在驱动器开关操作时增加流过连接器的电流的浪涌，使情况变得更糟。

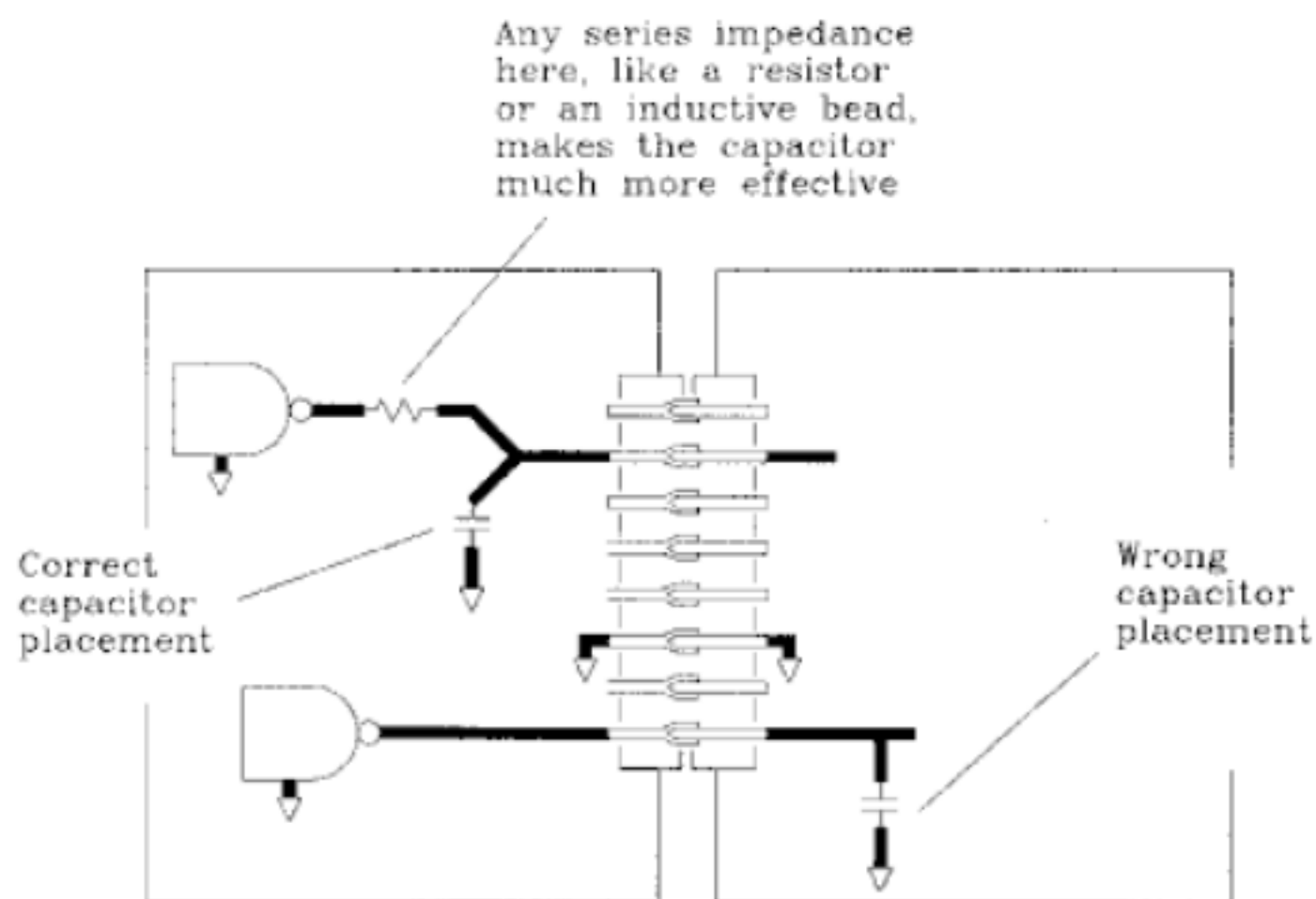


Figure 9.3 Method for slowing the rise time of signals.

图9.3 减缓信号上升沿的方法

9.1.2 地平面如何改变会流路径 (How Grounds Alter the Return-Current Path)

下面的连接器特性的四个规则，其实已包含在等式 9.1 中。它可以帮助我们估计各种连接器接地特性。在已有设计中考虑进一步调整时这些规则是非常有用的。利用他们，我们可以预知各种假设变化出现时会发生什么。

规则 1：改变图 9.1 中的接地方式，我们可以减少（或增加）某些连线之间的共模电感。如果将地线移到离信号线 X 和 Y 更远一些，相当于增加了 b 和 c 的值，这样等式 9.1 中两项的值都会增大。共模电感 $L_{x,y}$ 也就更大。相反地，将地线移到离 X 和 Y 更近一些的地方，则共模电感会减小。共模电感的变化与距离的对数成正比。

规则 2：加上扩展布地会有更显著的影响。记住等式 9.1 中为何第二项（地线项）较大？地线紧密地耦合回路 X 和 Y，使流过地线的电流在回路 Y 上产生一个大的冲击。如果我们将地线电流分成两半，共模阻抗 $L_{X,Y}$ 将会减小到原来的一半。

图 9.4 中在 X 信号线的上方增加一根地线就可以将接地电流对称地分成两半。每根地线各走一半。共模电感 $L_{x,y}$ 将因此而下降。加上更多的地线将进一步细分接地电流但并不一定分成原来的一半。

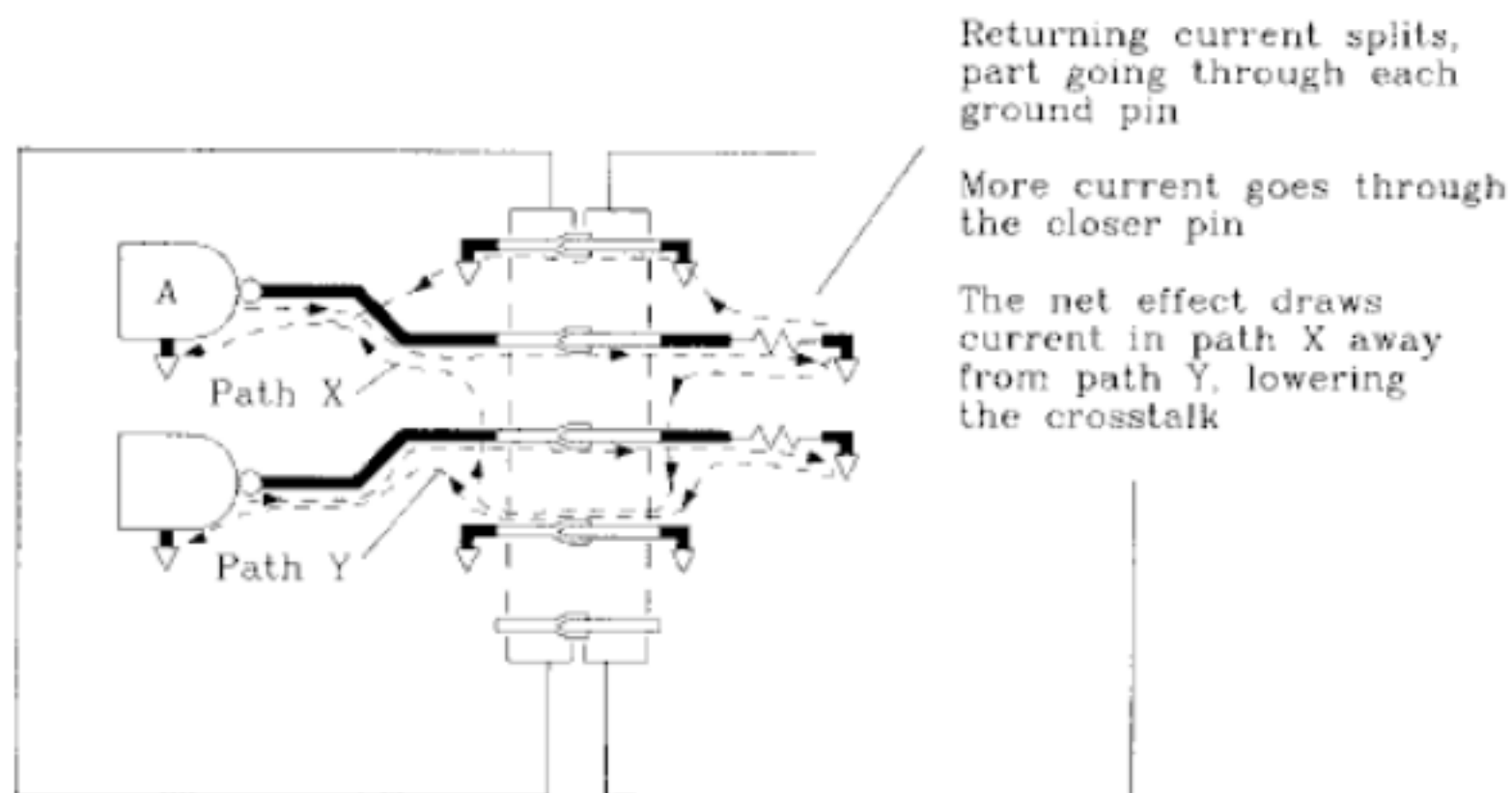


Figure 9.4 Adding a second ground divides the ground current.

图9.4 增加第二根地线分担地线电流

规则 3：在信号 X 和 Y 之间加上地线与在 X 和 Y 之外增加地线有很大的不同。如果在 X 和 Y 之间增加 N 根地线，将 X 和 Y 之间的空间进一步细分（图 9.5），则共模电感将下降为原来的（ 1/

($1+N^2$))。如等式 9.4所示。

$$\text{Coupling is proportional to: } \frac{1}{1+N^2} \quad [9.4]$$

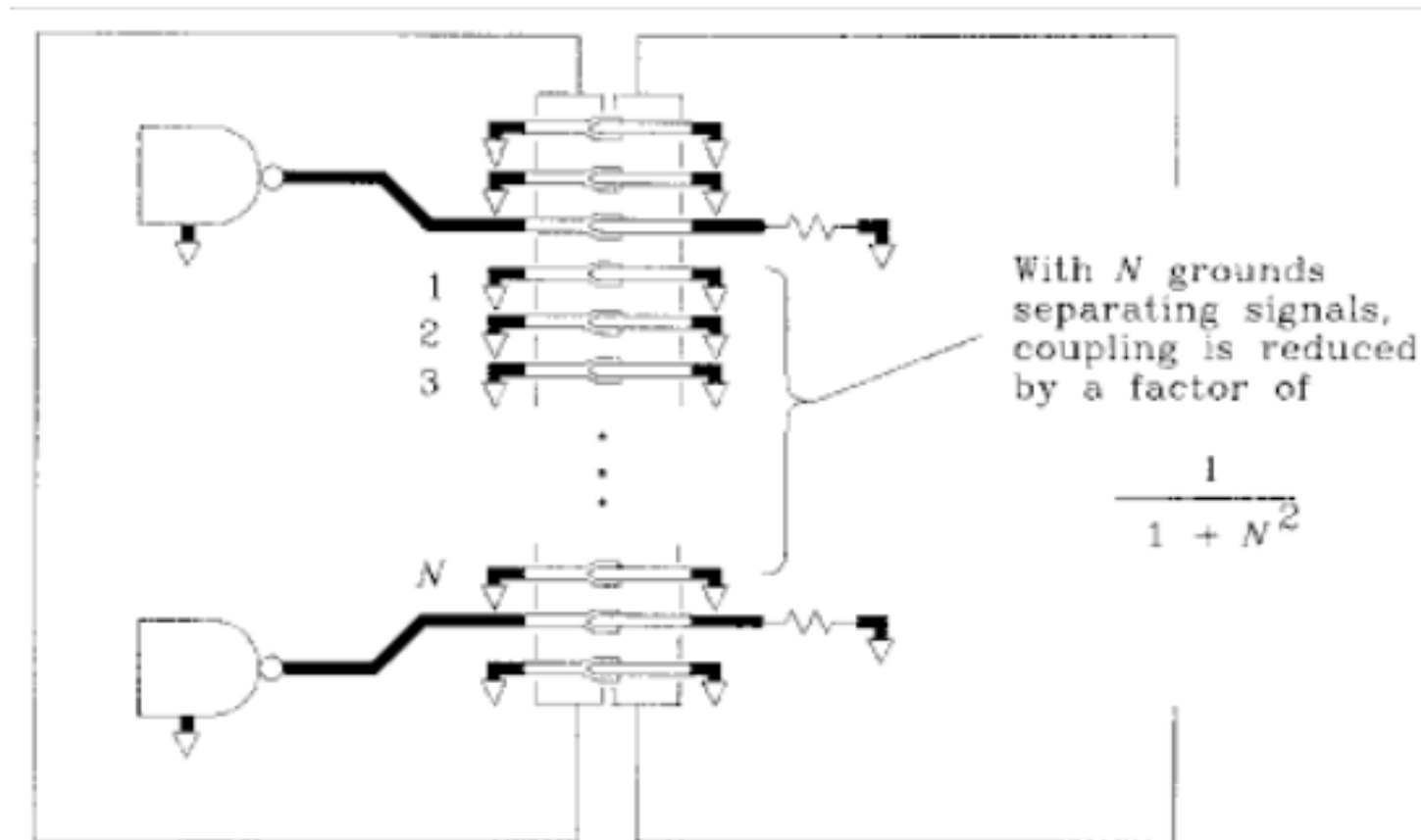


Figure 9.5 Separating signals with multiple grounds reduces coupling.

图9.5 用多根地线分隔信号可以减小耦合

规则 4：连接器的任何信号线上的耦合噪声都来自所以其他信号线的影响。减少信号的数量可以减少总的干扰。类似地，将相互影响较小地信号分成多个信号组，并在信号组之间插入地线，也能减小总的干扰。信号分组有效地减少了对某个接受器影响较大地信号线地数量。这时干扰大致与地线间地信号线地数量。

规则 5：在连接器地末端加上扩展地并不能减少干扰。连接器末端地接线片接地也没有什
么用。

本节要点：

共模电感，而不是共模电容，是连接器产生干扰的主要原因。

在连接器的中间增加布地能较小干扰。

9.2 串联电感——连接器产生电磁干扰（ EMI ）的主要原因（ SERIES INDUCTANCE--HOW CONNECTORS CREATE EMI ）

EMI 来自最大回路的电流信号的对外发射。

图9.6示例了一个通常的 EMI 问题。板卡 A 输出一个 64bit 总线通过连接器 B 到达母板 C。C 板可能是一块 CPU 主板或者是到其他子板的一个通道。64 根总线的返回电流将从母板 C 流到 A，并且大多数通过连接器 B 的接地管脚。

只有很小的回流信号电流通过其他路径返回 A 板卡。它不会影响最终的 EMI 问题。

大回路的高频电流将辐射大量的电磁能量以致不能通过 FCC-或 VDE- 联盟的辐射强度测试。EMI 设计最大的困难是要使所有信号回路交叉部分尽可能的小。例如，在地线层流过的高频电流会沿信号线的下方直接返回（详见 5.1 节）。在地线层上的一个 6-in. 长 0.010-in. 宽的电流通道将包围成一个面积 0.06 in.² 的闭环区域。这样一个闭环区域对 EMI 来讲通常是可以接受的。图 9.6 中，当 64bit 总线电流通过板卡 A 和 C 的布线层时我们可以忽略信号和地之间的这一区域。

在回流通路上的任何中断或不连续，如在连接器接地管脚上的转换，都会在电流回路上产生一个突起。这种突起包括的区域大小，是否会违背辐射规则，则要看回路里信号电流总的 di/dt 值了。

作为将信号管脚和地管脚分开的结果，图 9.6 中在连接器 B 的内侧出现了一个突起。我们用 G_1 标识这个突起。64-bit 总线信号路径的绝大多数回路阻抗是由 G_1 回路阻抗产生的。

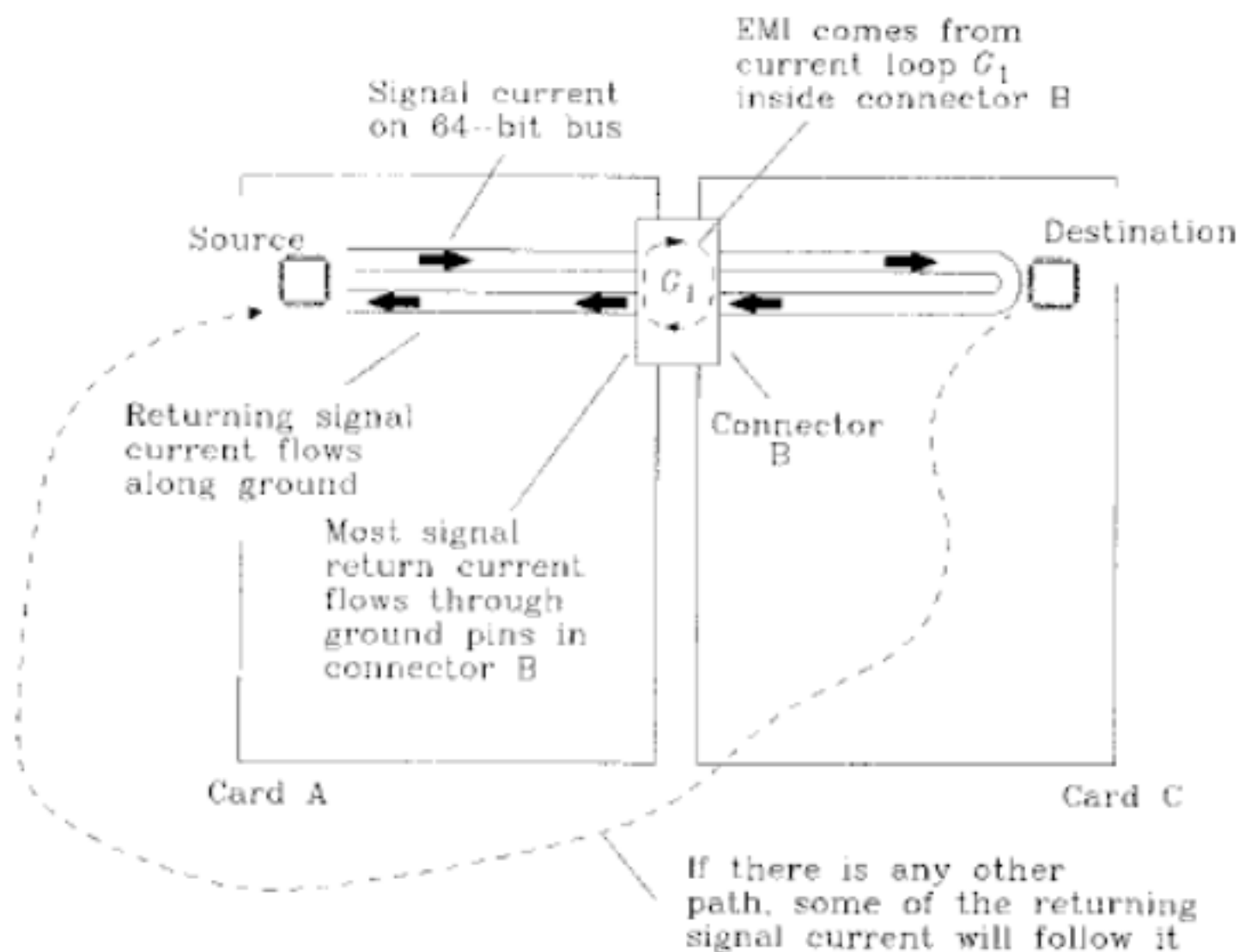


Figure 9.6 Signal return current from a 64-bit bus.

图9.6 64-bit 信号返回电流

信号电流有没有其他的返回路径呢？这要看连接器 B 的物理结构和板卡 A 和 C 所在机框等外部环境了。任何其他可能的返回路径都将比通过连接器 B 的返回路径形成一个更大的回路区域，并且可以充分散射。

例如，图 9.7 中假设板卡 A 和 C 共用两个连接器。我们将另外一个连接器称为 D 并离开连接器 B 一些距离。信号返回电流的一部分可以通过连接器 D 上的接地线流回 A，如图 9.7 中的 G_2 回路。

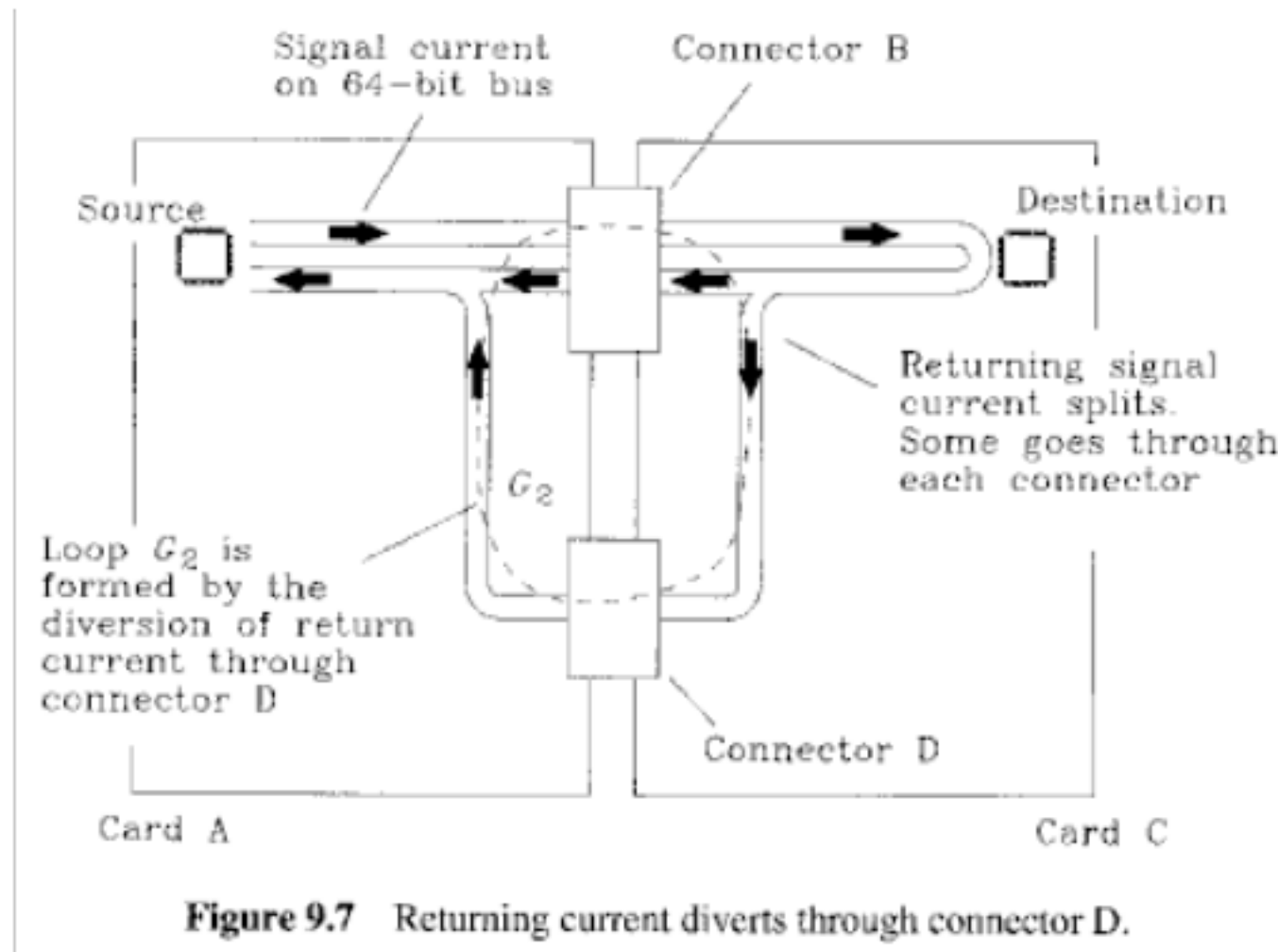


图 9.7 通过连接器 D 的返回电流路径转移

流过连接器 D 的信号回流中，高频电流的比例取决于 G1 回路（图 9.6）和 G2 回路（图 9.7）的电感的比值。

$$\text{Current through D} = (\text{return current from A}) \frac{L_{G1}}{L_{G2}} \quad [9.5]$$

通过 D 的返回电流中低频信号的数量则取决于电阻的比值，高频信号则是由等式 9.5 中的电感的比值决定。既然 EMI 是针对高频信号的，因此我们只需要关心两个回路的电感的比值就行了。

回路 G1 包含区域较小，其电感将小于回路 G2。因此，只有一小部分返回电流流过 G2。不过虽然是小部分，也可能会违背散射规则。FCC 和 VDE 的限制都是：在离你的设备 3 米的地方测量，不能超过 100uV/m。关于 EMC 的规则和设计技术请参考相关资料。

测量数字产品的精确的辐射电平是很困难的，因为许多因素会影响测量结果。等式 9.6 在满足 FCC 或 VDE 的 30MHz 以上的辐射限制的条件下表示了开放空间里的峰值电流、上升时间和闭环区域限制的关系。

$$E = 1.4 \times 10^{-18} \frac{A I_p F_{\text{clock}}}{(T_{10-90})} < 10^{-4} \text{ V/m} \quad [9.6]$$

这里

E = 电磁辐射强度 (V/m , 3 米远)

A = 辐射回路区域 (in.2)

I_p = 峰值电流 (A)

T₁₀₋₉₀ = 信号上升时间 (s)

F_{clock} = 时钟频率 (Hz)



等式 9.6中要注意的是：对成品来说，真正的辐射电平，即使高出或低于由等式 9.6得出得预知电平 20dB也都是可能的。切记 EMI 测试是针对系统中所有布线的。如果一根线能满足要求，其他的 100根也能满足吗？在定案你的设计之前建立一个仿真系统，模仿一些通过连接器的时钟走线。这听起来似乎很浪费，但它却能在后面的工作中节约大量的成本。机械封装和防护在成本上的节约使你的设计顺利达到设计目标。

例9.1：连接器的辐射噪声

图9.8表示了以典型的 16-bit 总线。我们可以一步一步的计算回路 G1和G2的电感，和 G1、G2的辐射。

回路 G1的电感：

$$\begin{aligned} L_{G1} &\approx \frac{1}{2} \left\{ 10.16 \left[w_1 \ln \left(\frac{h}{r} \right) + h \ln \left(\frac{w_1}{r} \right) \right] \right\} \\ &= \frac{1}{2} \left\{ 10.16 \left[0.2 \ln \left(\frac{0.4}{0.013} \right) + 0.4 \ln \left(\frac{0.2}{0.013} \right) \right] \right\} \\ &= 9.0 \text{ nH} \end{aligned} \quad [9.7]$$

$r = 0.025/2$ (管脚半径, in.; 注意我们用的是 h/r 代替 $2h/d$)

$w_1 = 0.2$ (信号与地的距离, in.)

$h = 0.4$ (连接器管脚长度, in.)

$1/2 =$ 地线对两侧信号的计算因子 (详见 9.1节的规则 2)

G2回路的电感：

$$\begin{aligned} L_{G2} &\approx 10.16 \left[w_2 \ln \left(\frac{h}{r} \right) + h \ln \left(\frac{w_2}{r} \right) \right] \\ &= 10.16 \left[6 \ln \left(\frac{0.4}{0.013} \right) + 0.4 \ln \left(\frac{6}{0.013} \right) \right] \\ &= 234.0 \text{ nH} \end{aligned} \quad [9.8]$$

$r = 0.025/2$ (管脚半径, in.)

$w_2 = 6.0$ (信号与连接器 D的距离, in.)

$h = 0.4$ (连接器管脚长度, in.)

假定典型的 3.7V 的 TTL 驱动信号在 50欧的传输线上传输，信号电流的峰值为 74mA, 则峰值电流为 $\pm 37\text{mA}$ 。

利用等式 9.5可以得到回路 Y的峰值电流：

$$I_{G1} = 0.037 \text{ A} \quad [9.9]$$

$$I_{G2} = 0.037 \frac{9.0 \text{ nH}}{234 \text{ nH}} = 0.0014 \text{ A} \quad [9.10]$$

现在我们利用等式 9.6来估计回路 G1和G2的辐射。回路 G1首先是：

$A = 0.08$ （管脚长度 0.4in. 乘上信号与地的距离 0.2in. ； in.2 ）

$I_{G1} = 0.037$ （峰值电流， A ）

$T_{10-90} = 5 \times 10^{-9}$ （信号上升时间， s ）

$F_{\text{clock}} = 10$ (8) Hz

$$E_{G1} = 1.4 \times 10^{-18} \frac{(0.08)(0.037)(10^8)}{(5 \times 10^{-9})} = 82 \mu\text{V/m} \quad [9.11]$$

一根信号线产生的辐射大约是 82uV。总的辐射大致与所包含的信号线的平方根成正比，16根信号线的辐射是：

$$E_{G1,\text{total}} = 82 \times 10^{-6} (16)^{1/2} = 328 \mu\text{V/m} \quad [9.12]$$

因此，这个连接器并不能满足要求。现在我们再来分析一下连接器 D（图 9.7）：

$A = 2.4$ （管脚长度 0.4-in. 乘上信号与地的距离 6-in. ； in.2 ）

$I_{G1} = 0.0015$ （峰值电流， A ）

$T_{10-90} = 5 \times 10^{-9}$ （信号上升时间， s ）

$F_{\text{clock}} = 10$ (8) Hz

$$E_{G2} = 1.4 \times 10^{-18} \frac{(2.4)(0.0014)(10^8)}{(5 \times 10^{-9})} = 94 \mu\text{V/m} \quad [9.13]$$

一根信号线的辐射是 94uV。16根信号线的辐射将是：

$$E_{G2,\text{total}} = 94 \times 10^{-6} (16)^{1/2} = 376 \mu\text{V/m} \quad [9.14]$$

回路 G2的辐射确实大于 G1。因为算法中连接器 B和D的距离大了很多，电感 LG2也就变大了。这里面，回路 G2面积的增长正比于连接器 B和D之间的距离。电感的增长减小了回路 G2的电流，但是回路面积增长使辐射增长更快。连接器 B和D的距离越远则辐射越大。

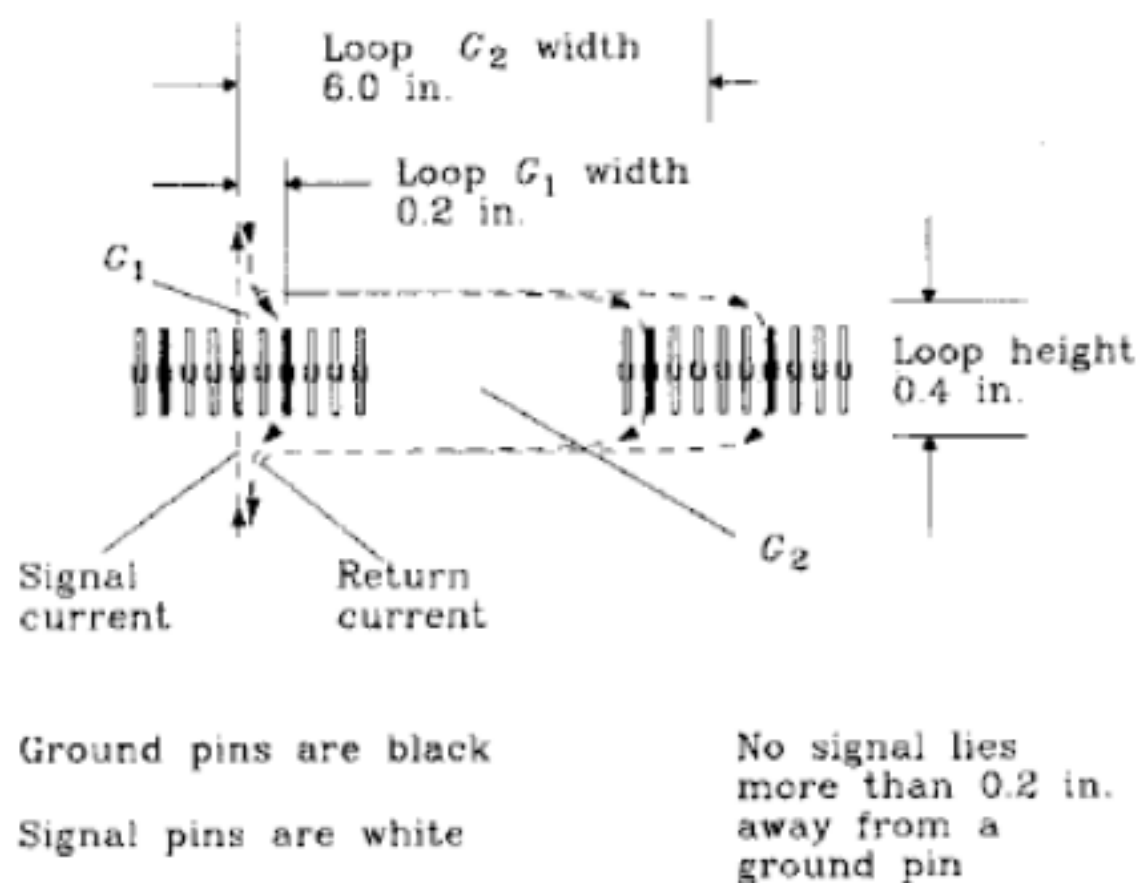


图9.8 返回电流转移示例

以下的一些规则对减小连接器的辐射是有帮助的：

规则 1：连接器 B 上增加更多的地。这将使地线更接近信号，降低连接器 B 的回路的有效辐射。

规则 2：连接器 B 上增加更多的地也能减小连接器 B 的电感。根据等式 9.5，这将减小远端回路的电流。

规则 3：将所有的母卡连接器集中在 A 卡上可以分离或搬移远端返回路径。

规则 4：沿卡 A 和 C 的边缘用地包围起来。这样可以提供一个非常低阻抗的返回路径，降低等式 9.5 中远端回路电流。

规则 5：不要将 A 卡的外沿连接到 I/O 电缆上。它将产生一个非常远的返回电流路径，从 C 卡出发，通过大地再通过 I/O 电缆回到板卡 A。高频时可以将电缆直接连到母板靠近连接器 B 的一个点上。

规则 6：实际使用时可以使用能满足上升时间的驱动器门输出。等式 9.6 中辐射与上升时间的倒数是成比例的。

本节要点：

EMI 是由大回路的信号电流产生的。

给每个连接器提供一个低电感的返回电流路径。

分离或排除远端返回电流路径。



9.3 寄生电容 --多负载总线上的连接器 (PARASITIC CAPACITANCE--USING CONNECTORS ON A MULTIDROP BUS)

多负载总线应用不比点对点的应用，将在连接器上挂上多个负载。在点对点的应用中，传输信号仅仅是依次通过每个连接器。这时，连接器达到的串联电感是影响性能的主要因素。

多负载时的情况则有很大的不同。图 9.9中，每次只有一个连接器是使能的。其他挂到总线上的连接器保持三态，直到轮到他们发送时才被使能。这种特殊总线被终止于连线的两端并可防止反射。总线传输信号的上升时间可以是总的总线长度的一个极小的分数值。

传输信号通过总线上的某个位置时会被在总线的连接点产生连续的畸变。多个连接器的寄生电容所积累的影响对传输信号的畸变将远大于发端连接器的串联电感的影响。对多负载应用来说，我们希望的是连接器的寄生电容很低，这比串联电感更重要。

对快速的总线操作来说，我们需要减小每个总线连接点的对地块状电容。4.4.2节讨论了传输信号的块状电容并说明了为何电容越小越好。

每个连接点上的块状电容包含三个部分，但只有一个是与连接器有关的：

- (1)、连接器管脚到管脚的电容和连接器与 PCB上的焊盘的电容。
- (2)、连接器到本地驱动器和接受器的电流通路的电容。
- (3)、本地接受器的输入电容加上使能关闭情况下本地驱动器的输出电容。

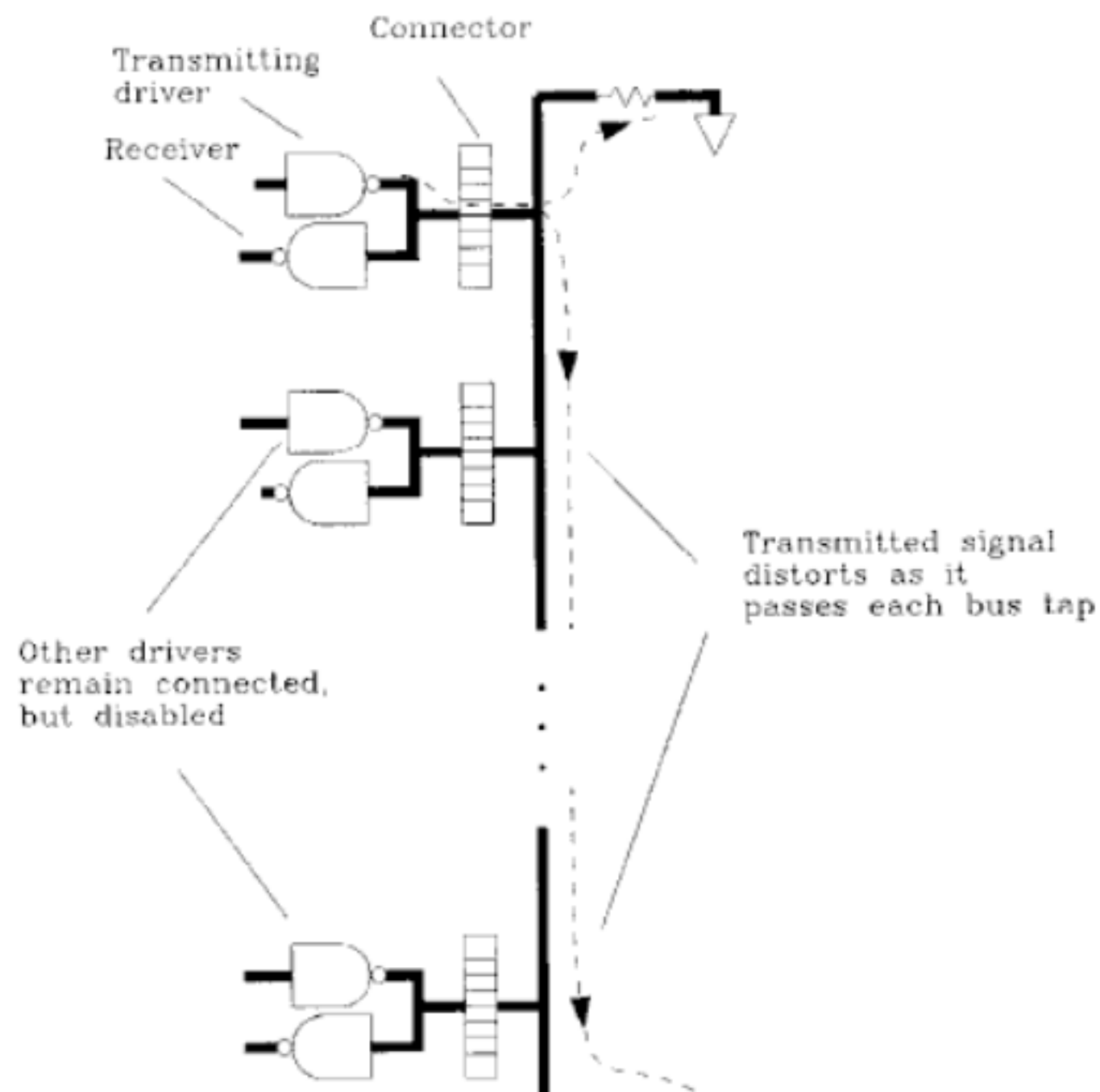


图 9.9 多负载总线

9.3.1 管脚到管脚的电容 (Pin-to-Pin Capacitance)

这一项是很容易测的。把一个连接器焊在板子上，只留一个信号管脚，其余管脚接地。使用普通的电容测量仪测量信号管脚的对地电容就行了。

如果你没有电容测量仪，用图 1.6所示电路测量即可。

绝大多数 0.1-in. 间距管脚的连接器的信号管脚对地电容为几个 pF。PCB的焊盘会给板与板之间的连接器的两侧各增加大约 0.5pF。

有的连接器管脚之间的距离是比较大的，有的管脚甚至是交叉排列的。这样可以减小电容。还可以在板上焊接层的焊盘之间留下更多的空间，有利于加工。对 0.05-in. 及其以下的连接器来说，交叉排列越来越重要。

9.3.2 电路布线电容 (Circuit Trace Capacitance)

等式 9.15在已知布线阻抗和布线传播延迟的情况下计算了电路布线电容：



$$C_{\text{per inch}} = \frac{T_d}{Z_0} \quad [9.15]$$

这里

T_d = 布线传播延迟 (ps/in., 详见 1.3 节)

Z_0 = 布线阻抗 (欧, 详见 4.5 节)

C = 电容 (pF/in.)

9.3.3 接受器和驱动器的电容 (Capacitance of Receivers and Drivers)

许多供应商在其数据手册里标明了高速接受器的电容。如果没有表明, 可使用图 1.6 的方式进行简单的测量。测量时, 调整脉冲发生器来产生脉冲, 要求脉冲电压为接受器有效工作电压的中间值, 并且脉冲的高度接近使用中的真实情况。给接受器通上电即可进行测量。测量结果典型值为 2-10pF。

三态驱动器在其处于关闭状态时其电容要大一些。许多供应商并不标识这个电容值, 是希望你不会考虑它。驱动器与一些大的晶体管一起使用时在其关闭的状态下其寄生电容是很大的。

了解驱动器真实的电容值的唯一方法就是对其进行测量。对于接受器也可以用同样的方法进行测量。打开传输门电路的电源, 但关闭其输出使能。使脉冲电平处于门电路的有效区, 高于 80pF 的值就已经没有意义了。

示例 9.2 : 布线电容

一根连接器的内层走线一端连到驱动器芯片, 另一端连到接受器芯片。其总长度为 0.75-in.。它的电容是多少呢?

$$T_d = 180 \text{ ps/in.} \quad (\text{FR-4 inner trace})$$
$$Z_0 = 50 \Omega$$

$$C_{\text{per inch}} = 180/50 = 3.6 \text{ pF} \quad [9.16]$$

$$C_{\text{total}} = 0.75(3.6) = 2.7 \text{ pF} \quad [9.17]$$

9.3.4 分布均匀的负载 (Evenly-Spaced Loads)

4.4.2 节讨论了传输线上块状电容的影响。其结论是, 总线连接点均匀分布排放, 较之把所有电容集中在一个地方, 可以降低总线阻抗并能降低辐射。

如果机框里板卡的槽位在背板上是均匀分布的并且每个槽位都插了板卡, 则认为均匀分布模型是成立的。如果系统运行时某些槽位是空的, 则均匀分布模型不再成立。



一种折衷的模型是在没有板卡的槽位也假定连接器的电容。只是测量时连接器电容的影响可能会使背板阻抗降低。背板阻抗降低的原因是，当每个板卡都插上时，会给整个的传输特性带来一些小的变化。

9.3.5 慢速总线 (Very Slow Bus)

如果你没有高速的要求，可以考虑源端终止的多负载总线。这种情况下可以省略图 9.9 中总线两端的电阻。通过一个串行阻尼电阻就可以将三态信号源连接到总线上。接受器也可以直接连接到总线上。这种拓扑结构的一个好处是在背板上不再需要终端匹配元件。

如果驱动器上升时间比总线的建立时间 (Electrical length of the bus) 长，总线可当作简单的块状电路元件。这时我们不会遇到有害的反射，源端电阻以一种慢速而有效的方式控制着总线的块状电容。

如果驱动器上升时间接近总线的建立时间，总线上将出现反射。我们可以减缓上升时间直至总线表现为一个块状电路时这些反射就减小了。通过增加一些比总线更大阻抗的源端电阻，我们就能影响 RC 的上升时间 (详见 4.4.1.2。当电阻增大，系统 RC 上升特性将变缓，并且呈现单调性。连接器的电容以及其他布线电容、驱动器或接受器的电容特性，也都因为源端电阻而缓慢。

本节中所讨论的源端电阻与 4.4.3 节描述的源端匹配是不同的。在上一节中我们知道了源端电阻等于线路阻抗并且是在没有反射传输良好的情况下。它指的是点对点的工作情况。对于多负载总线来说是没有任何源端电阻能防止反射的。不管我们使用什么样的源端电阻，信号仍然会在总线两端来回反射。我们可以采用的方法是用一个比总线特性阻抗大得多得源端电阻，来缓慢地、单调地主导总线。

如果你等待个时钟之间总线的建立时间，使用较的大的源端电阻有以下好处：

低功耗——静态驱动电流为 0

简单——不需要背板匹配

低EMI ——减小通过连接器的电流

本节要点：

多负载总线应用比点对点应用在连接器上带了更多负载。

对于多负载来说，我们希望连接器的寄生电容越低越好，哪怕以高阻抗为代价。

9.4 连接器的耦合测量 (MEASURING COUPLING IN A CONNECTOR)

图 9.10 所示的连接示意图说明了在实际工作环境下如何测量连接器的性能。调整脉冲发生器的脉冲输出，使其上升时间与你计划在驱动器上使用的一致。实际耦合噪声的测量范围将看实际的电路而定。

将连接源端和目的端的电缆分别连接至不同的管脚，我们可以测量从任何源端到目的端的耦合噪声。测量完噪声与每个位置的关系以后，就可以估计在每个接收位置的总的干扰噪声。测试电缆可以是任意长度，以方便搭建测试环境为前提。

9.4.1 接地和信号管脚 (Ground and Signal Pins)

将测试板 1 和 2 的所有接地管脚焊上。所有的信号管脚不用连接。

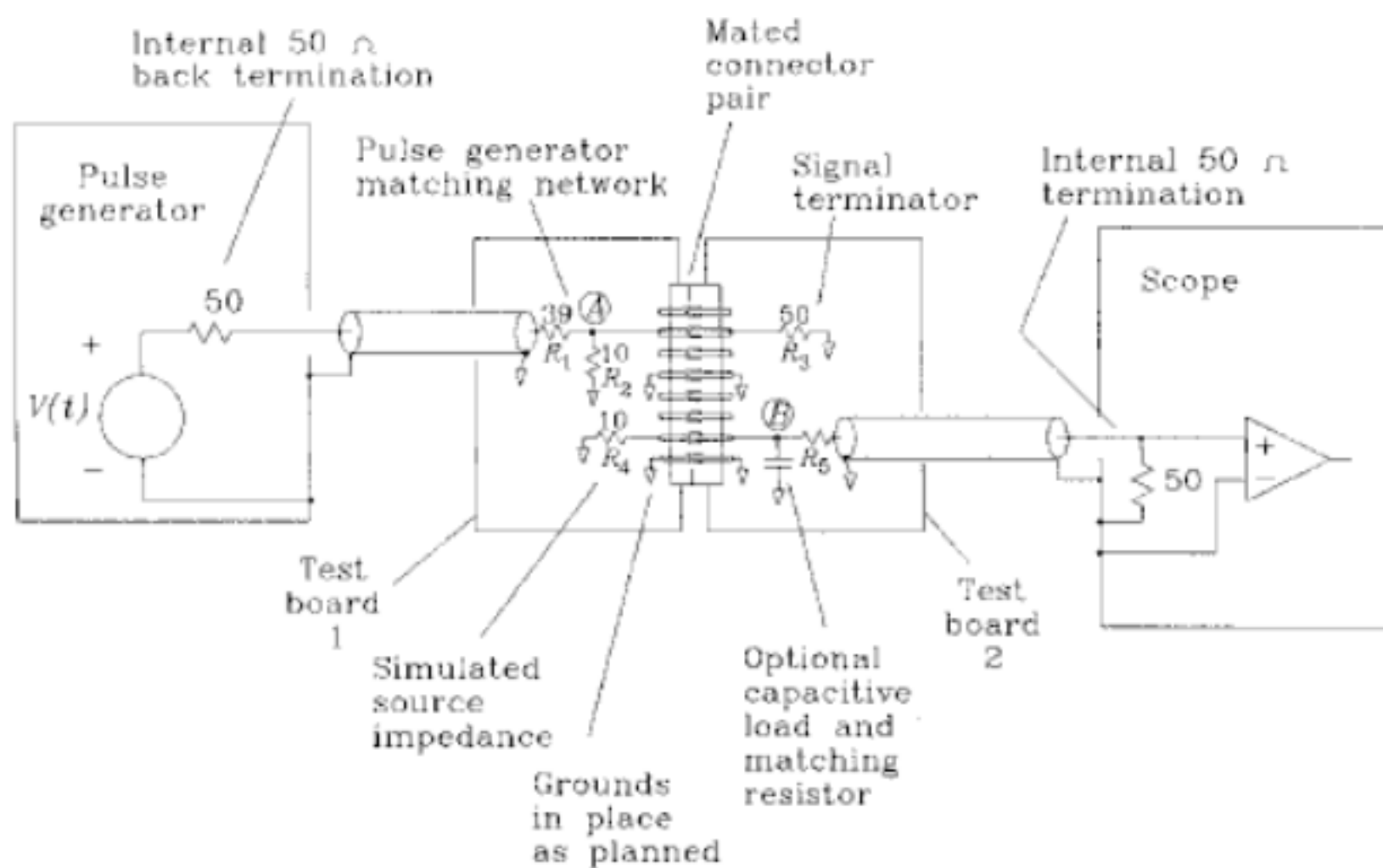


Figure 9.10 Test setup for measuring connector crosstalk.

图9.10 连接器干扰的测量示意图

将单个的接地管脚临时性的与接地层断开，我们可以直接测量他们的影响。注意我们必须只断开一个终端的接地管脚以达到破坏其保护效果之目的。这时相当于返回信号电流的流向。另外断开其他终端的同样管脚也几乎是一样的。这个实验得出的连接器的耦合阻抗是感性的，而不是容性的。

9.4.2 脉冲发生器和源端阻抗 (Pulse Generator and Source Impedance)

在脉冲发生器上使用终端匹配和 50 欧的匹配电缆可以减小源端电缆上的反射和铃流。图 9.10 中，源端电缆接有一个匹配网络。匹配网络可以对脉冲信号提供大约 50 欧的终端匹配，以进一步减少反射。匹配网络也能提供一个低输出阻抗来驱动连接器，类似于实际使用的门电路的输出阻抗。如果你并不知道驱动门电路的输出阻抗，就用 10 欧。这里我们并不是按照什么国际标准，而是想看看是否干扰是一个严重问题。



理想的情况是，在 A 点上加上你计划要用的信号。如果需要也可以使用不同的测试信号。但是记住用最终的结果来计算他们的差别。

在最终电路上使脉冲发生器的上升时间等于驱动器的上升时间。如果你的脉冲发生器的输出不可调，只要是能用的，就可以验证最后的结果（假设噪声反比于驱动波形的上升时间）。

9.4.3 发送线的终端阻抗 (Terminating Impedance on the Transmitting Line)

发送线应使用最终电路里的阻抗进行匹配。如果最终电路用的是电阻匹配，用单个电阻就行了。如果最终用的是门电路输入并有一段短的连线，用一个小电容就行了。此电容的值应根据门电路输入电容和布线电容来计算。

9.4.4 模拟接收线的源端阻抗 (Simulated Source Impedance of Receiving Line)

如果你的驱动器源端阻抗已知，相应设置 R4就行了。否则将 R4设为 10欧。

在电阻值为 R4和R3时的两电路之间的测量噪声相差两倍。对最初的模拟来说，2倍的系数并不是十分重要。

相应地，在此位置接上一个真正地驱动器并上电、输出使能。如果你让有地输出没有使能（三态），你将在 B电测不到噪声或噪声很小。

9.4.5 匹配电阻 (Matching Resistor)

如果你计划在最终电路里使用电阻匹配，位置 R5的匹配电阻应等于

$$R_5 = Z_0 - 50 \quad [9.18]$$

这里

Z_0 = 最终电路的匹配阻抗（欧）

R_5 = 匹配电阻（欧）

如果你计划用的是容性负载，将一个电容并联到地，其值应等于门电路输入电容加上布线电容。再就是 R5使用 470欧的电阻。测量时使用 10:1的探头。

最终测量的时候别忘了考虑探头的衰减。探头的增益等于

$$G = \frac{50}{R_5 + 50} \quad [9.19]$$

这里

R_5 = 匹配电阻 (欧)

G = 探头增益 (B点实际电压乘以 $1/G$ 等于测量结果)

测量时可以利用其内部的 50欧电阻。并用 50欧的同轴电缆连接。

本节要点：

简单的测试方法只能定性的测量连接器的干扰。

9.5 连接器布地的连续性 (CONTINUITY OF GROUND UNDERNEATH A CONNECTOR)

图9.11原理性的说明了连接器使用失当并在高速时功能失败。其实这相当于在地线层开了一个大孔，然后连接器的所有管脚都经过它。即使有许多的接地管脚，返回信号电流也必须流过这个孔，使交叉接地的效果完全丧失。我们可以在连接器上只用一个接地管脚。

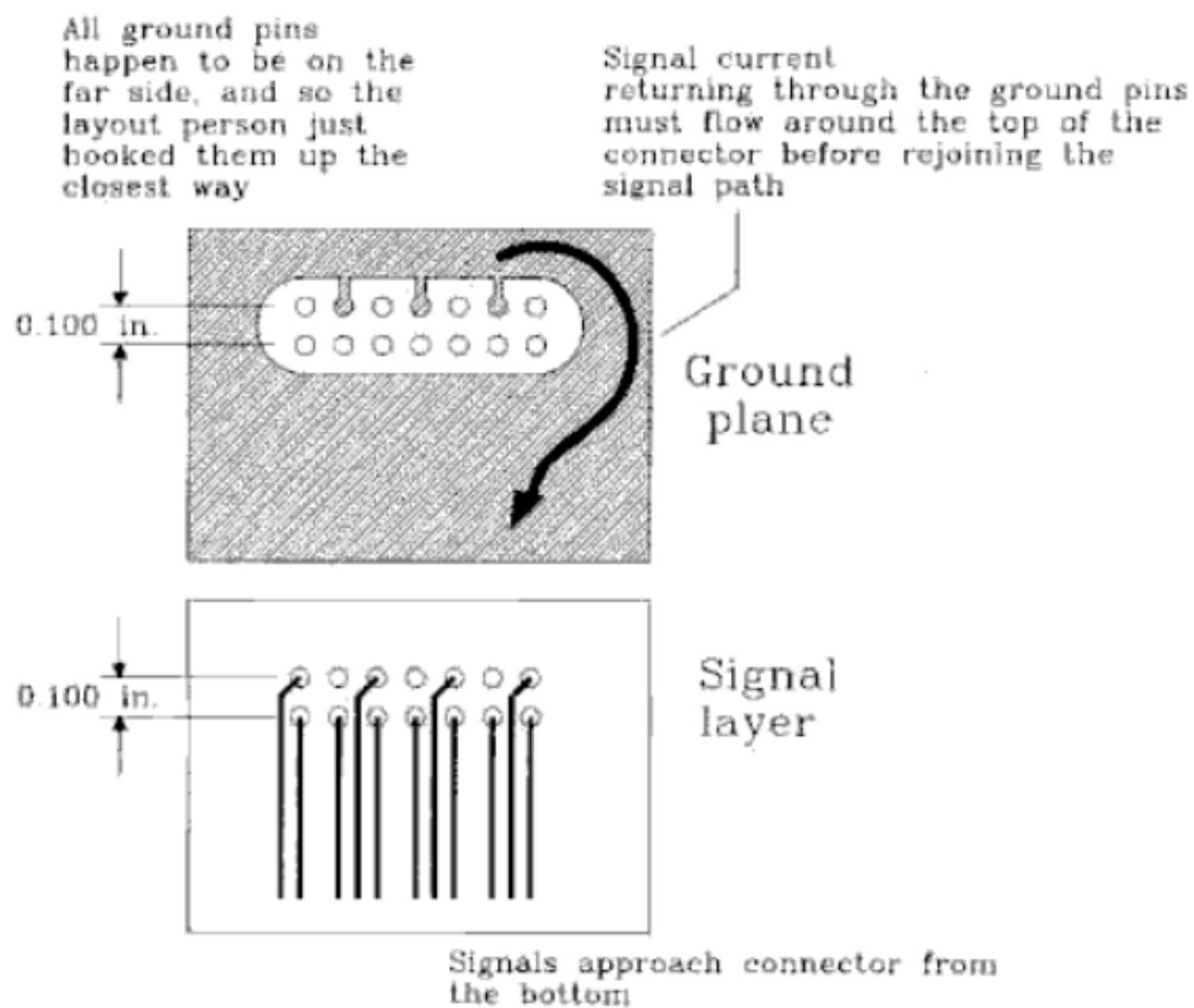


图 9.11 失败连接器布线

对这一问题的一个解决办法是把地线布在连接器每个管脚的周围，见图 9.12。

管脚距离为 0.050 的微型连接器可以采用图 9.13 所示的接地方式。这种效果并没有图 9.12 表示的好，但至少对地电流不必象图 9.11 所示一样在连接器周围走很远的路。

有时 PCB 制造工厂可以将内层焊盘做得比外层焊盘小很多。事实上这样很容易完成内层管脚之间的布线，即使他们并不满足外层管脚的要求。

最后，一些优质的连接器使用交叉管脚方式，也能减少管脚之间的空间。这些都对布地有很大帮助。

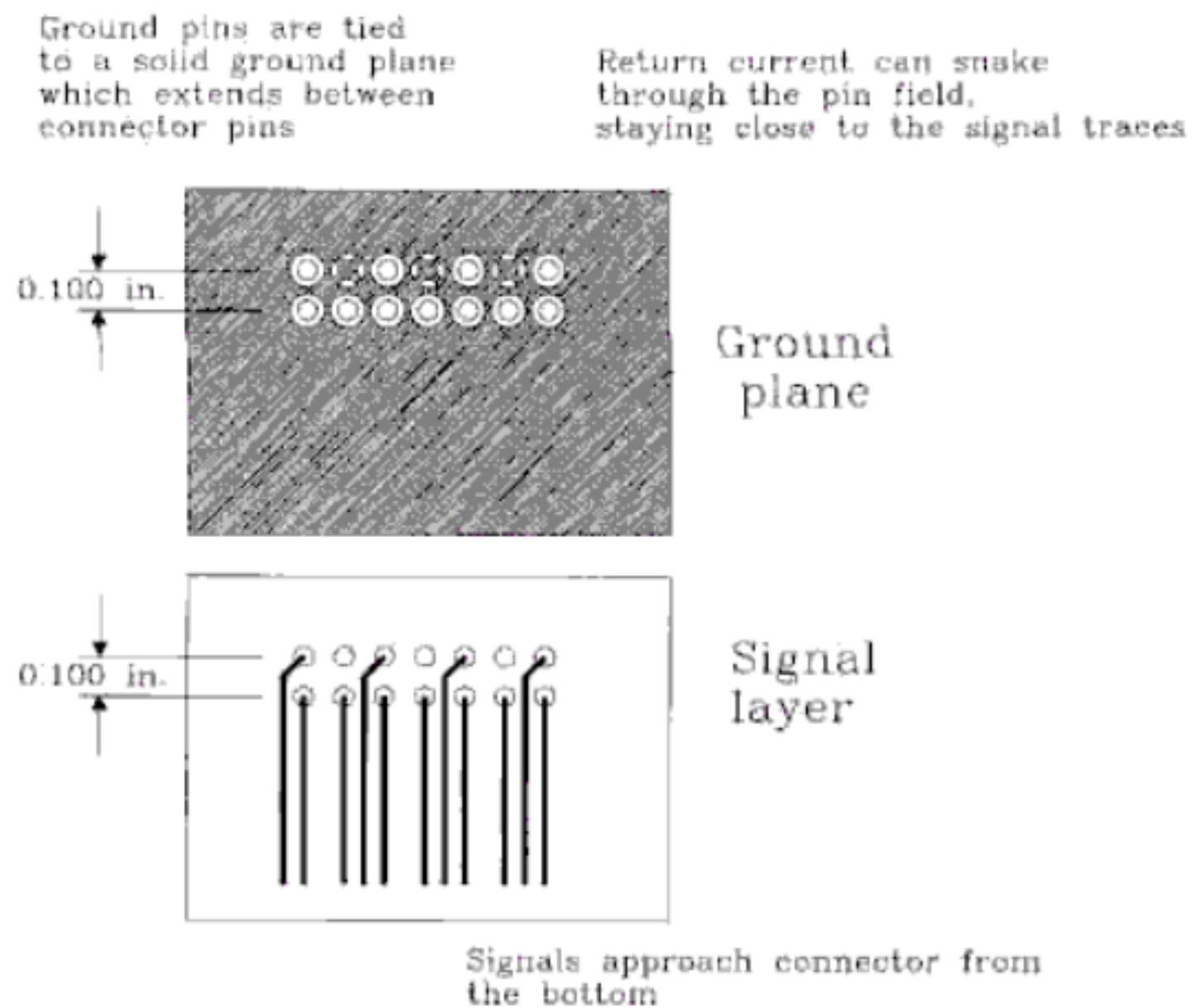


图 9.12 较好的连接器布线

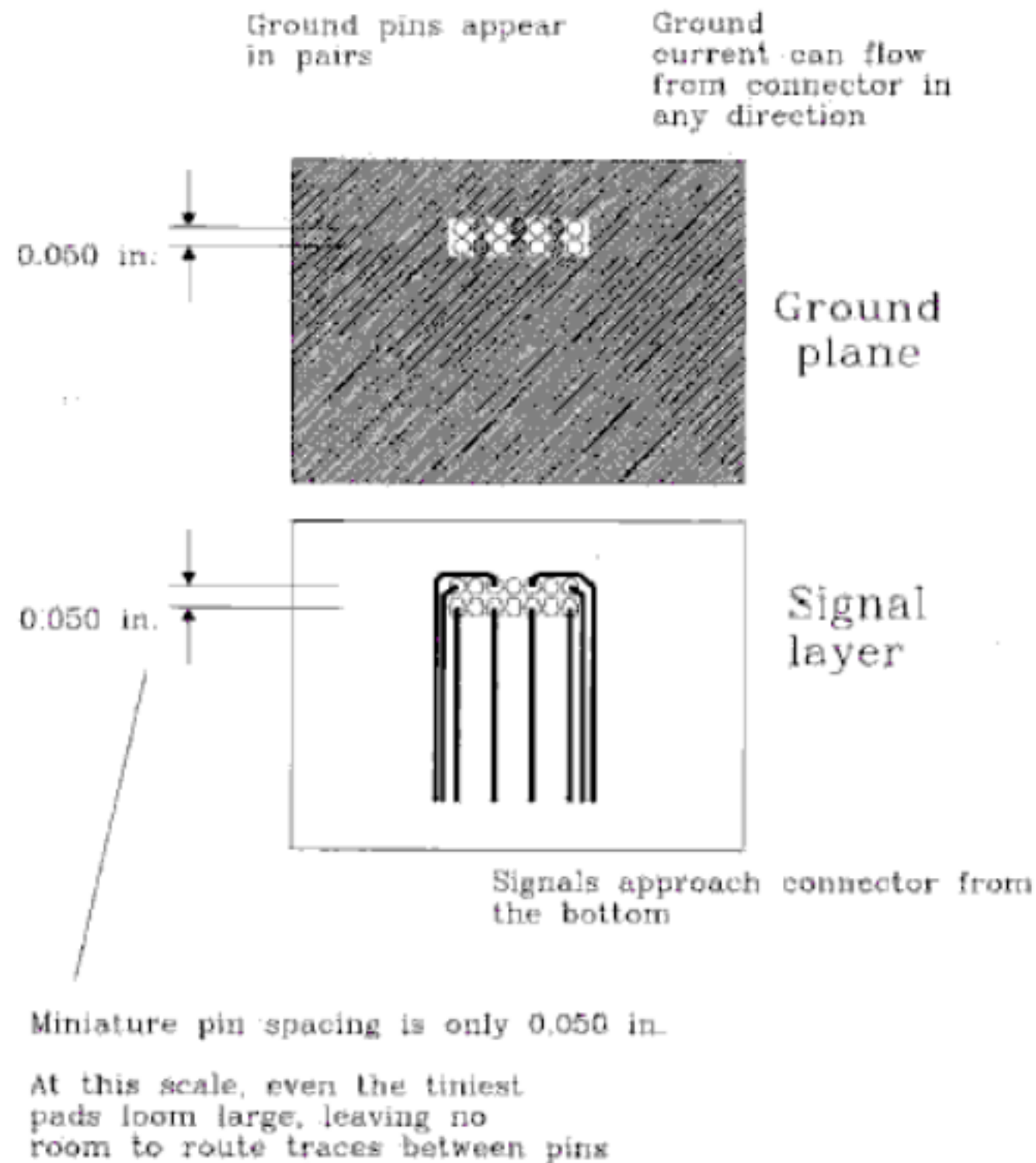


图 9.13 微型连接器的布线

本节要点：

如果连接器的信号返回电流流经地线层的一个孔的话，它与我们接地的管脚数量并没有关系。其性能并不比连接器单个管脚接地好多少。

9.6 外部连接中如何满足 EMI 问题 (FIXING EMI PROBLEMS WITH EXTERNAL CONNECTIONS)

电路板之间高速数字信号连接线总是会暴露出不能满足 FCC 和 VDE 的辐射测试的问题。以下是三种将辐射减小到可接受程度的方法：

- (1)、对信号进行滤波并去掉高频信号。这将减缓上升和下降时间。
- (2)、电缆屏蔽。屏蔽可以给信号电流提供一个低感抗的返回路径，并能阻止信号从更远的路径返回。同时屏蔽和产品机框要很好的连接。
- (3)、电缆衰减。这将可以增加远端电流路径的电感，降低他们的电流。这对屏蔽或者没有屏蔽的电缆都有帮助。

当你设计一个新系统的时候，别忘了针对不同信号，对照一下 9.8 节。

9.6.1 滤波 (Filtering)

如果你能接受降低上升时间的要求的条件的话，在本板上对所有流出的数字信号进行滤波。这样在高频段的电流回路的辐射效应将戏剧性的减小。典型的滤波措施可以是在每个逻辑驱动器上串联一个小的阻抗。这些串联阻抗通常还可以并联一个逃生电容到地。

重要的是这些逃生电容是直接连到大地上的。在一个大的系统中将电容连到本地数字地并不恰当，因为本地数字地通常附带了很多高于 FCC/VDE 辐射要求的噪声。

为了集中这个问题，一些设备制造商专门设计一个小电路板，放在内部连接器和外部连接器的中间，上面放置了滤波元件。这块小板的地线直接连到机框上，而不是任何电路板的数字地上。

连接器制造商已经注意到这一问题，而且现在推出了自带滤波电路的 D 型连接器。这种连接器的好处是尺寸小并能实现对机框的实际的电气连接。

9.6.2 屏蔽 (Shielding)

对数字工程试来说，最通常的方式就是屏蔽了。屏蔽的好处是全机械特性连接，几乎不需要设计模拟电路。屏蔽的物理连接如图 9.14 所示。通过在内部导体的周围提供一个连续的金属屏蔽，返回信号电流可以分布在输出信号线的周围。信号线与地线之间的电流回路的网络辐射效应是十分小的。一个导电良好的、分布均匀的屏蔽层可以屏蔽任何辐射。

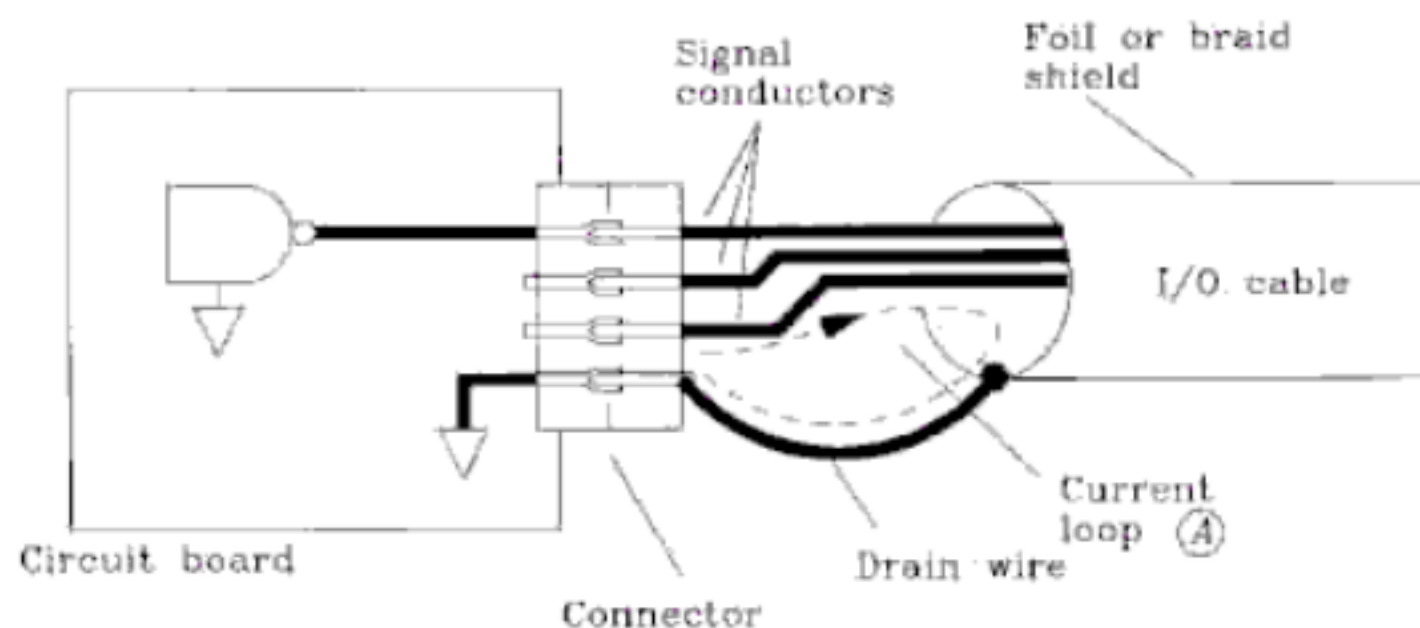


图 9.14 屏蔽电缆上的信号环路的辐射

既然良好的屏蔽电缆可以屏蔽辐射，那么两根各自屏蔽的电缆之间，干扰也是不存在的。然而，对单根屏蔽电缆里面的信号线来说，干扰却是很大的，因为所有的信号线都使用同一个地线回路。



在屏蔽的两端，需要一个让电流从屏蔽层流到本地机框地的低电感路径。一些制造商提供一种损耗线以帮助接地。这种损耗线紧密的连接在屏蔽层上，它与内部导体是同样的规格，但没有绝缘。警告：图 9.14中的电流回路通常超过 FCC/VDE 的标准！损耗线对低频模拟信号效果很好。但对高速数字信号来说则对地连接太少。

为了防止损耗线电路回路的辐射，最好使用带金属外屏蔽层的连接器。其金属薄片和编制层都被紧紧的夹在金属外屏蔽层的里面，不会有线露出来。金属外屏蔽层也应当连接一个宽而扁平的、低电感的导体来产品机框的金属外壳。

对塑料机框来说，是没有地方给你连接屏蔽的。这时屏蔽的方式是没有帮助的。可以使用方式（1）方式（3）来减少噪声。

9.6.3 常规阻塞 (Common Mode Choke)

这个规则几乎没在任何设计中运用过，但对于任何不满足 FCC/VDE 规则的系统来说，都可以作为一种补充。

在产品机框外部靠近 I/O 连接器的地方，将 I/O 电缆在一个大的磁环上绕上几圈。因为这样正常的信号电流又沿同样的电缆返地线，通过磁环的网络电流几乎为零。它对电缆上的信号电流是没有影响的。

对哪些沿其他不同路径返回的电流来说，磁环也有很大的影响。这些电流仅仅是单方向通过磁环，因此遇到的是线圈绕组的全电感。如果这个电感超过了远端返回电流回路的自身电感，磁环则可以减少这些远端回路的电流。

常规阻塞对各种不同的电缆形状可以有很多变化。甚至扁平的带状电缆也可以使用这种方法。

使用常规阻塞之前，关注一下特性阻抗与使用频率的关系。并不是所有的磁环材料都对高频信号有很好的效果。

本节要点：

将电路板之间的高速数字信号暴露在外，肯定不能通过 FCC和VDE 的 EMI 测试。

如果你能接受降低上升时间的要求的条件的话，在本板上对所有流出的数字信号进行滤波。

常规阻塞能减小远端返回回路的电流。

图9.14中标注为 A 的损耗线回路的辐射常常会高于 FCC/VDE 的规定。



9.7 用于高速信号的特殊连接器 (SPECIAL CONNECTORS FOR HIGH-SPEED APPLICATIONS)

AMP 公司和 Augat 公司都为高速的点对点应用设计了一些特殊的连接器。这些连接器在内部将接地结构合并一起。这些接地结构有两个功能：首先，他们为低频干扰提供一个低阻抗的信号回路。其次，他们增加每个管脚对地的寄生电容，以平衡这些管脚的串联电感。这种平衡减小了点对点传输线应用中的信号失真。

Teradyne 公司也给多负载总线应用创造了一种带有特殊功能的连接器。它能提供一个非常低阻抗的信号返回通路，以在没有增加寄生电容的情况下减小 EMI 辐射。对多负载总线来说，寄生电容越低越好。

9.7.1 AMP Z-Pack 点对点连接器 (AMP Z-Pack Point-to-Point Connector)

AMP Z-Pack 带状连接器的交叉示意图和透视图如图 9.15 所示。这种 AMP 连接器包括 4 行信号管脚。

每列管脚之间放有一根细小的金属条。这些金属条是作为低电感的返回电流载体的。金属条的接地管脚可以在连接器的任何一侧。金属条是扁平的，以便电流能够分散传播，以降低连接器的串联电感。

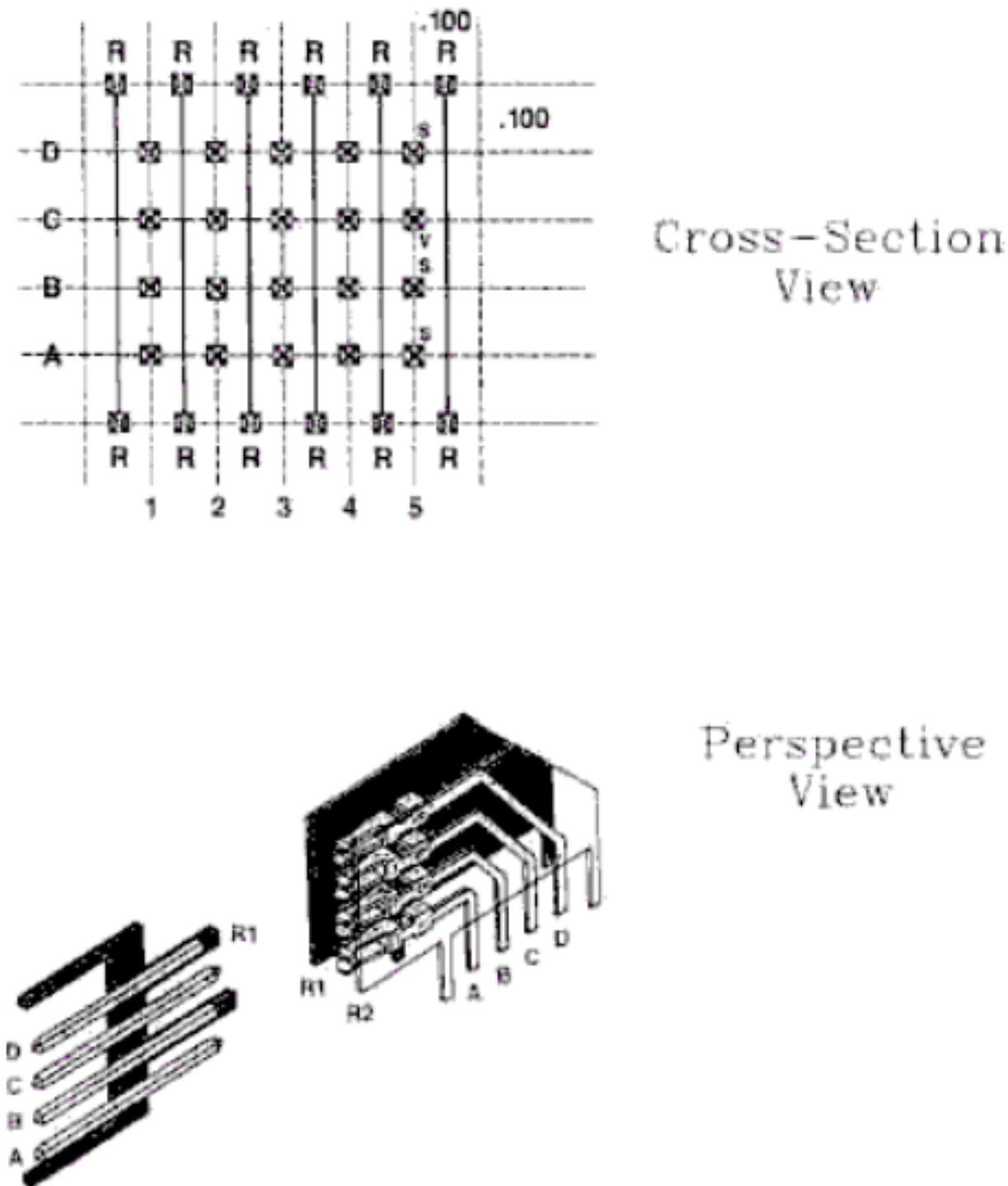


图9.15 高速点对点应用中的 AMP Z-Pack 连接器

这种连接器的每一列管脚之间的干扰是很小的。AMP 声称它可以用于上升时间为 250ps 的高速信号。对 500ps 上升沿的信号，按图 9.10 的方法进行测量，干扰小于 3%。通过连接器的传播延迟大约在 150ps。

扁平的金属条增加了每个管脚的对地电容。这时的电容可以平衡连接器自身的串联电感。 $(L/C)^{1/2}$ 的值变化范围是 40 到 56 欧，具体数值与焊盘布线和测试时的管脚行数有关。这种连接器适合于串联在 50 欧的传输线上。

9.7.2 Augat 点对点连接器 (Augat Point-to-Point Connector)

Augat 制造了一种称为电气无形互连 (electronically invisible interconnect, EII) 的连接器。这种独特的连接器实际上是从线路板来的信号用一种细小的带状物来传输，而这种带状物其实是一种可弯曲的微型电路板。这种可弯曲的电路板可以按顾客要求定制成任何阻抗特性。这种连接器是非常小的，总的延迟只有 115ps。

Augat 声称这种连接器可用于上升时间 35ps 的高频信号。以上升时间 900ps 的信号来说，这种微型电路板应用只产生 2% 的干扰。

这种微型电路板每个管脚的阻抗为 45到55欧。这种连接器同样适合于串联在 50欧的传输线上。

9.7.3 Teradyne 多负载总线连接器 (Teradyne Multidrop Bus Connector)

Teradyne 背板连接器提供 4行信号管脚。它还提供另外两行接地管脚。每行的接地管脚可以出现在信号管脚行的任何一侧，类似于 AMP Z-Pack 连接器。

Teradyne是将低阻抗的接地导体水平放置的，而不是垂直放置的，如图 9.16所示。这些金属条提供一个低电感的信号返回通路，但不同列之间并没有连到一起。因此它的干扰要比 AMP Z-Pack连接器要大一些。这时的优点是金属条与信号管脚分离，不会增加电容。信号对地电容也是很低的，因此对多负载总线来说是一个很好的选择。

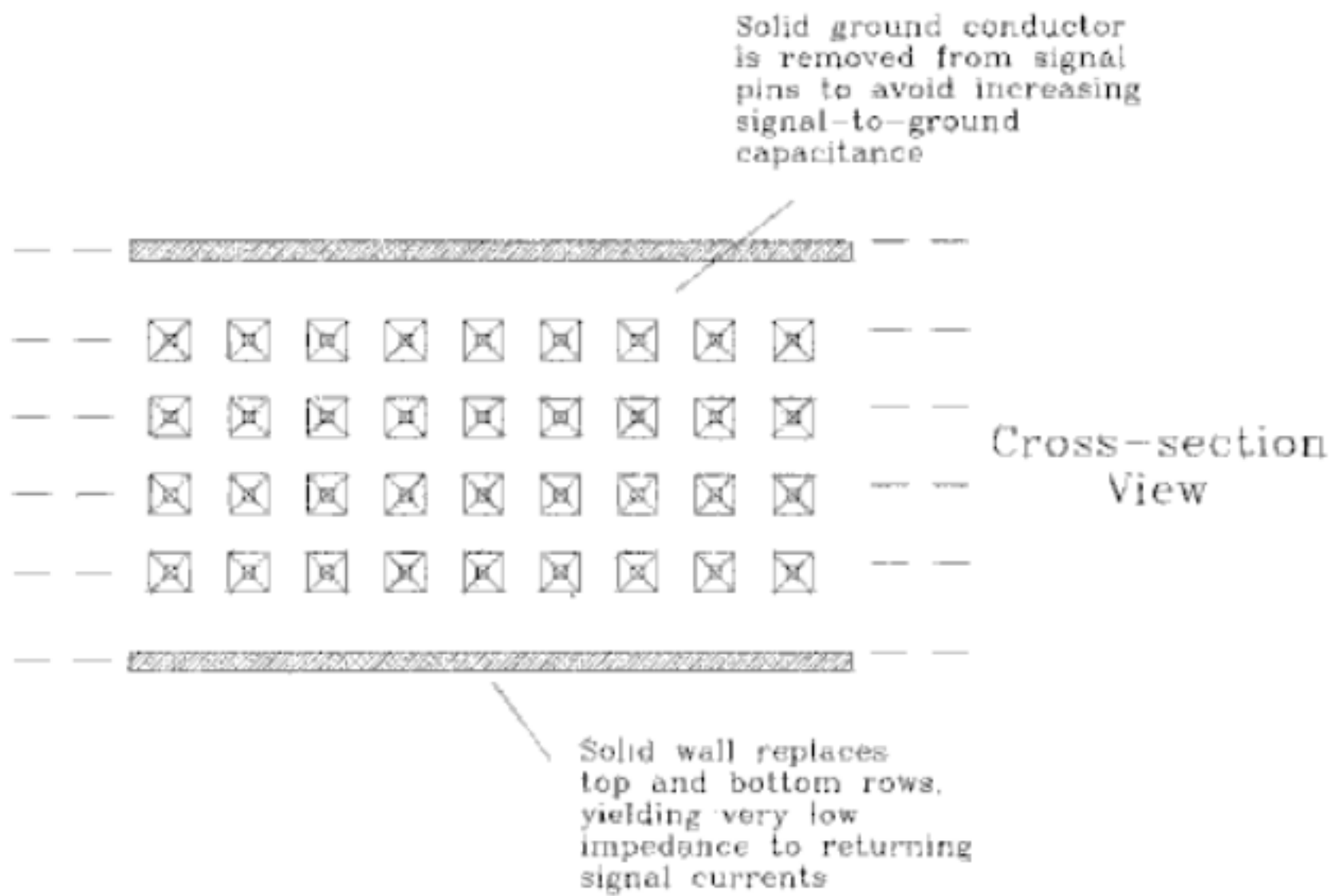


图9.16 Teradyne 多负载总线连接器

本节要点：

对高速信号来说，干扰和 EMI 控制要求使用一些特殊的连接器。

9.8 经过连接器的差分信号 (DIFFERENTIAL SIGNALING THROUGH A CONNECTOR)

差分信号带来的问题是，不是要给信号返回电流提供一个低阻抗的路径，而是要消除返回电流。

差分信号的理论是很简单的。本来是一路信号却变成两路发送（你在发送信号的同时，将你的信号的反向信号做为第二个信号也发出去）。第一个信号的返回电流是正的，第二个信号的返回电流是负的。合起来之后，他们就抵消了（图 9.17）。

在接收端，比较两个信号以决定他们的逻辑状态。这种比较并不需要本地参考电压。发送器和接受器之间的地电压漂移对等的影响着每根连线，因此在两根线之间就没有影响了。差分接收是会被发送器和接受器之间的地电压漂移所影响的。

假如差分信号对产生了返回信号电流的话，那它是由于两根传输线之间的不平衡引起的。如果差分信号不是完全的反向，他们的电流就不会完全抵消。在电流上的这种不平衡被称为 Common mode current。对于一个设计良好的差分驱动器来说，Common mode current 可以小于信号电流的百分之一。Common mode current 越低，对 EMI 性能就越有好处。

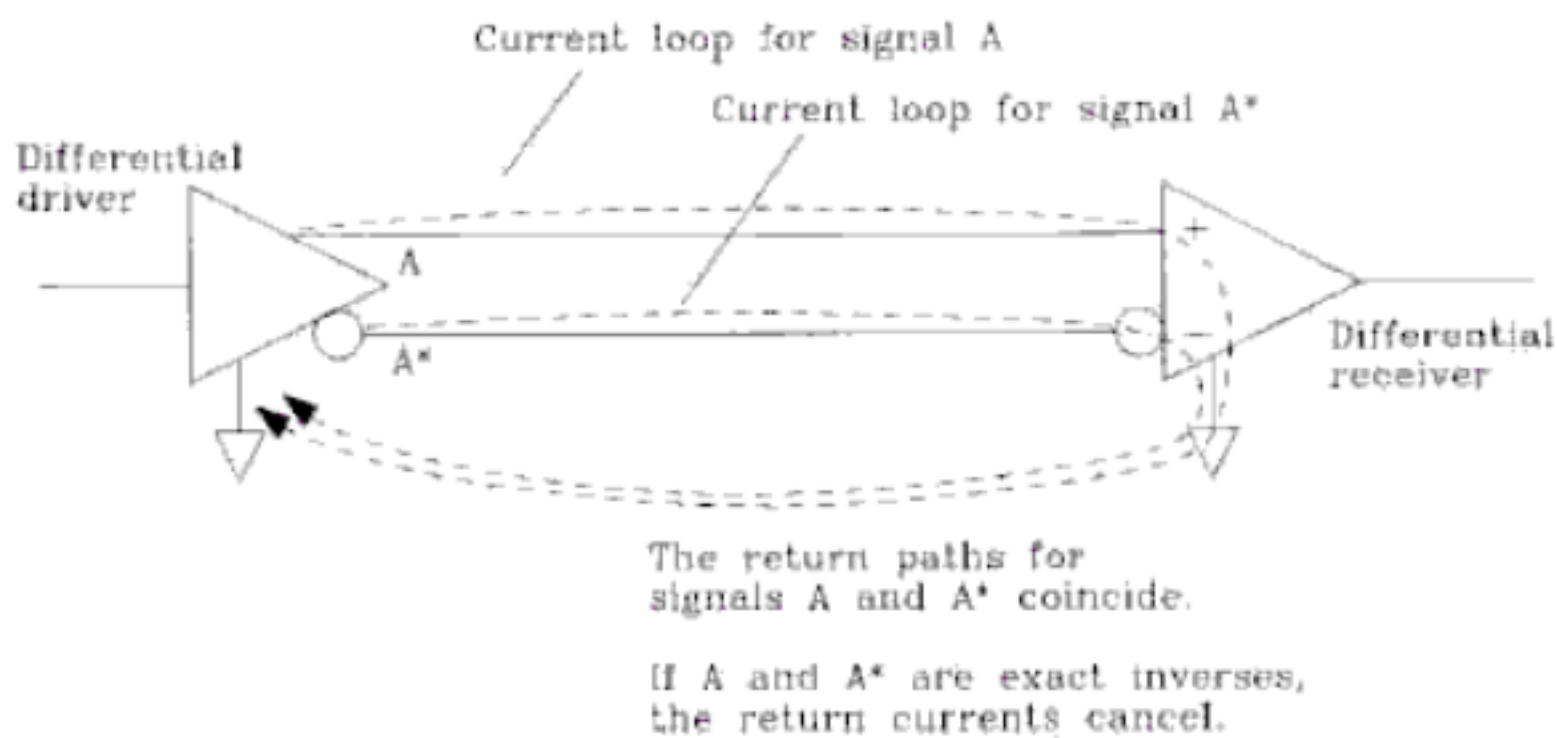


图 9.17 差分信号消除信号返回电流

当我们通过连接器发送差分信号时，将他们连接在相邻的管脚。这样他们的信号返回通路将会交迭并抵消。而且，在 PCB 布线上紧密的将他们靠在一起，以下是一个计算不平衡电流大小的公式，用于当两根布线不完全等长的时候。它计算出的是信号电流的一个分数值。

$$\text{Imbalance fraction} = \frac{T_p X}{T_{10-90}} \quad [9.20]$$

这里

T_p = 物理介质的传播延迟 (ps/in.)

X = 布线长度差值 (in.)

T_{10-90} = 信号上升时间 (ps)

不用担心差分信号对两信号之间的干扰。他们在布线时可以比常规的布线更近一些。由于这时布线的干扰是与它的差分线相关的，二他们之间几乎没有任何不一样。如果两根线特别的靠



近，每根线的阻抗也就大大降低。我们还可以使用较小的终端匹配电阻或者比常规情况更窄的布线来加强这一效果。

示例 9.3：差分不平衡

两根差分信号线在 FR-4 材质的 PCB 上近距离布线，信号上升时间为 500ps。其中一根信号线绕开一个过孔而相差 0.3 in.。这时不平衡的结果是多少呢？

$$\begin{aligned} T_p &= 180 \text{ ps/in.} & (\text{FR-4}) \\ X &= 0.3 \text{ in.} \\ T_{10-90} &= 500 \text{ ps} \\ \text{Imbalance fraction} &= \frac{(180)(0.3)}{500} = 0.108 & [9.21] \end{aligned}$$

这时本来差分输出只有 1% 的不平衡的，可能会上升到 10%。

本节要点：

差分信号的接收是不会被发送器和接受器之间的地电压漂移所影响的。

对于一个设计良好的差分驱动器来说，Common mode current 可以小于信号电流的百分之一。

9.9 连接器的电源控制特性 (POWER-HANDLING FEATURES OF CONNECTORS)

在背板应用中出现了许多管脚高度不一致的连接器的。两种、三种甚至四种管脚高度都是常见的。管脚高度变化这一特性，可以实现背板热插拔时不同的软启动上电和复位操作顺序。

典型的是，接地管脚最长，首先接触上。然后电源管脚第二长，其次接触上。上电顺序有时要求两种管脚高度，首先是软启动电源然后才是全部电源（详见 8.2.3 节）。最后最短的管脚连上数据信号。通常用一根数据线来启动一个定时器并时单板保持复位一段时间。这种复位的功能给单板完全插进槽位提供足够的时间保证。当把单板插进槽位时整个的操作时间小于 0.1s。

当使用不同管脚长度的时候，将两种长的管脚放置在连接器的两端。这样，即使单板一边倾斜另一边插进了槽位，也能保证首先是长的管脚连接上。



本节要点：

管脚高度变化这一特性，可以实现背板热插拔时不同的软启动上电和复位操作顺序。

9.10 总结：

(1)、共模电感是连接器产生干扰的主要原因。在连接器的中间增加一些布地可以较小共模电感，从而能较小干扰。

(2)、EMI 问题通常是由远回路的信号电流引起的。如果能想办法给连接器提供一个低电感的返回电流路径或者设法排除远端返回电流路径，将对解决 EMI 问题有帮助。

(3)、多负载总线应用比点对点应用在连接器上带了更多负载。对于多负载来说，我们希望连接器的寄生电容越低越好，哪怕以高阻抗为代价。

(4)、简单的测试方法只能定性的测量连接器的干扰。

(5)、请注意如果连接器的信号返回电流流经地线层的一个孔的话，这时的问题与我们接地的管脚数量已没有多少关系。多个管脚接地的效果并不比连接器单个管脚接地好多少。

(6)、将电路板之间的高速数字信号线的线头暴露在外，会导致严重的 EMI 问题。如果你能接受降低上升时间的要求的条件的话，较好的方式是在本板上对所有流出的数字信号进行滤波。

另已一种方式就是采用常规阻塞来减小远回路的返回电流。请注意图 9.14 中标注为 A 的损耗线回路的辐射常常会高于 FCC/VDE 的规定。

(7)、对高速信号应用来说，干扰和 EMI 控制要求使用一些特殊的连接器。

(8)、差分信号的接收是不会被发送器和接受器之间的地电压漂移所影响的。对于一个设计良好的差分驱动器来说，Common mode current 可以小于信号电流的百分之一。

(9)、利用管脚高度变化这一特性，可以实现背板热插拔时不同的软启动上电和复位操作顺序。