

高速数字电路设计教材

拟制：	<div></div>	日期：	<div>yyyy-mm-dd</div>
审核：	<div></div>	日期：	<div>yyyy-mm-dd</div>
审核：	<div></div>	日期：	<div>yyyy-mm-dd</div>
批准：	<div></div>	日期：	<div>yyyy-mm-dd</div>



华为技术有限公司
版权所有 侵权必究



目 录

第八章 电源系统	2
8.1 提供稳定的参考电压	3
8.2 分配相同的电压	7
8.2.1 电源分配线的电阻	8
8.2.2 电源分布线的电感	8
8.2.3 板极旁路器	10
8.2.4 在独立集成电路 (individual integrated circuits) 中的本地旁路	13
8.2.5 电源层与地层之间的电容	16
8.2.6 测量电源分配系统单步响应的测试工具。	17
8.3 普遍电源分配问题 (everyday distribution problems)	18
8.3.1 在TTL-ECL 组合系统中随机的 ECL 错误	18
8.3.2 在电源分配线上有太多的压降	19
8.3.3 插入电路板时电源的冲击 (glitch)	19
8.3.4 从电源分配线上的 EMI 幅射	20
8.4 选择一个旁路电容	20
8.4.1 电容的寄生电阻和寄生电感	21
8.4.2 电容性能与封装的关系	23
8.4.3 贴片电容 (surface-mounted capacitors)	26
8.4.4 在集成电路中安装电容	27
8.4.5 三种类型的绝缘材料	27
8.4.5.1 铝电解绝缘材料	28
8.4.5.2 Z5U 电介质	29
8.4.5.3 X7R 电介质	29
8.4.6 较安全的电压和寿命	30

第八章 电源系统

摘要：电源系统在现代的数字电路里面提供两个基本功能：

为数字信号提供稳定的参考电压（ Voltage references ）。

为所有的逻辑器件分配电源。

这一章讲述了电源系统是如何提供稳定的参考电压电压和配电。

8.1 提供稳定的参考电压

图8.1 举例说明了在单端逻辑系统中出现的参考电压问题。逻辑门 A 产生的输出电压 V_1 经过传输线 B 作为逻辑门 C 的输入，逻辑门 C 必须判定其输入电平是 0 还是 1。为了完成判决，逻辑门 C 用一个差分放大器来比较输入电压和它内部的参考电压 R 。通常我们并不关心逻辑门的输入脚里包含了差分放大器，但是其拓扑结构的确导致了我们的参考电压的诸多问题。

一般逻辑器件内部参考电压都是连接到电源输入端的某些组合，我们无论选中那个终端，出现的问题都是相同的。在本例中，我们假设参考电压与地之间有个固定的压差，包括噪声在内，逻辑门 C 内的差分放大器实际收到的电压是：

$$\text{差分输入} = V_1 - N - R \quad [8.1]$$

最大电源正电压是 V_{CC} ，最大负电压是 V_{EE} ，主要的逻辑电路使用以下的参考电压：

CMOS： V_{CC} 和 V_{EE} 的加权电压；TTL：大于 V_{EE} 的固定偏压；ECL：低于 V_{CC} 的固定偏压

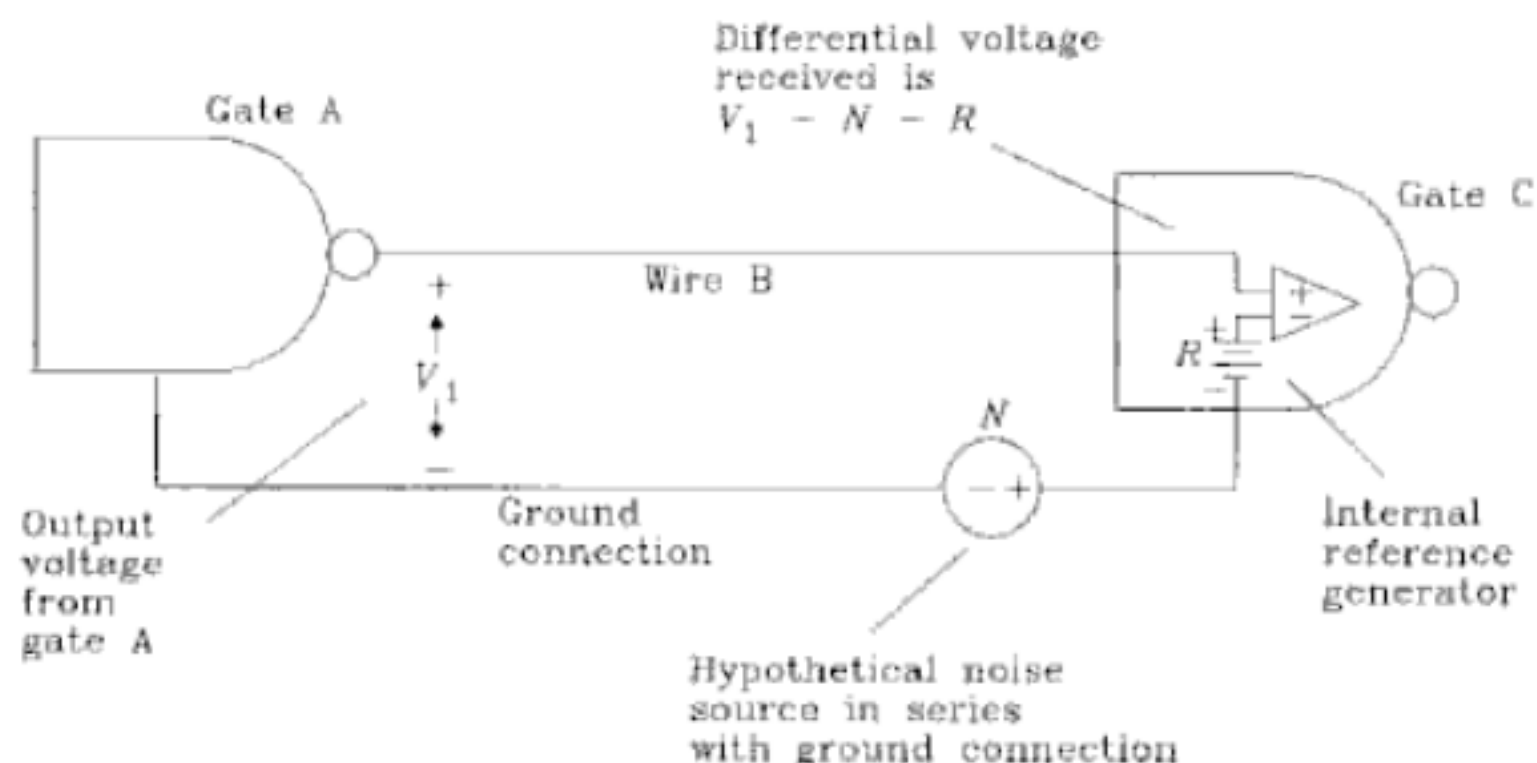


图8.1 单端逻辑中使用的参考电压

噪声 N 也可以看做逻辑门 A 和 C 的地之间的电压差，它叠加到了逻辑门 C 的输入脚上，降低了门 C 的输入噪声容限。

是什么导致了逻辑门接地点之间的噪声电压呢？最常见的原因就是因为有回路信号电流（Returning signal currents）。当逻辑门 A 发送信号到逻辑门 C 时，返回逻辑门 A 的电流在地之间的分布电感上产生的压降就是噪声 N 。不光在 A 和 C 之间，在任意两个逻辑门之间的回路信

号电流都会产生对 C 门的干扰地噪声，这样的噪声电压就叫做共路噪声（Common-path noise）电压，共路噪声电压的产生模型如图 8.2 所示。

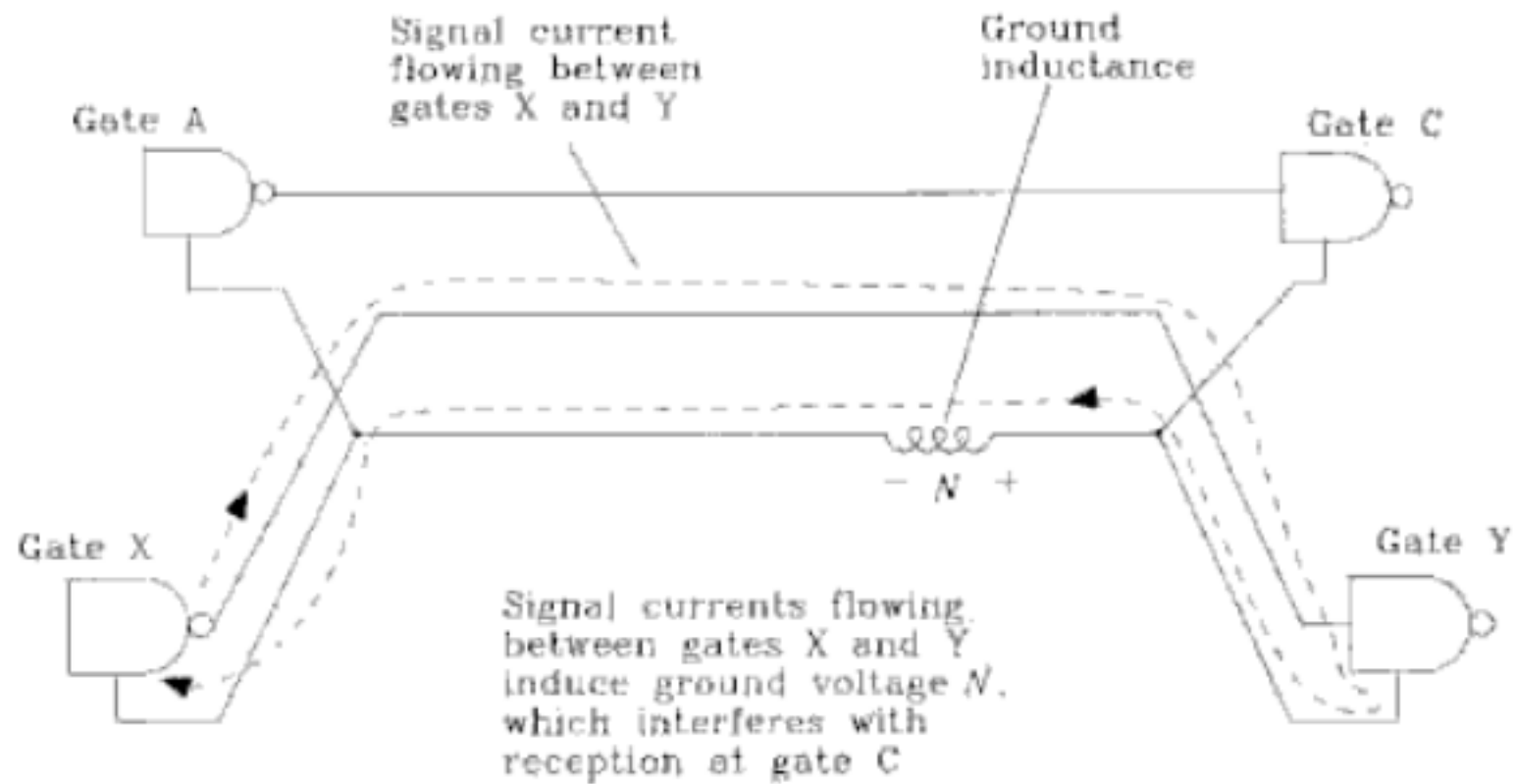


图 8.2 地连接产生的共路噪声

噪声容限是在最坏的传输条件下，能够保证信号在逻辑之间无误传输的安全容限。

共路噪声电压是由回路信号电流和地线电阻产生的，所以，为了保证低共路噪声，我们必须降低逻辑门接地点之间的阻抗，这就是电源系统设计的第一个准则：

电源准则 1：逻辑门之间使用低阻抗的地线连接

是否有一种足够低电感的结构以避免共路噪声产生的问题呢？当然有。在实际应用中，大面积的地（就算里面填充了很多小孔）对回路信号电流将表现出非常低的电感。

共路噪声与公共耦合电感的关系在第 5 章里已经做了说明。两者影响了回路电流环之间的耦合电感。共路噪声不同于因特定器件或导线的电感而产生的噪声。在第 5 章中我们围绕回路电流相互隔离但距离较近，只通过磁场相互作用的情况进行了讨论。

低地线电感并不能单独解决共路噪声的问题。如图 8.3 所示：就算没一个逻辑门之间都用非常完美的地线连接，电源线中的共路电感也会引起问题。在高电平状态，逻辑门的输出电压依赖于它的电源端电压，任何因为回路信号电流流经电源线引起的电源电压改变，将直接影响到输出电压。所以任意两个逻辑门的电源引脚之间的阻抗应与地线引脚之间的阻抗一样低，这就是我们设计电源系统的第二个准则：

电源准则 2：任意两个逻辑门的电源引脚间的阻抗应于地线引脚之间的阻抗一样低。

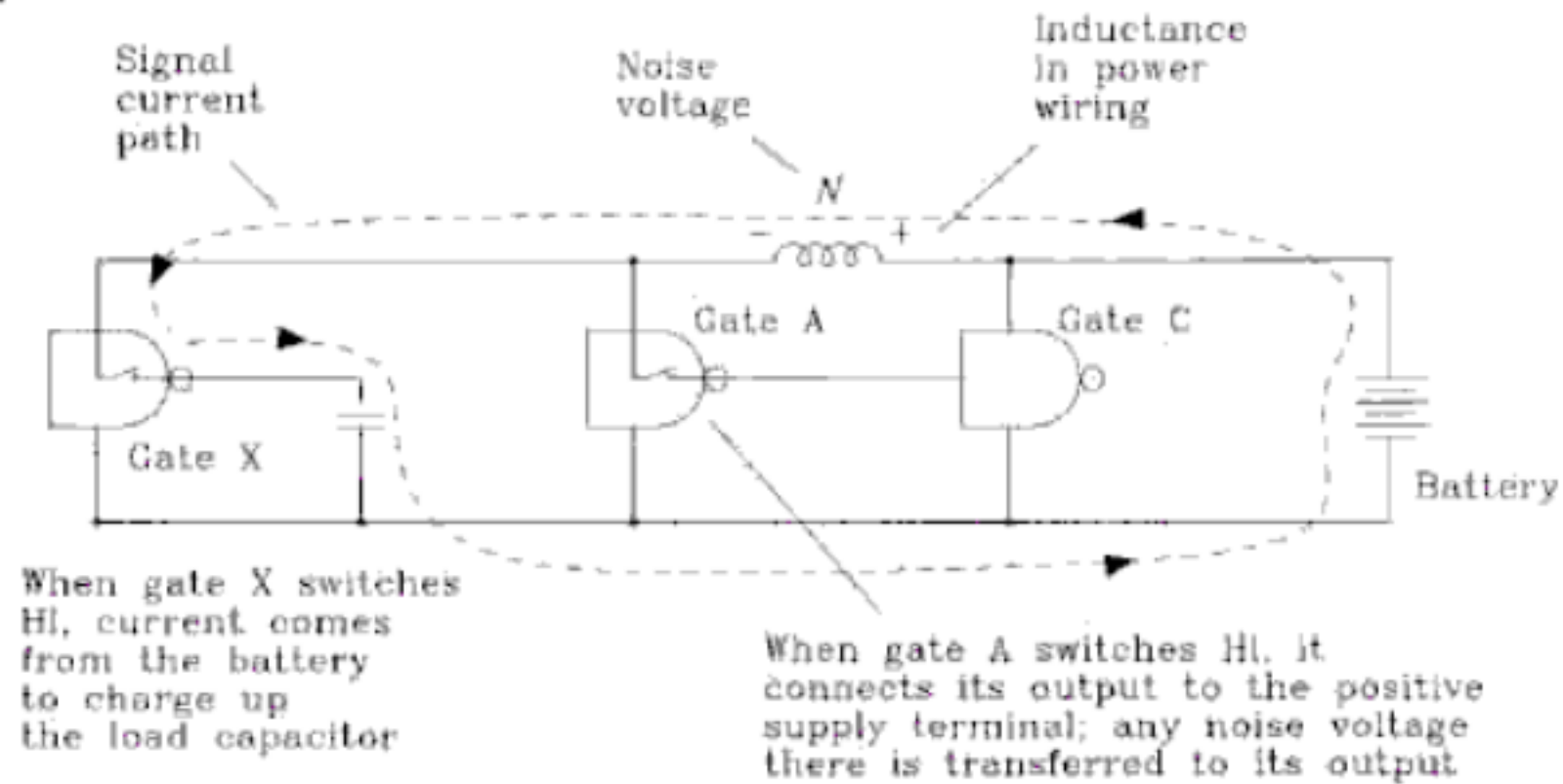


图 8.3 电源线中的共路电感

请注意图 8.3 中回路信号电流流过了电池电源。显然，为了维持稳定的传输信号电平，电池的内阻必须非常的低，地线和电源连接线的电阻也要低。图 8.3 中电源和地的唯一连接通路是电池，在实际的电源系统设计中还有其它的元件提供低阻抗通路。这就是我们设计电源系统的第三个准则。

电源准则 3：电源与地之间必须有一个低阻抗通道。

任何电源系统只要符合这三个电源系统设计准则，就能得到较低的共路噪声、得到稳定的参考电压、以及只产生较低的公共通道噪声和为任何一点提供相同的电源电压。这几点是不可分割、相辅相成的。

如图 8.4 所示的电源系统就符合这三个准则：提供一条单一的地线以通过所有的回路电流、每一个逻辑门的电源与地之间都加上旁路电容（Bypass capacitors）、电源线是任意的。

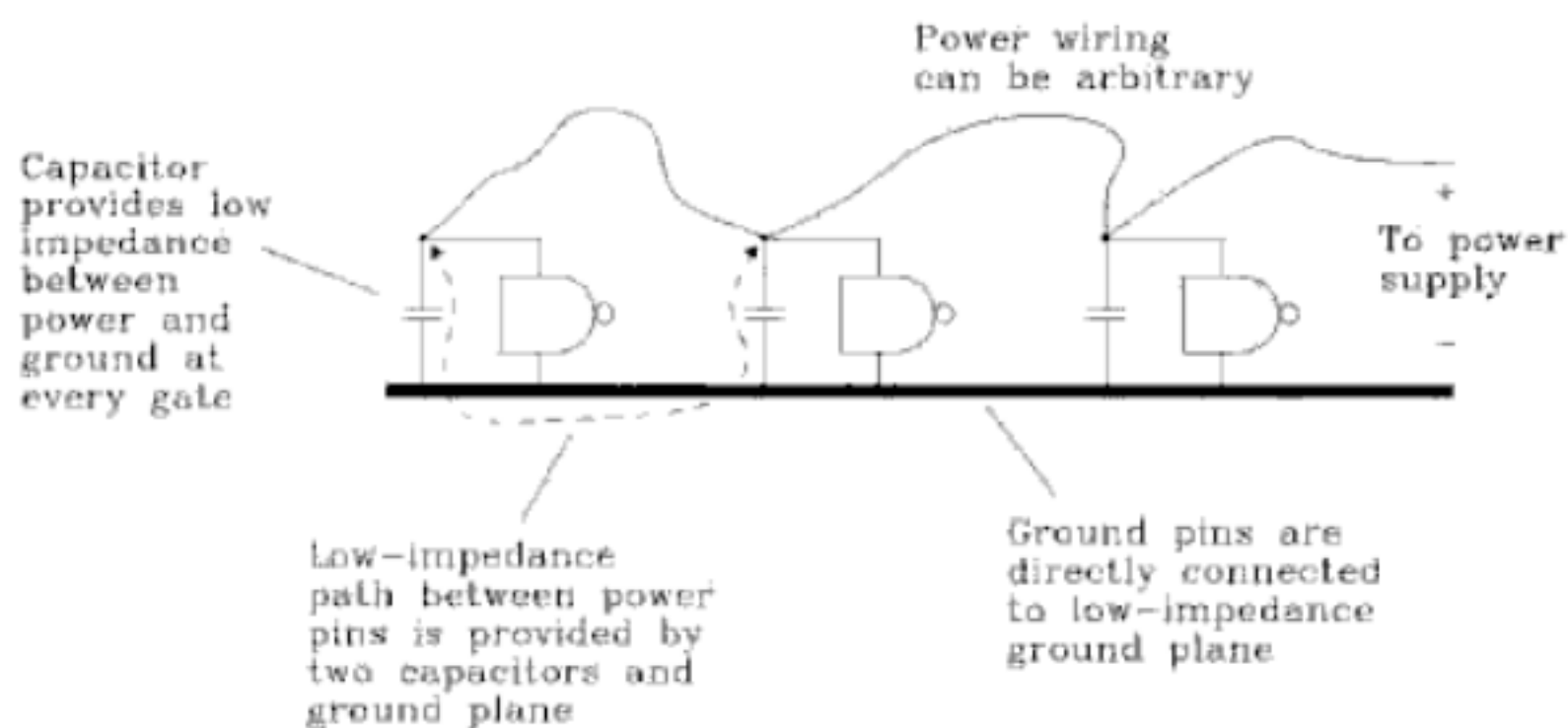


图 8.4 单层（singleplane）电源系统

我们来检查一下这三个系统准则在这个设计当中的运用：

- 1.在地之间有一个接地平面的连接。
- 2.在电源之间有一系列阻抗，先是一个电容，接着是地，最后是第二个电容。

3. 在每个逻辑门的电源与地端有一个旁路电容，我们能测出任何一个电源与地之间都的阻抗都是较低的。

采用单层地的最大缺点是不能得到尽可能低的旁路电容阻抗，在 8.3 节中将讨论如何选择一个好的旁路电容。

较好的解决办法（图 8.5）是电源和地使用不同的铜皮，这将保证在任何两个逻辑门之间的电源和地间得到最好性能。当两铜皮非常靠近的时候，它们共享了大量的公共电容（Mutual capacitance）。这些电容对于高频信号是非常低的阻抗，高频信号可以在电源和地之间自由流动。对于低频信号，每一个门中分离的旁路电容使电源和地之间有最短的通路。

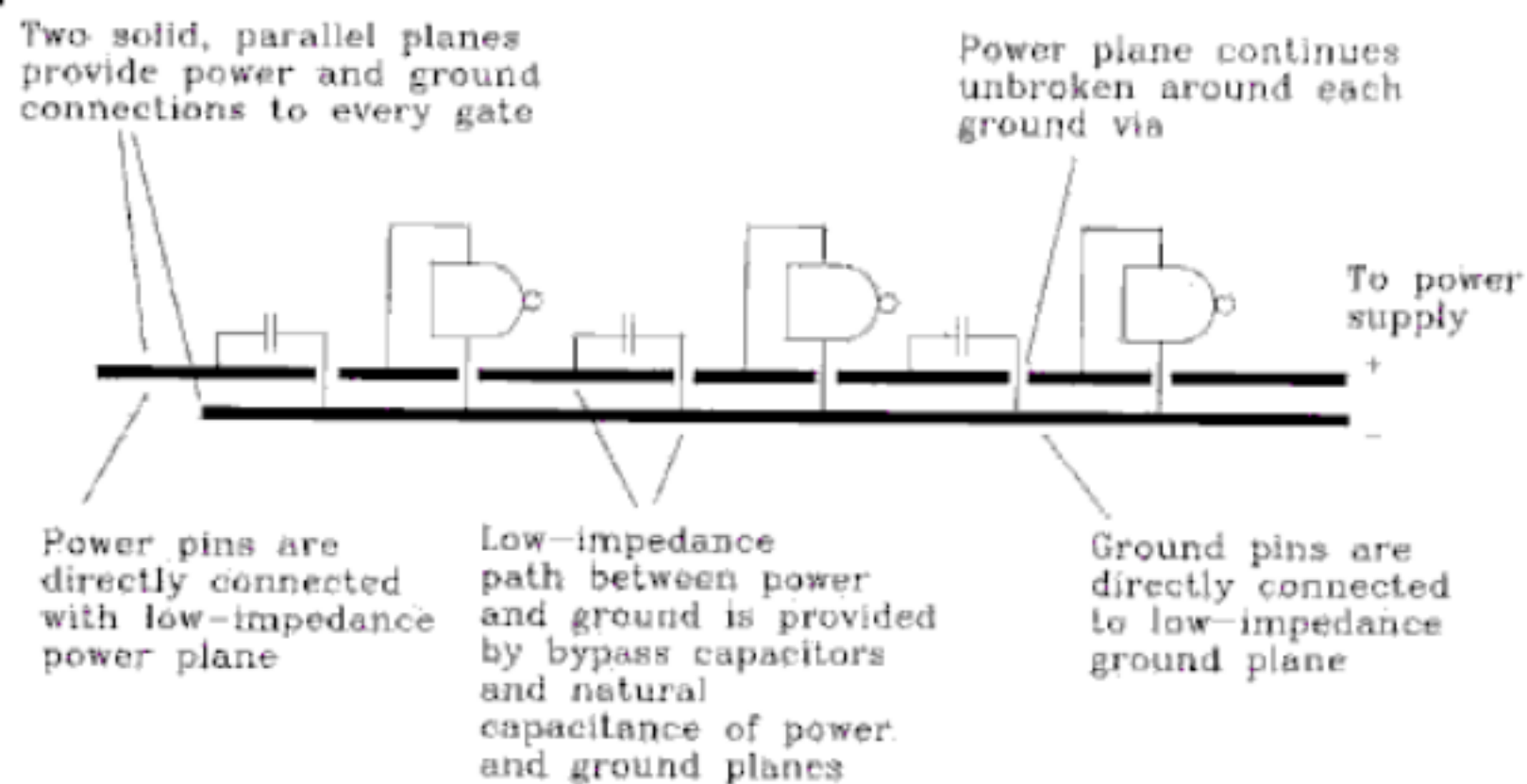


图 8.5 电源和地平面分离的系统

我们来检查一下这三个准则在这个系统（ 8.5 ）中的运用：

1. 所有的地线使用同一地平面连接。
2. 所有的电源也使用同一电源平面连接。
3. 在电源和地之间有一组旁路电容，电源层与地层之间有天然的电容层。

在完成这一节之前，让我们来看一下图 8.6，差分传输（Differential transmission）结构为每个信号环路提供单独的回路电流通路，不仅仅如此，每一个信号都有它们自己的参考电压，注意在接收端的差分放大器与任意一个电源端都不相连。差分传输系统是在逻辑门之间传输信号的极好方法，因为它并不需要共享电源和地线连接。

差分传输系统使分配电源的问题与提供稳定的参考电压独立开来。

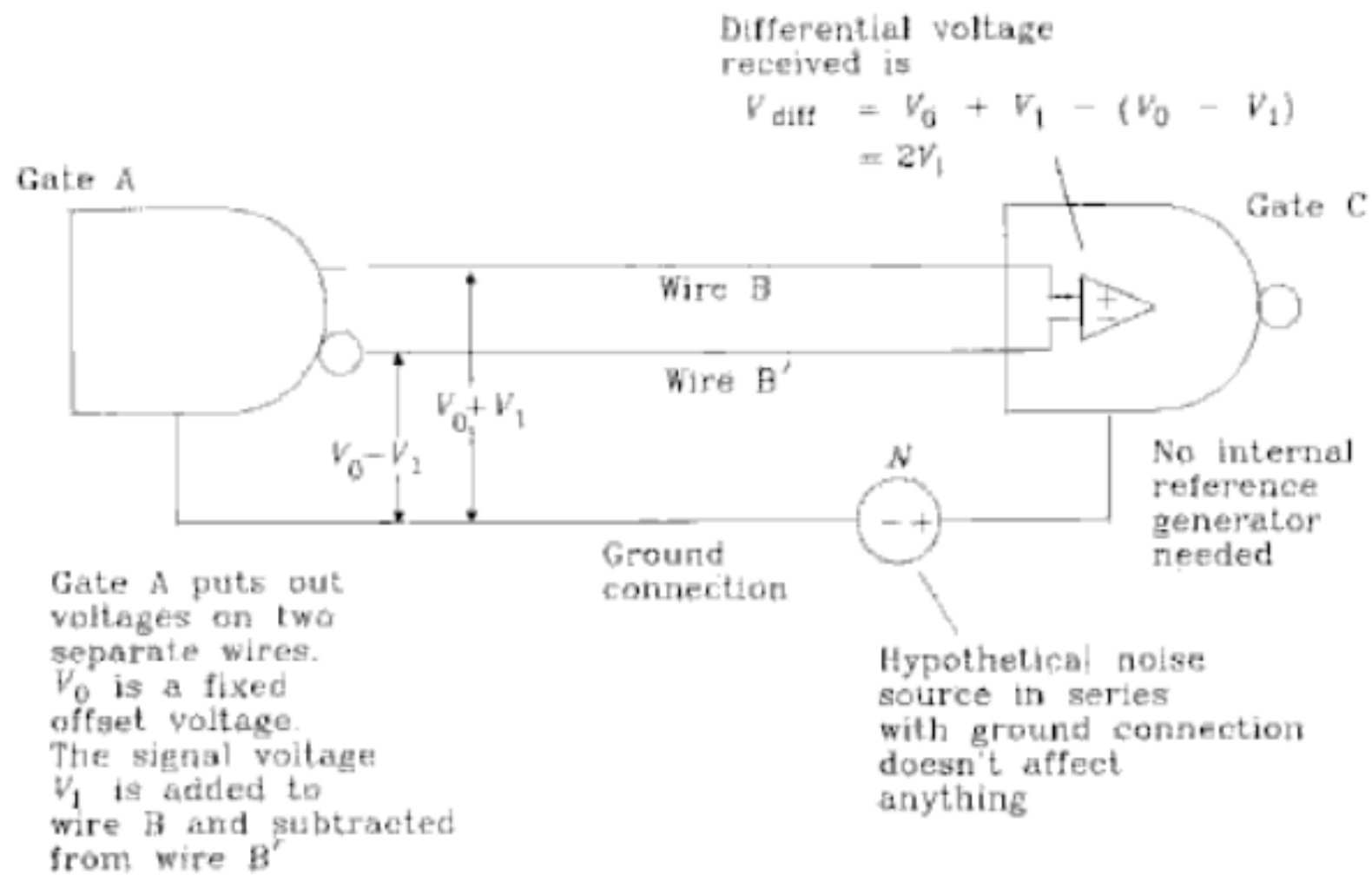


图 8.6 逻辑门之间的差分信号传输

本节要点：

电源系统设计的三个准则：

- y 在逻辑门之间的地线连接要尽可能低的电阻。
- y 任何逻辑门和电源之间的阻抗要尽可能和地线之间的阻抗一样低。
- y 在电源和地之间，阻抗必须尽可能低。

8.2 分配相同的电压

用于数字电器而电源中都有非常低的输出阻抗，如果直接测量它们的输出端，通常都能满足电源准则 3，电路直接连接于电源输出端都受益于电源较低的输出阻抗。

不管电路在什么位置，都必须通过导线、电缆或电线连接到电源上，这些线被称作电源分配线（Power distribution wiring），都有相对较大的感抗，它提高了大部份电源的输出阻抗。在电源分配电缆的末端进行测量，直流特性可能较好，但是高频阻抗却非常大。

为了尽量避免因为电源分配线电感而引起的问题，设计者通常在每一个印制板电路上放置一个较大的旁路电容，这个电容于电源并连。在导线电感开始出现问题的频率范围内，旁路电容在电源和地提供一个低阻抗，但是如果进入更高的频率，旁路电容将因为其安装引脚线的电感而失去作用。

为了弥补这个大旁路电容的不足，设计者会在板上加入一个小的旁路电容阵列，这个阵列会改善大旁路电容的不足，因为虽然这个阵列的总电容比大旁路电容小，但有更好连续电感（Series inductance）。



在整个工作频率范围内，电源、导线、大的旁路电容和小的旁路电容阵列为每一个逻辑器件提供了一个低阻抗的电源。我们把这些电源分配线、大旁路电容、小旁路电容阵列的组合叫做多层电源分配系统（ Multilayered power distribution system ）。

在 8.2.1~8.2.5 中，将逐步建立起多层电源分布系统的理论， 8.2.6 节将描述怎样测试一个完整的电源分布系统的性能。

8.2.1 电源分配线的电阻

从电源到逻辑器件的导线会有少许电阻，这个电阻将与工作电流成比例的降低通过导线的电压。如果压降太大，将导致逻辑门的供给电压低于其工作范围。

导线的电阻很容易计算，电阻随导线直径平方的倒数成比例增加。当导线直径增加百分之四十，电阻将降低一半。如果因为导线电阻而出现了问题，那么就使用较粗的导线。

许多新型的可校准电源（ Regulated power ）都提供遥控传感导线（ remote sense wires ），该传感导线显示出电源分配线远端的电压。电源根据这个电压校准导线的电阻，阻值包含一个导线压降可容纳的最大值（典型约 0.5V ）。对于这种电源不必使用非常低阻抗的导线。

本节要点：

y 传感导线可以校正电源分配线的电阻。

8.2.2 电源分布线的电感

电源线的电感比其电阻产生的问题更大，快速改变的电流通过电源分配线的电感，将导致电源和逻辑器件的电压的波动，这个电压波动将比导线电阻引起的波动更突然，而且影响更大。

不幸的是传感导线电路不能快速的响应以校正导线的电感。这里有三种方法来处理电源导线电感的问题：

- 1.使用较低电感的导线。
- 2.使用不受电源噪声影响的逻辑器件。
- 3.减小电源产生电流的变化幅度。

因为电感与导线直径是对数关系，所以简单的通过使用较粗的导线不可能降低导线的电感。等式 8.2 表示两个并行的电源分配线的电感（电源和地）。

$$L = 10.16X \ln\left(\frac{2H}{D}\right) \quad [8.2]$$

其中

X= 导线长度 (英寸)



H= 导线间的平均距离 (Average separation) (英寸)

D= 导线直径 (英寸)

L= 电感(纳亨 nH)

由等式 8.2可以看出，就算更粗的导线也有很大的电感，宽而扁的并行结构的导线的使用效果要好于环状导线，对于电源和地在不同的层的情况，多重并行扁状导线具有最低的电感。等式 8.3显示出并行扁平带状电缆的电感。

$$L = 31.9 \frac{XH}{W(N-1)} \quad [8.3]$$

其中：

X= 带状电缆长度 (英寸)

H= 带状电缆间的距离 (英寸)

W= 带状电缆宽度 (距离)

N= 电缆平面数 (2代表单电源和地， 3代表两个地和一个电源，等等)

L= 电感(nH)

差分传输系统实际不受电源的波动的影响。为了实现电路板卡间的通信，没有更便宜的办法为电路板提供较低的电源分布电阻，差分驱动器和接收器却非常的好，差分传输系统的成本和扩展距离的要求往往低于提高电源分布电缆的成本和距离。

最大限度减小电源线电感影响的方法包括降低变化的 电流大小。注意，这里使用的是变化的电流 (Changing current) 一词，我们不能减小通过电源线的平均电流，但是我们能降低电流的波动率。下一节我们将展示怎样用板极旁路电容来达到这个目标。

本节要点：

- y 几乎不可能通过简单的使用较粗的导线来降低导线的电感。
- y 宽而扁的并行结构导线使用性能比环行导线好的多。
- y 差分传输实际上不受电源波动的影响。

8.2.3 板极旁路器

让我们来看看导线的电感究竟能引起多大的问题，在图 8.7中我们将计算最大的 dl/dt ，然后将 dl/dt 乘以导线电感来估算电源噪声电压。

在图 8.7的电路中驱动了一个大的电容负载。在逻辑门 A 的电源脚上有一个周期是 100ns 的开关。在逻辑门 A 驱动电容负载为 HI 时，这个开关导通。图中的虚线即是电流的通路。

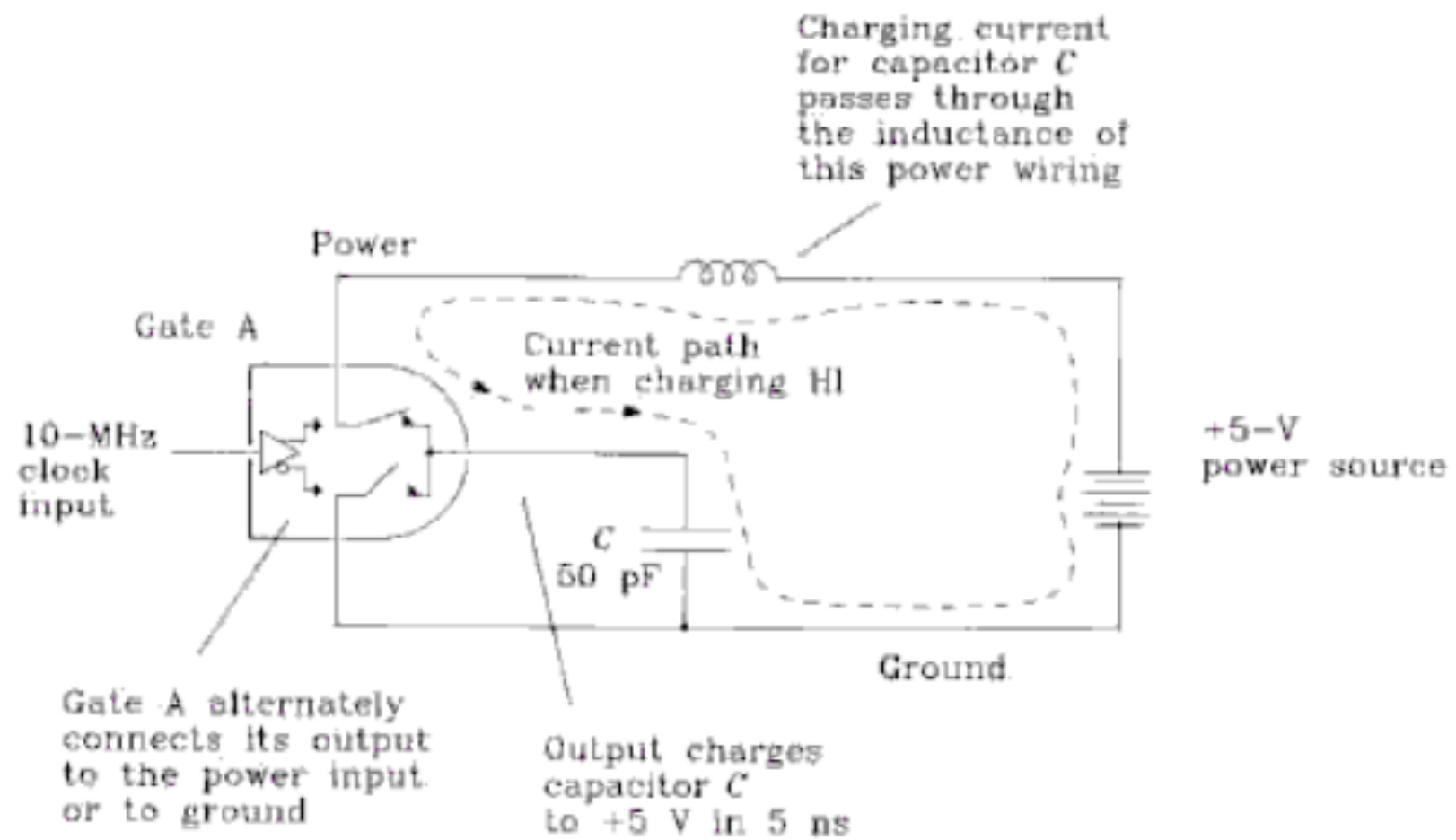


图8.7 电源分配线的电感

图 8.7 显示出 HI 驱动电流电路流过电源和电源导线电感，逻辑门 A 的上升时间是 5ns，于是我们能用等式 8.4 计算出驱动电流最大 di/dt 值。

$$\text{Max} \frac{di}{dt} = \frac{1.52 \Delta V}{(T_{10-90})^2} C_1 = 1.5 \times 10^7 \text{ A/s} \quad [8.4]$$

其中： $V = 5\text{V}$ （驱动电压）

$T_{10-90} = 5\text{ns}$ （驱动上升时间）

$C_1 = 50\text{pF}$ （负载电容）

下一步我们需要用等式 8.2 计算出电源线的电感。

$$L = 10.16 X \ln \left[\frac{2H}{D} \right] = 164 \text{ nH} \quad [8.5]$$

其中： $X = 10$ 英寸（导线长） $H = 0.1$ 英寸（平均导线间距离）

$D = 0.04$ 英寸（导线直径） $L =$ 电感（nH）

用最大值 di/dt 乘以电感，我们将得到峰值噪声电压：

$$\text{Noise} = (1.5 \times 10^7) (164 \times 10^{-9}) = 2.5 \text{ V} \quad [8.6]$$

开玩笑！噪声能有这么大吗？

实际上，我们遇到了更糟的情况，等式 8.6是错误的。因为这个假设有缺陷，在等式 8.5中，如果我们假设上升时间是 1ns，在这个电路中，当逻辑门 A 驱动 HI 时，电源的电感如此的大，以至于电路板的电源输入将降到接近 0。电容 C1 的电压缓慢上升流过电源线的电感，当电源电压下降时，逻辑门 A 将不工作或者处于振荡状态。

对于这种电源电压下降的解决办法是如图 8.8 中加一个旁路电容，如果电容 C2 的阻抗小于电源线的阻抗，充电电流将流过此电容而不流过导线。当逻辑门 A 变为 HI 时，电源下降的值将是电容 C2 阻抗的函数，而不是电源导线的函数。

在图 8.8 中电源线的电流因为电容 C2 的作用而变行平滑，使此电流变为一个连续的平均值，我们已经成功的降低的电源线电流的波动率，这就是我们要的结果。我们已经达到了建立一个稳定的电源分布系统的目的，这种电源对较低频信号提供较低的阻抗，本地旁路电容为较高频信号提供较低的阻抗。

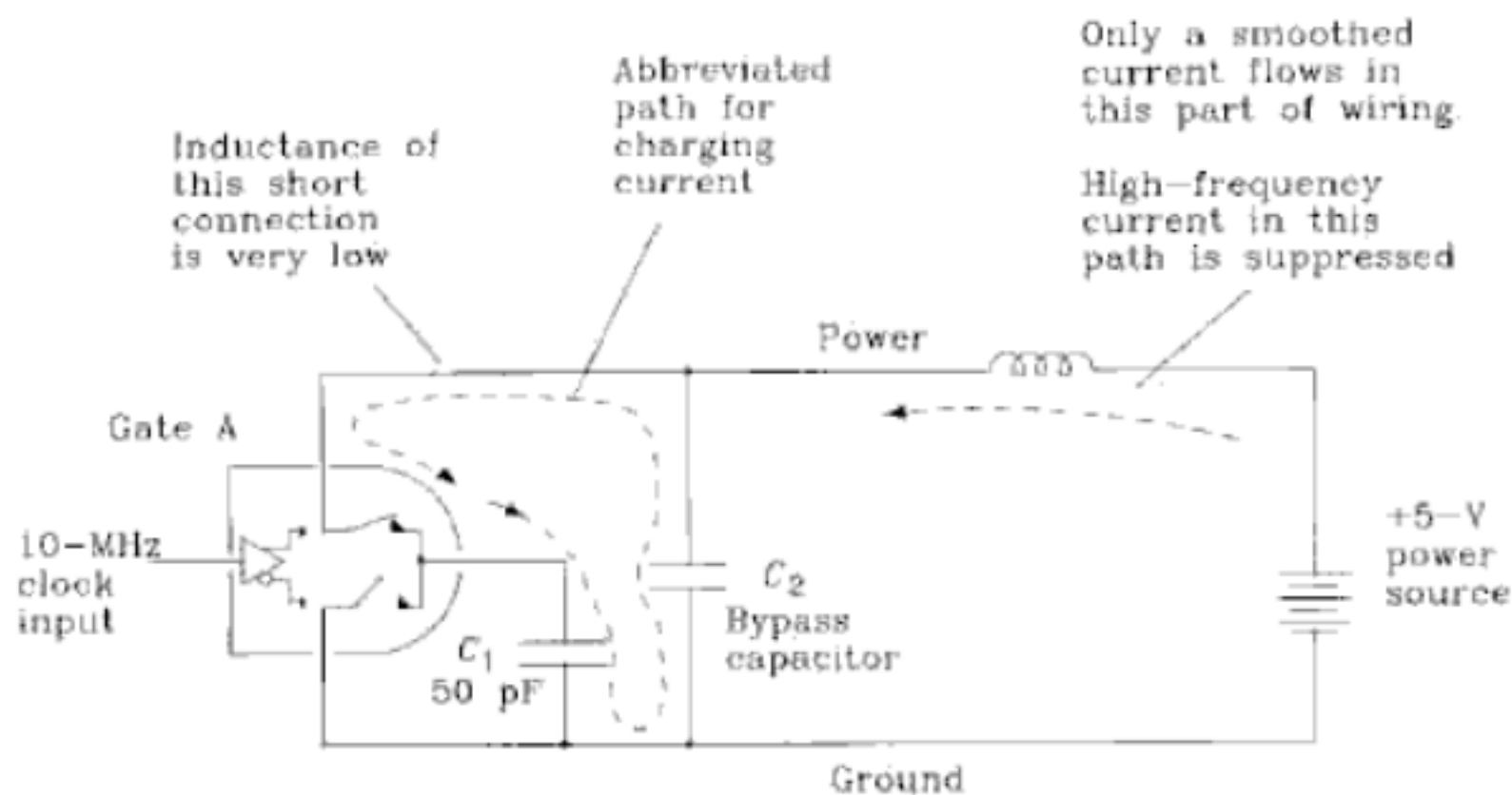


图8.8 旁路电容降低了电源线电路的波动率

要得到旁路电容的正确值，分为以下几步：

1. 计算在电路板上期望的最大电流变化值 (ΔI)，我们并不知道逻辑门何时打开或关闭，所以假设最坏的情况是它们在某些固定频率下同时打开或关闭。
2. 计算出逻辑门能允许的最大电源噪声值 (ΔV) 保证逻辑电路有安全的门限。
3. 我们能容忍的最大公共通道阻抗是 $X_{max} = \Delta V / \Delta I$ ，如果我们采用大面积的电源和地线层，我们能把整个 X_{max} 阻抗分配在电源和地之间。否则我们必须将它分开，一部份连接到地，一部份连接到电源，一部份连接到电源和地之间。

$$X_{max} = \frac{\Delta V}{\Delta I} \quad [8.7]$$

4. 计算电源线的电感 L_{PSW} ，将该值与最大允许的阻抗 X_{max} 结合，从而找出电源线工作的最大频率 F_{PSW} 。如果逻辑门在这个频率下同时打开或关闭，所得到的电源噪声将小于 V 。

$$F_{PSW} = \frac{X_{max}}{2\pi L_{PSW}} \quad [8.8]$$

5. 在频率 F_{PSW} 以下电源线是可用的。在频率 F_{PSW} 以上我们需要一个旁路电容，找出在频率 F_{PSW} 下阻抗为 X_{max} 时的电容值，所用的旁路电容至少要比它大。

$$C_{bypass} = \frac{1}{2\pi F_{PSW} X_{max}} \quad [8.9]$$

例8.1：板极旁路电容的计算

已设计了一个 CMOS 板，有一百个门，每一个门的开关时间 5ns 、开关电容 10pF ，电源电感是 100nH ，计算出正确的旁路电容值。

$$\begin{aligned} \Delta I &= NC \frac{\Delta V}{\Delta t} \\ &= 100(10 \text{ pF}) \frac{5 \text{ V}}{5 \text{ ns}} \end{aligned} \quad [8.10]$$

$$= 1 \text{ A (worst case peak while charging all loads)}$$

$$\Delta V = 0.100 \text{ V (from noise margin budget)} \quad [8.11]$$

$$X_{max} = \frac{\Delta V}{\Delta I} = 0.1 \Omega \quad [8.12]$$

$$L_{PSW} = 100 \text{ nH} \quad [8.13]$$

$$F_{PSW} = \frac{X_{max}}{2\pi L_{PSW}} = 159 \text{ kHz} \quad [8.14]$$

$$C_{bypass} = \frac{1}{2\pi F_{PSW} X_{max}} = 10 \mu\text{F} \quad [8.15]$$

在数字印刷电路板上，旁路电容的值通常在 $10\text{-}1000\mu\text{F}$ 之间。

电源通常都有较低的输出阻抗，它的导线工作于能阻止电源噪声达到 F_{PSW} 的频率。在频率 F_{PSW} 以上，本地旁路电容能抑制电源噪声。在某些更高的频率 F_{bypass} 下，旁路电容将失去作用。是由什么导致了这种现象的发生，我们又该怎么做呢？这将是我们的下节讨论的主题。

本节要点：

- y 在较低频率下电源能提供较低的阻抗。
- y 在较高频率下，本地旁路电容能提供较低的阻抗。

8.2.4 在独立集成电路（ individual integrated circuits ）中的本地旁路

每一块电路板需要一个相对较大的旁路电容，以抵消电源分配线的电感。在每块板上加一个完美的单独旁路电容能完全解决电源分配问题。

不幸的是，没有完美的电容，每一个分立的电容都因其自身带有的引脚电感（Lead inductance） L_{C2} 而具有了局限性，在很高的频率下，电感引起了阻抗的增加。这个电感究竟是不是问题取决于数字弯曲频率 F_{knee} ？（digital knee frequency）（请看等式 1.1）和需要达到的阻抗 X_{max} 。

我们可以计算出指定的旁路电容能够工作的最高频率：

$$F_{bypass} = \frac{X_{max}}{2\pi L_{C2}} \quad [8.16]$$

一个合适的旁路电容在频率 F_{psw} 和 F_{bypass} 之间将会有效的工作。幸好在这两频率相差较远。

例子 8.2：计算旁路电容的最高有效频率

在例子 8.1 中，假设 $10\mu F$ 电容的串联电感 $L_{C2}=5nH$ ， $X_{max}=0.1\Omega$ ，这可计算出最大的有效频率：

$$F_{bypass} = \frac{X_{max}}{2\pi L_{C2}} = 3.18 \text{ MHz} \quad [8.17]$$

这个电容的有效工作频率是从 $159KHz$ - $3.18MHz$ ，范围比大约是 16：1。

一个较大的旁路电容能工作到频率 F_{bypass} ，保证在 F_{bypass} 以上有较低的阻抗，我们还需要一系列较低电感的电容。

要得到非常低的电感，最好的办法是将许多小电容并连在一起，将它们放在电路板的各处。

以下三种要素决定了电源到地的阻抗：

- 1.在低频率段，由电源分配线的电感决定。
- 2.在中频率段，由板级旁路电容的阻抗决定。
- 3.在高频率段，由分布电容阵列的阻抗决定。

以下将分几步介绍旁路电容阵列的设计。这个步骤看起来有些象 8.2.3 节中的步骤，所不同的是在上一节电源分配线的电感是固定的，而我们这里将本地旁路电容的串联电感固定。

1.我们需要系统工作于频率 F_{knee} ，计算出在这个高频率时我们能容忍的电感（请参考等式 1.1 中 F_{knee} 的定义）。

$$L_{tot} = \frac{X_{max}}{2\pi F_{knee}} = \frac{X_{max} T_f}{\pi} \quad [8.18]$$

2. 计算出（或在手册中查出）所使用旁路电容的串联电感 L_{C3} ，一个典型的贴片电容（Surface-mounted capacitors）的串联电感值非常小，大约是 1nH；一个典型的插件旁路电容的串联电感值是 5nH，使用这个值计算出需要多少个旁路电容才能达到总的电感需求。

$$N = \frac{L_{C3}}{L_{tot}} \quad [8.19]$$

3. 在频率降到 F_{bypass} 时，总的阵列电容的阻抗必须小于 X_{max} ，基于这些值计算出总的电容值。

$$C_{array} = \frac{1}{2\pi F_{bypass} X_{max}} \quad [8.20]$$

4. 在计算出阵列中每一个电容的电容值。

$$C_{element} = \frac{C_{array}}{N} \quad [8.21]$$

例8.3：电容阵列。

请使用例子 8.1 和 8.2 的数值，旁路电容是 10uF，串联电感是 5nH，我们的目标是 $X_{max}=0.1\text{ohm}$ 。

$$X_{max} = 0.1 \Omega \quad (\text{from last section}) \quad [8.22]$$

$$T_r = 5 \text{ ns} \quad [8.23]$$

$$L_{tot} = X_{max} \frac{T_r}{\pi} = 0.159 \text{ nH} \quad [8.24]$$

$$L_{C3} = 5 \text{ nH} \quad (\text{using through-hole capacitors}) \quad [8.25]$$

$$N = \frac{L_{C3}}{L_{tot}} = 32 \quad (\text{number of caps required}) \quad [8.26]$$

所以，我们需要一个 32个电容的阵列，每一个电容的值是 0.016uF，串联电感是 5nH或更小。
本节要点：

y 要想得到非常低的电感的最好办法是并联许多小电容。

8.2.5 电源层与地层之间的电容

并行的电源层和地层之间会产生第三层的旁路电容，这个电源层和地层产生的电容的引脚电感是 0，并且没有 ESR（见 8.3 节）。在非常高的频率下，它将帮助减小电源和地噪声，电源层和地层之间的电容是：

$$C_{\text{power plane}} = \frac{0.225 \epsilon_r A}{d} \quad [8.30]$$

其中 ϵ_r = 绝缘体的相对电渗透率（在 FR-4环氧电路板中取典型值 = 4.5）

A = 电源和地的公共面积（平方英寸）

d = 两层间的距离（英寸）

C_{powerplane} = 两层间的电容（pF）

电源和地层之间的距离是 0.01英寸，FR-4电路板的电容是 100pF/平方英寸。

图 8.9的平面图显示出电源系统中各种阻抗与频率的函数。注意在图 8.9中包括了寄生串阻（parasitic series resistance）的影响，也叫做等效串阻（equivalent series resistance ESR），对于电容 C2和C3，将在 8.3节中将说明 ESR的影响。

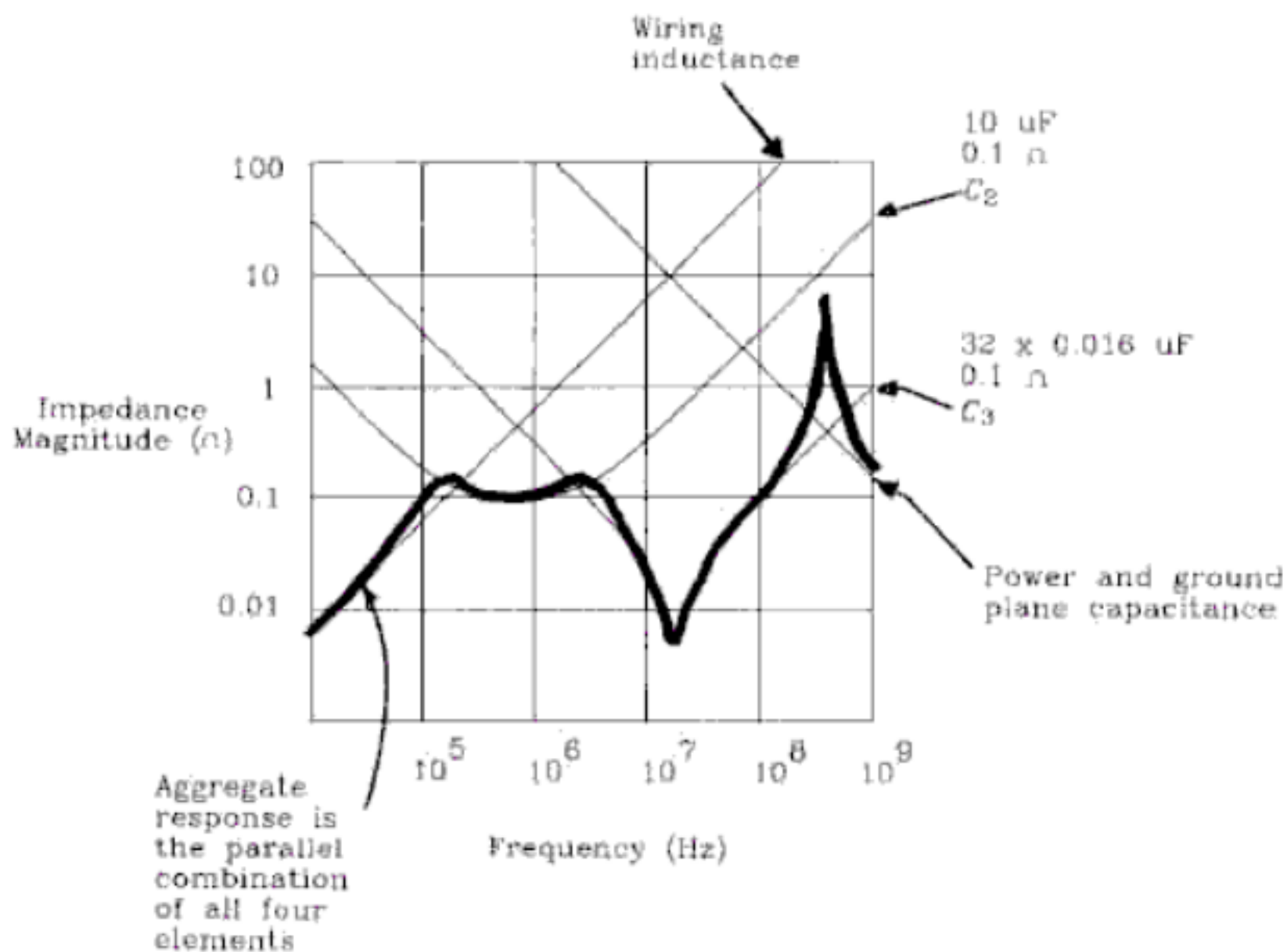


图8.9 旁路电容的阻抗大小

本节要点：

y 电源层和地层间隔是 0.01英寸时，FR-4电路板的电容是 100PF/平方英寸。

8.2.6 测量电源分配系统单步响应的测试工具。

在图 8.10的测试图中，提供了一个电流可微调的电源系统，以测试它的反应。探针输出阻抗设定为 25 欧姆（50欧姆来自仪器，与脉冲发生器的 50欧姆并行）。

将脉冲发生器的上升沿时间设定实际系统中的时间值，然后将其单步输出电压设定为 5V(仪器的输入阻抗是 50 ohm)，输出电流将是 $5V / 25\text{ ohm} = 0.2A$ ，测量单步响应的系数是 1 / 0.2，决定了电源系统对电流的单步响应是 1 安培。

当这个系统工作的时候，开始测试。将时钟线断开，让逻辑电路停止工作，这将减小电路板上的噪声，因此你可以精确而测量非常小的信号。

如果不能关掉这个时钟，那么请使用一个数字仪器。Tektronix 11404 能够在很大随机噪声的环境中取出非常微弱的信号，使用该功能，将脉冲发生器的触发输出端连接到该仪器作为触发输入端，将测试电路连接到该仪器，测试电路不和脉冲发生器信号输出相连。然后利用这个仪器的平均特性，它将对这个电路中的电源噪声平均，以同步脉冲发生器的触发信号，如果脉冲发生器的触发信号与这个电路不同步，这个平均值信号的值将是 0。

下一步将连接脉冲发生器信号输出到这个路板，然后观察平均电源系统的阶跃响应。

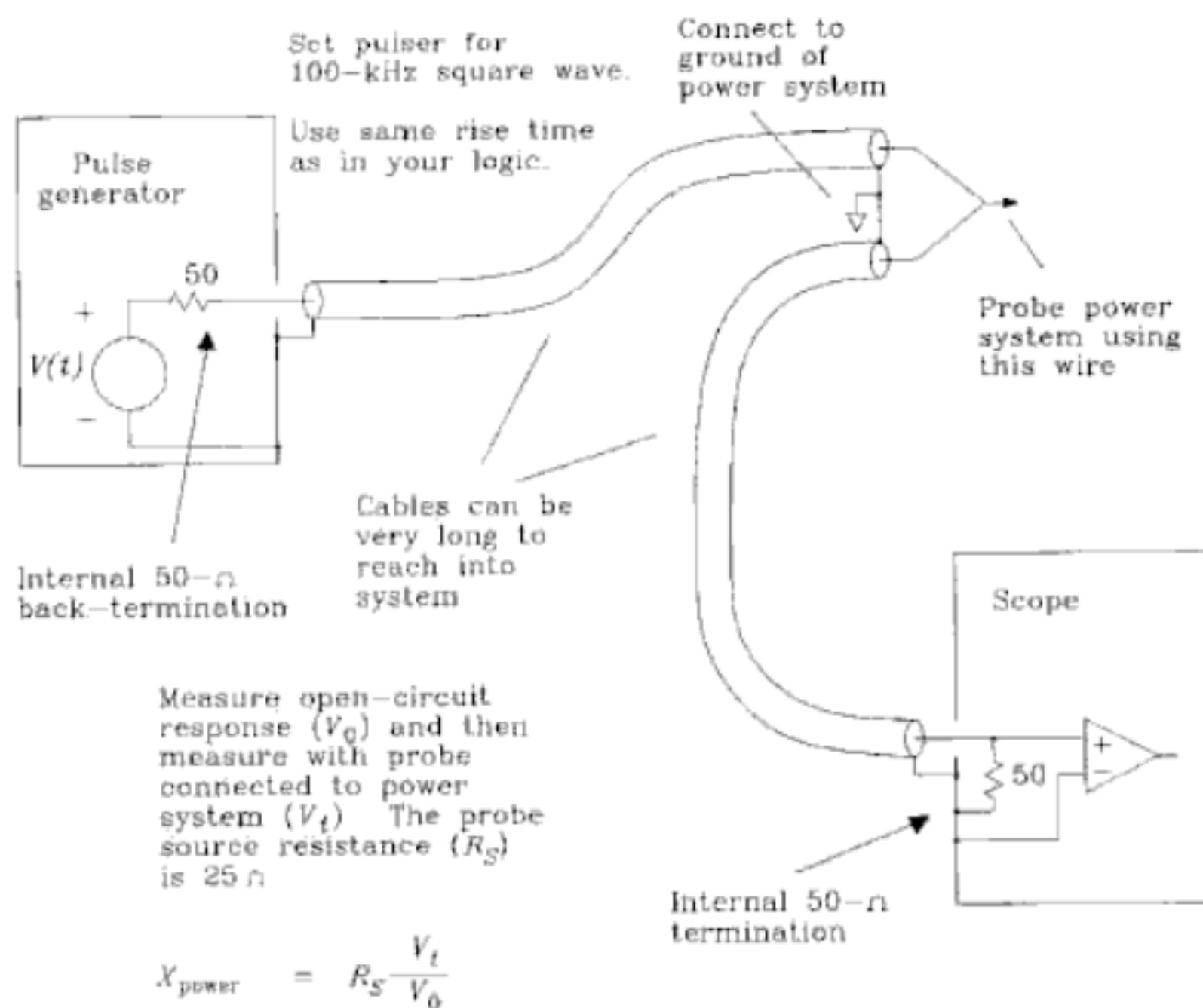


图 8.10 测量电源系统的阻抗

本节要点：

y 搭一个简单的测试电路用来测量电源系统的阶跃响应。

8.3 普遍电源分配问题 (everyday distribution problems)

如果你的电源系统出现以下几种情况，请参考以下帮助的提示，虽然它不是一个完整的解决方案，但是可以帮助你开始解决问题。



8.3.1 在TTL-ECL 组合系统中随机的 ECL 错误

在TTL和ECL组合在一个系统中时，不考虑系统设计的影响是不行的。

在电源线中，TTL电路将比ECL电路产生更多的噪声，但是ECL电路对电源的波动更敏感，一个典型的征兆是ECL经常产生随机错误。

建议：1.首先确信TTL和ECL信号的分隔清晰，这将解决互扰的问题，保持相互走线距离至少大于走线到地距离的8倍。

2.如果TTL的电压是+5V，ECL的电压是-5.2V，那么恭喜你，这时电源系统已经分离了，假设存在一个大面积地线层，TTL电路的噪声几乎没有机会渗透到ECL系统中。如果没有地线层，就加上一个，一个适当的布局可以不费力气的加上一个地线层，将这个地线层布入你的电路板中以观其效果。

3.有一些设计者对TTL和ECL电路都使用5V，对ECL电路并不是一个理想的工作电压，但它们仍能工作。如果可能去掉TTL电路部分中的时钟，以便决定是否是因为TTL部分噪声的泄露而引起ECL电路的错误。

4.为了减小噪声泄露，在设计中物理的分开TTL和ECL电路，将+5V分成两部分。将TTL和ECL电路在电路板上分成独立的两个区域。主电源进入电路板的入口应该在TTL那边，保持地线层不动，确保没有长的信号线从两个+5V区域的边界穿过，然后在两个+5V区间加上一个能通过足够电流的1uH电感，这将限制TTL电路的噪声进入ECL系统。

5.为了得到最大的可靠性，在两个部分间使用不同的信号传输方式。

8.3.2 在电源分配线上有太多的压降

当电源到达多层板经过了太长的线时，通常不能正确的得到遥控电压传感线的值。如果电源分配线有太大的电阻，那么每一个电路板的单板电压将会不同。

方法：

1.直接分配直流电源，为每一个板加上稳压器，这就要求在每一块板上都有稳压电路，在每块板上使用一个+8V的线性分布稳压器，并为每一个板提供+40V的开关电源稳压器。

2.有规则的分配高压直流电源，由于减小了电源电流，也降低了与之相连的每根导线的压降。然后为每块板设立一个DC-DC变换器，如果这个DC-DC稳压器足够稳定（比如说有低的输出阻抗）将不需要增加额外的稳压器。

3.采用扁平多相位变压器，以得到高电压交流电系统，在每块板上使用至少两个变压器，以校正交替电流。用适当的设计在扁平线输出端加上小的滤波输出电容，高频扁平波形输出并不需要很大的变压器。一个象汽车交流发电机一样的简单机械装置，就能产生平滑的输出波形。使用磁珠以稳定输出电压。

8.3.3 插入电路板时电源的冲击（glitch）



有些系统允许单板进行带电热插拔。当单板插入带电的系统背板的时候，它将引起巨大的电流波动，其本地旁路电容将吸取很大电流，这个电流大部分来自于其它电路板的旁路电容，这样的现象在电源线中是不可避免的。

建议：

1.在每块单板上使用最小的旁路电容，在背板上直接加上一个大旁路电容或者大的旁路电容阵列。这种办法仅仅用于在每块板上的本地旁路电容电感加上电源分配线（包括接插件）的电感大于背板电容的电感的时候。

2.在每块电路板的电源上特意加上一些电感，在背板上直接加上大的旁路电容或者旁路电容阵列，这种方法比前一种方法更好，因为我们增加了每块板的电感。

3.每块单板单独使用一个有源电路实现电路缓启动，在每块电路板上使用一个大的开关场效应管（FET），这个 FET 缓慢的提升电压，以减小 di/dt ，因此减小了电源的电压脉冲。10us 的充电时间将解决大部分问题。

4.一个慢速 FET 开关也叫做缓启动电路，通常有较高的电压降。为了解决这个电压降，在电源板是使用两个电源引脚。当电路板插入槽中时，这两电源脚以不同的时间接入电源，第一个电源脚连到 FET 的缓启动电路，并使电源电压达到 4.5V。第二个电源脚直接连到电源总线上，并完全充电到 +5V，第二个电压脉冲是没有受保护的。

8.3.4 从电源分配线上的 EMI 幅射

在数字电路中，电源线上变化的电流很容易产生幅射，电磁幅射有可能超过联邦委员会（Federally mandated）的限制。

建议：

1.在每块电路板上使用较好的旁路电容，以减小电流的变化率。

2.在电源分配线上串入几个共模扼流圈（choke），防止共模电流的泄漏。

3.将布的导线尽量靠近，以限制磁场幅射的范围。

4.用接地的金属壳覆盖电源分配线。

本节要点：

y 在一个 TTL 和 ECL 混合的电路系统中，不考虑系统设计的影响是不行的。

y 如果电源配线有太大的电阻，在每块单板分得的电压将会不同。

y 当一块单板插入背板中，它会引起很大的电流波动。

y 在数字电路中电源上的电流变化容易引起电磁幅射。

8.4 选择一个旁路电容

旁路电容有不少缺陷。每一个电容都包含有寄生电感（Parasitic series inductance），也叫做引脚电感（lead inductance）、封装电感（package inductance）或安装电感（mounting inductance）。这些电感的影响在 8.2节中已有说明。

每一个电容也包含有寄生电阻（Parasitic series resistance），也叫做 ESR（equivalent series resistance）。这些寄生电感将使电容失去作用。ESR有确定的阻值（并不象电感），它和频率没关系，看起来就象电容串联上一个普通的电阻。

每一个旁路电容对温度较敏感，其绝缘特性将会随温度的变化有显著的改变，其电容值有较大的偏移。

当电压太高的时候，旁路电容会爆炸或者短路。下面几节将详细说明这些缺点。

8.4.1 电容的寄生电阻和寄生电感

寄生电阻和寄生电感就好像是串联在电容上一样，它们象旁路电路一样一起作用将降低电容的效率。作为频率的函数，电容阻抗的完全表达式是：

$$X(f) = \left[\text{ESR}^2 + \left(\frac{-1}{2\pi f C} + 2\pi f L \right)^2 \right]^{1/2} \quad [8.31]$$

其中：

ESR = 寄生电阻值（欧姆）

C = 电容容值（F）

L = 寄生电感（H）

X(f) = 在频率 f 时的阻抗大小（欧姆）

等式 8.31 计算出图 8.9 中 C2 电容和 C3 阵列的坐标位置，图 8.9 假设 C2 和 C3 阵列中的每一个电容的 ESR 都是 0.1 欧姆，电路板大小是 10 平方英寸，在电源和地之间隔离着 0.01 英寸的 FR-4 绝缘材料。

图 8.9 显示出旁路电路在大约 300MHz 时产生谐振，这是由电源和地层之间的容抗与电容阵列的寄生电感产生的。数字限波频率（digital knee frequency）设计在 100MHz 以下，所以不用担心发生谐振。如果需要达到更高的频率，请使用贴片电容阵列，它们较低的寄生电感将提高谐振频率并降低其振幅。

ESR 在制造商的手册中并不经常出现，但它确实很重要。可以使用与图 6.14 中测量终端电阻电感相同的测量设备来测量 ESR。

在图 6.14 中我们将旁路电容 C 放置于测试设备（DUT）中，我们期望一个非常好的、很干净的 RC 上升时间。用一个很大的源电阻，比如说 1000 欧姆，我们得到的结果就很精确了。如果在图 6.14 中用一个较小的源电阻，我们会得到一个完全不同的图形。RC 上升时间变快了，寄生电感和 ESR 的影响也将会被夸大。通过检测最初几个纳秒的单步响应，我们就能直接测量出寄生电感和

ESR的影响，在数字旁路的运用中，1欧姆的源电阻和纳秒级的速度是很普遍的，这就是我们要测试旁路器件的原因。

图8.11绘制了一个0.1uF旁路电容单步响应的坐标图，坐标图包括10ns/div和2ns/div两种坐标，它们都附上了开路响应和对测试电容的响应。

单步响应显示出三个明显不同特性：单步、突变、慢速变化，通过适当的说明这些特性，我们能够知道测试器件的寄生电感，ESR和容抗。

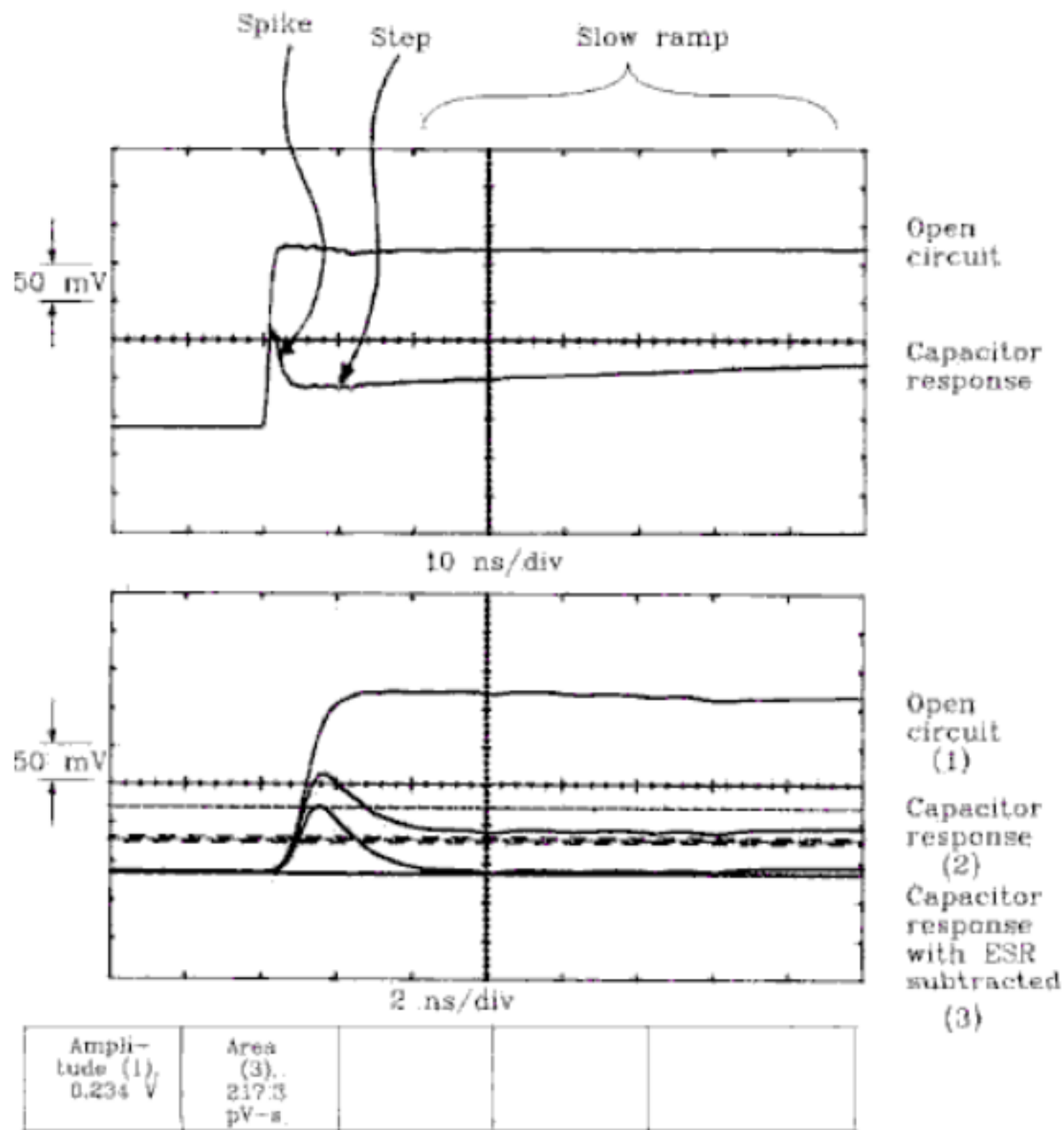


图 8.11 旁路电容的单步响应

1.在第一个2ns有一个短的突变，这个突变是由寄生电感引起的，我们能用这个突变区估计出电感的值。

$$L = \frac{R_s A}{\Delta V} \quad [8.32]$$

其中：Rs= 测试夹具的源电阻（欧姆）

A = 尖峰以下的面积（V-s）

V = 开路单步电压（V）

L = 寄生电感（H）

2.在突变之后的波形相对平滑，偏移量约为 0，这是由电容的 ESR引起的，在这时电容还未开始充电，在这时电容仅仅相当于 ESR直接连到地。测试夹具（ Test jig ）的源电阻和 ESR相作用，在 ESR上有一定的分压。

$$ESR = \frac{R_s X}{\Delta V - X} \quad [8.33]$$

其中： R_s = 测试夹具的源电阻（欧姆） X = 突变之后测量的单步电压（ V ）

V = 开路单步电压（ V ）

3.保持一段时间以后，电压缓慢上升，这是因为电容在缓慢充电，充电率 dV/dt = 充电电流 / 电容。充电电流大约等于测试开路电压除以源电阻。

$$C = \frac{\Delta V - X}{R_s (dV / dt)} \quad [8.34]$$

其中： R_s = 测试夹具的源电阻（欧姆） X = 突变之后测量的单步电压（ V ）

V = 开路单步电压（ V ） dV/dt = 充电率（ V/s ）

C = 电容容值（ C ）

当我们看到这个突变时，请记住寄生电感和 ESR在这时同时有效，如果先计算 ESR，那么当测量突变区以下面积时就可以除去它的影响。在图 8.11中，三条线的波形分别是开路测试的响应、未加测试的响应和两者之差。这样就消减了 ESR的影响，我们使用 Tektronix11403 数字示波器来得到消减面积和测量结果。

在图 8.11的响应图中，最后计算出寄生电感是 4nH，ESR是 1.1欧姆，电容是 0.072uF。

本节要点：

- y 电容的寄生电感就如同串联一个电感。
- y 电容的 ESR就象一个串联电阻。
- y 它们一起作用将降低电容的效率。

8.4.2 电容性能与封装的关系

大量具有相同电容值和耐压的电容，它们有相同的电性能，但是来自不同的制造商，但是它们的形状和尺寸有非常大的不同。

对于大容量值的电容（10uF或更大），较小的封装有较高的寄生电感，ESR也较大。如果你不能确定其 ESR和寄生电感是否可接受，就不要买这些小封装的电容。

对于小容量的旁路电容，我们不能通过封装了解更多信息。

TABLE 8.1 CAPACITOR PERFORMANCE

Capacitor	Lead spacing (in.)	ESR (Ω)	Lead inductance (nH)	Comment
1	0.4	1.1	4	Low profile
2	0.3	0.5	6	Yellow
3	0.4	0.1	10	Fat legs
4	0.3	<0.1	7	DIP 0.3-in. type
5	0.2	<0.1	6	Square body
6	0.7	0.2	16	DIP socket
7	0.3	0.2	6	Same as item 6 but removed from socket
8	0.1	0.1	1.1	SMT 1206

电容的性能有很大的区别。在表 8.1 中列出了各种典型样品电容的性能，包括 ESR 和寄生电感。项目 1~5 是最常见的带状封装（Grab bag），其电容范围一般是 0.1~0.47 μ F，这些电容都标记为“数字旁路电容”。项目 1~2 有极大的 ESR，项目 3 有非常大的寄生电感，项目 4~5 是较好的旁路电容。

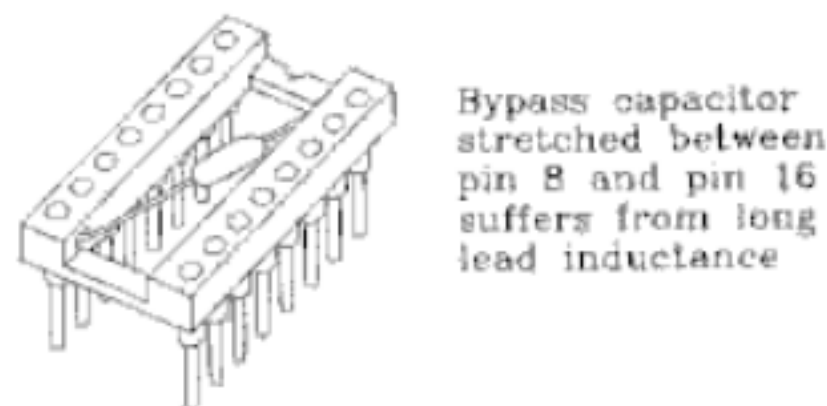


图8.12 装在 DIP 插座上的旁路电容

项目 6 是一个以装在 DIP 插座上的旁路电容（见图 8.12），这个电容直接安装在插座 8 脚和 16 脚之间，制造商推荐使用电容时导线尽可能的短，最好将电容直接焊在电源和地之间。这在第 7 项中证明了，我们去掉了电容的 DIP 封装，并如图 8.13 所示的将它直接焊在电源和地线层之间，距离是 0.7 英寸，所得到的寄生电感值从 16nH 降到了 6nH。

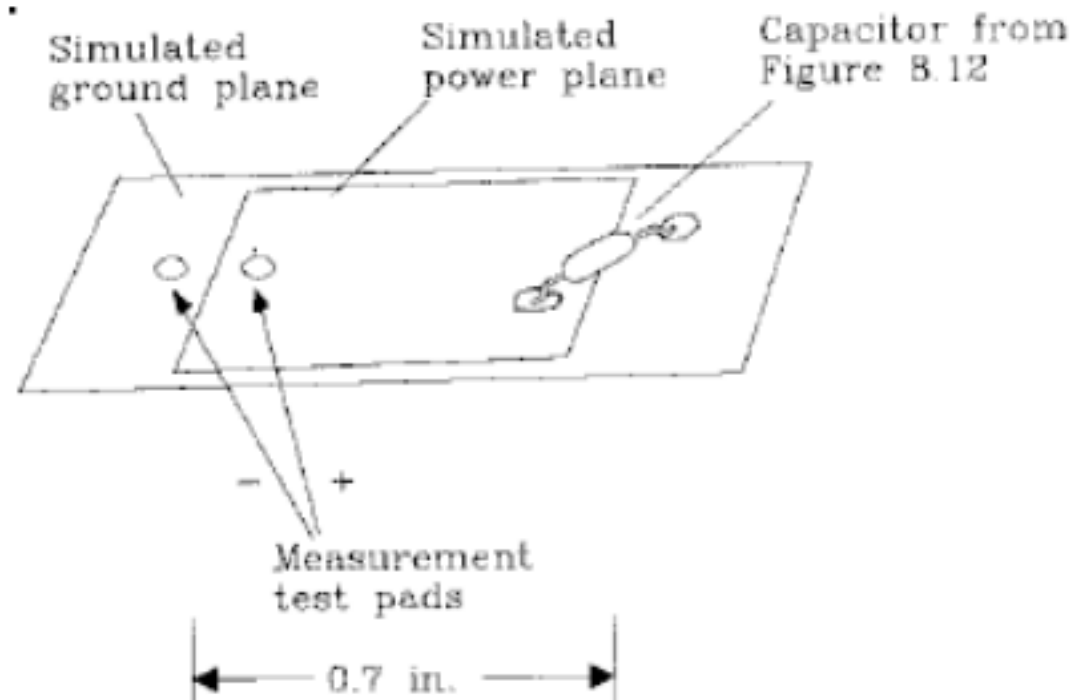


图8.13 去掉 DIP封装的电容

项目 8是 1206贴片电容，图 8.14画出了电容的阻抗大小与使用频率之间的关系，这个图包括了ESR电感和电容的信息。

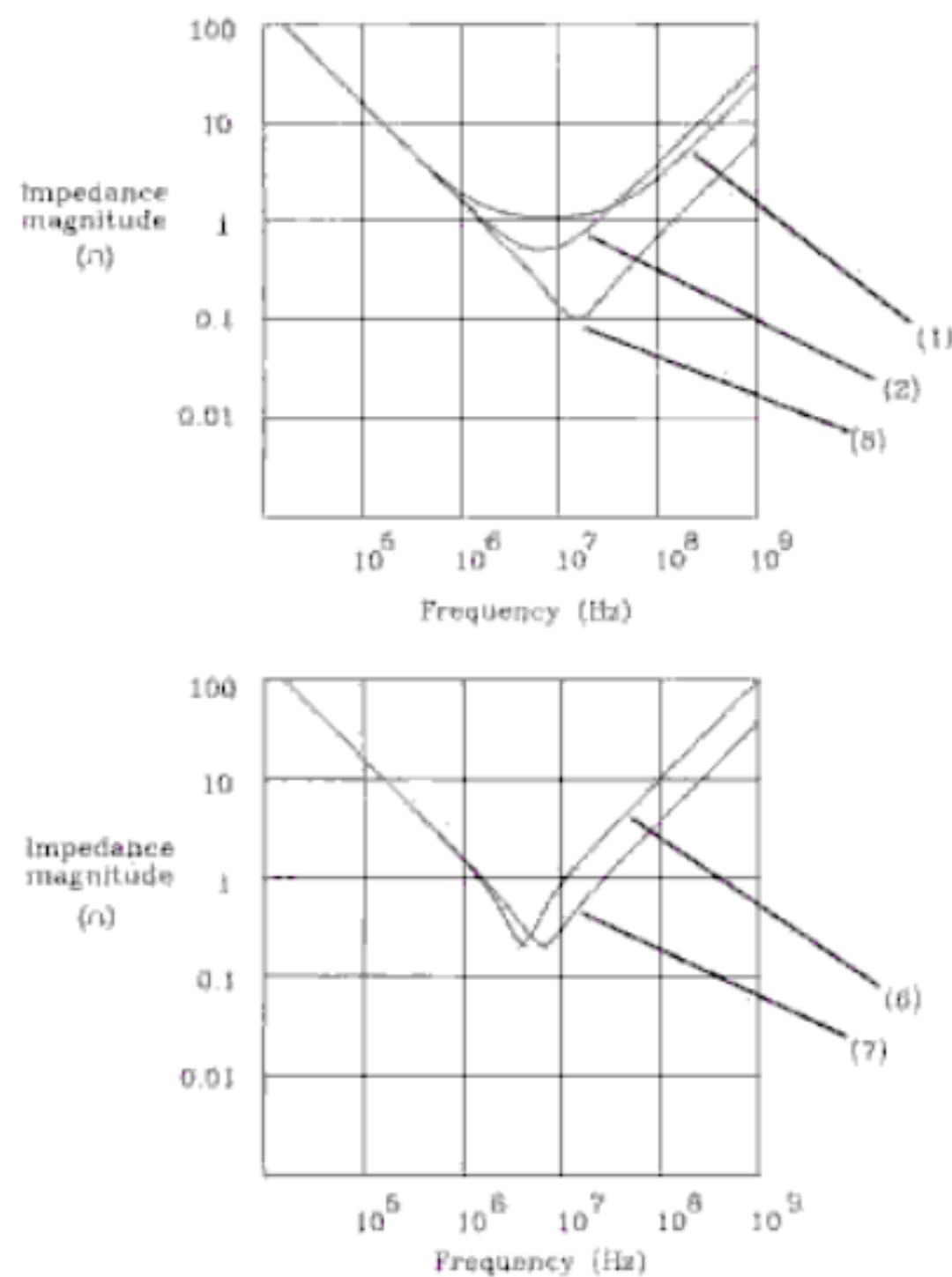


图8.14 表8.1所示电容的寄生阻抗和频率的关系

上面的图展示出电容 1，2，和 8的特性，这三个电容有相同的容量。它们工作在 1MHZ 以下频率时基本没有区别，工作在 10MHZ 左右时，它们的 ESR值就明显不同了。到了 100MHZ 以上时，寄生电阻就只和寄生电感有关系了。

下面的图中显示出电容 6和 7的特性。它们是同一个电容，仅仅是安装的方法不一样。其寄生电感的不同使得在 10MHZ 以上频率工作时，有大约 -8db的阻抗差异。



本节要点：

- y 对于大容量电容，小封装比大封装器件有更高的寄生电感和 ESR。
- y 电容之间的特性差异非常大。

8.4.3 贴片电容 (surface-mounted capacitors)

贴片电容是直接焊接在单板上，没有引脚，大大降低了的引脚电感（寄生电感）。贴片电容的封装名称是由它的长度和宽度决定的。一个长 0.12 英寸和宽 0.06 英寸的电容，我们叫它 1206 封装。其它较流行的封装是 1210 (0.12 × 0.10 英寸)、0805 (0.08 × 0.05 英寸)。

标准 1206 封装的旁路电容比有引脚的电容有更好的性能。贴片电容的 ESR 可能不是很低，但是其寄生电感降到了 1uH 左右。而 0805 封装电容的寄生电感更小。

使用贴片旁路电容时，电容到电源或地层的导线要尽可能的短和粗，并且尽量使用较大过孔或多过孔，这样才能引入较小的寄生电感，达到使用贴片电容的目的。

如果把贴片电容放在单板的背面，能节省很多空间，但是会增加生产和制造的成本。当单板空间很宝贵时，这种空间的节省比成本更有价值。

元器件在单板上的放置还取决于单板的加工工艺是回流焊还是波峰焊。如果在单板上插件，基本上必须使用波峰焊设备。使用波峰焊时，贴片电容在单板背面的放置就受到了限制，而对于回流焊，贴片电容的放置就能放的更密集一些。

当使用波峰焊设备时，推荐使用双波峰或振动波峰焊接，任何一种都比老式的单波峰回流焊机器更好。我们要防止虚焊的出现，因为一个元件可能阻挡波峰流而引起在它的后面的元件只得到较少的焊锡。双波峰机器和振动波峰能在很大程度上避免这个问题。

对于波峰焊，设计准则是一：元器件方向放置正确，保证焊盘和波峰的接触面积最大，二：在元器件之间保留更多的空隙，保证前面的元器件不会阻挡后面元器件的焊锡。遵守这两个准则，以避免出现虚焊。

本节要点：

- y 要搞清楚你的电路板是波峰焊加工还是回流焊加工。

8.4.4 在集成电路中安装电容

有两种近期比较先进的电容封装值得探讨，它们都是 Circuit component 公司提出的。第一个是计划用于 DIP 元件下方的 Micro/Q 系列 1000 封装。第二个是用于 PLCC 封装下的 Micro/Q 3500SM 系列。

两种封装都有较低的寄生电感，并且都能节省单板空间，因为它们安装在其它元器件的下方。

这两种封装的示意图见图 8.15。两种封装是宽而扁平的，且有较低的寄生电感，Micro/Q3500SM 系列有较宽的安装区，它能显著的降低寄生电感（在一些元件中只有 0.3nH），这些电容也有较低的 ESR(典型的在 0.1 欧姆以下)。

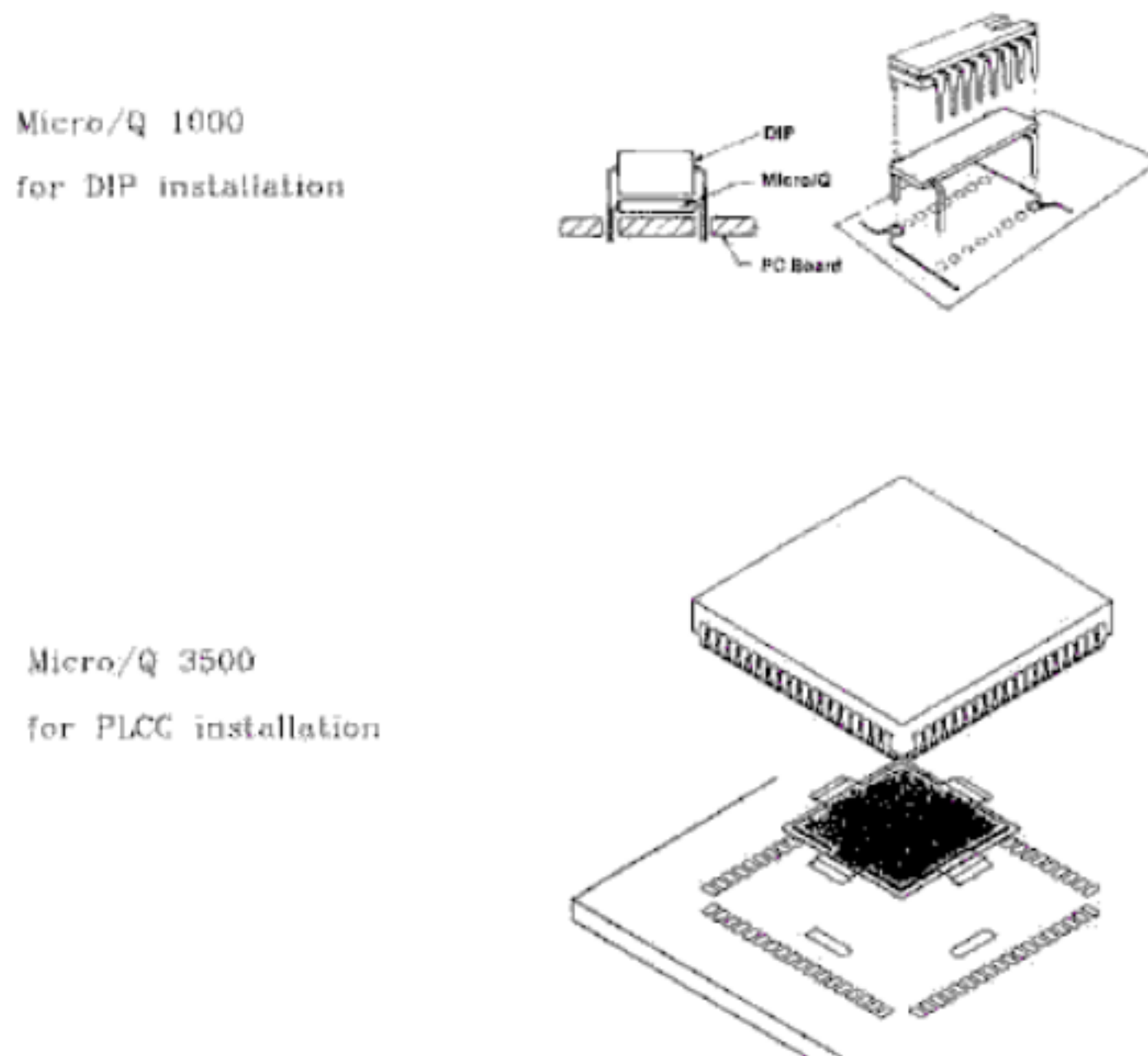


图 8.15 Micro/Q 系列电容封装

8.4.5 三种类型的绝缘材料

旁路电容仅仅是所有电容中的一小部分。尽管如此，它们还有很多种类型，旁路电容分类的主要依据取决于它们使用的电介质材料。

用于旁路电容的电介质材料具有相当高的绝缘常数，通常在 1000-10000 或更高。较高绝缘常数的材料相比低绝缘常数的材料，能把更大的电容封装到更小的空间里。不幸的是较高绝缘常数的材料，温度特性却更差。

对于一定的绝缘材料，电容的尺寸是与其容量和最大耐压值成比例的。下面我们将介绍三种最常见的绝缘材料，更多的信息请参看 Johanson dielectrics 和 Circuit components 公司的手册。

8.4.5.1 铝电解绝缘材料

铝电解电容已替代在电子管时代使用的纸和油的电容。铝电解电容是经常在板级旁路中使用的大电容，它们的特性类似于钽，钽电容具有更高的绝缘常数，但更贵。

铝电解电容是由双层箔卷绕制而成。首先两层箔被化学材料制成绝缘薄膜隔开，然后将它们卷成圆筒，卷的时候在两层铝箔之间填充较厚的阻隔物，主要是为了防止短路。因为最开始的化学绝缘层非常的薄，所以每立方英寸的电容值很均匀。

在较低的电压率下（Voltage ratings），绝缘层的厚度仅仅是整个圆筒厚度的一小部分，正是因为这样，耐压是 3V 的电容并不比耐压是 10V 的电容小多少。铝电解电容在较高的电压下有更高的能量存储密度。

每一层金属铝箔连接到一个电容引脚。典型的封装是圆柱形、卷绕结构，有不同的系数、不同的长度、不同的高度和不同的直径。

铝电解电容通常有 $\pm 20\%$ 的较大初始误差范围，最便宜的一类有 $+80\% \sim -20\%$ 的误差。加上其老化因素，在最大温度下 1000 小时后容量可能变化 $\pm 15\%$ 。最后请记住在 0 度时，其温度变化系数大约是 -5% 。在使用这些电容之间，请查看它们的数据手册。总之，原始误差 + 温度变化 + 老化，其最终容量可能比你买的时候变化 40%。

ESR 对温度特别敏感，图 8.16 的测试电路显示出被测电容在 300mV 脉冲、源电阻是 4.2 欧姆时的 ESR。这里使用的是 33 μ F，16V 的铝电解电容，温度变化是 -30° ， 0° ， 25° 和 60° 摄氏度。

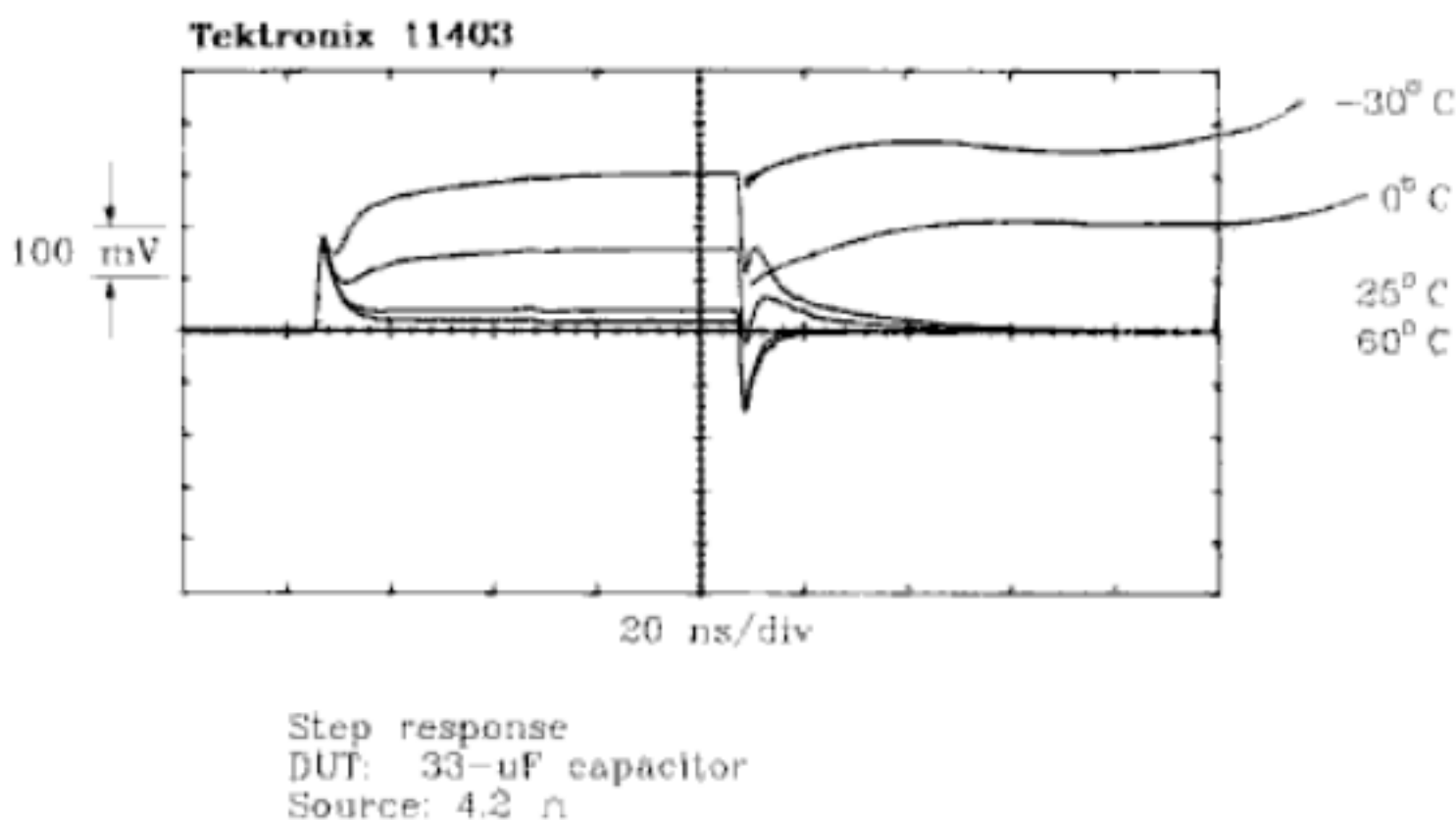


图8.16 铝电解电容的 ESR随温度变化的曲线

在最高温度的单步响应中，原始电感的反冲约 20mV，响应中的慢速变化部分看起来和时间轴完全平行，应用等式 8.33 算出 60 摄氏度下的 ESR。

$$\text{ESR}_{60} = \frac{R_s X}{\Delta V - X} = \frac{(4.2)(0.020)}{0.300 - 0.020} = 0.3 \Omega \quad [8.35]$$

这个电容的 ESR 值随温度的下降而极度恶化，在 60度时，电压反冲仅 20mV，可计算出 ESR大约等于 0.3ohm，在 0度时，反冲约 150mV，ESR值是 4.2欧姆，ESR值从 0度到 60度的变化率是 14：1，这种特性对于铝电解电容较常见。在 0度以下时，作为旁路电容，大多数铝电解电容是不能使用的。

电感反冲区的面积大约是 720pV-S。使用等式 8.32就能计算出寄生电感。寄生电感是物理结构造成的，它不随温度而改变。

$$L = \frac{R_s A}{\Delta V} = \frac{(4.2)(720) \text{ pV-s}}{0.300} = 10 \text{ nH} \quad [8.36]$$

8.4.5.2 Z5U电介质

独石瓷片电容（ Monolithic ceramic capacitors ）的结构是在两层金属之间被瓷片所隔离，然后整个结构用火烧，最后加上金属帽封装在一起，引脚连接到电容的两个金属层，磁片就成了电介质。这种元件的封装包括贴片和带引脚的塑料封装。

Z5U 电介质材料比 X7R 具有更高的电介系数，但是温度和老化特性较差。

Vitramon 公司说明书列出的标准误差范围是 + - 20%，其更便宜的型号误差有 80% ~ - 20%，Z5U 的老化率与火烧以后的时间的对数成比例。大约每十年下降 2%。工作 100个小时再老化以后的元件，在第一个 1000小时内，其容量损失不超过 2%。在下一个 10000小时内，其容量损失将大于 2%。最后请记住，Z5U 材料的温度特性是很差的，Vitramon 公司说明在超过 10~85摄氏度的范围，其容量值将有 +22% ~ - 56%的变化，在 10摄氏度以下，不建议使用 Z5U。总结其初始误差、在 10度的情况下 100000小时的老化以后，电容容量误差达到 2/3。

ESR率在室温内是很容易达到 0.1欧姆以下的。在超过 10~85度的范围，ESR率等于 3：1是很普遍的。1206贴片封装大约有 1nH的寄生电感，引脚封装的器件有大约 5nH的寄生电感，1206表面封装的 Z5U 电容可达到 0.33uF，50V，较大封装有更大的值。

8.4.5.3 X7R电介质

X7R 是另外一种用于构建独石电容的电介质材料，它既可用于贴片也可用于插件封装。

X7R 电介质比 Z5U 的电介常数要小，但是有更好的温度和时间特性。从 Vitramon 公司规格可知道其误差范围有 + - 5%、+ - 10%、+ - 20%。其时间系数与工作时间的对数成比例。大约每十年下降 1%(是 Z5U 的一半)，工作 100年小时后，在第一个 1000小时，其容量损失不超过 1%，在下一个 10000小时大于 1%，最后请记住其温度特性，Vitramon 说明在超过 -55~125度的温度范围，其容量范围将有 +-15%的变化。这种电容可以应用于较宽的温度范围。在初始误差有 10%、+ - 55度的温度范围、100000小时的工作以后，电容误差仅 20%。

在室温下，其 ESR率达到 0.1ohm以下是很容易的，在 0~70度范围，其 ESR变化率通常在 2：1以下。预计，在超过温度 -55~+125度时，其 ESR变化率为 4：1。1206贴片器件大约有 1nH的寄生电感，插件封装大约有 5nH的寄生电感。



1206表面封装的 X7R 电容可达到 0.12 μ F，50V，较大封装有较大数值。

对于任何元件，工厂去制造特殊容量范围的元件是较困难的，你的采购部可能将会延迟或者要用较高的成本去购买指定封装的较大的电容，改变为另外一个封装或者降低电容值可避免这个问题。

本节要点：

- y 较高电解常数的材料封装有更大的电容和更小的空间。
- y 但是却有较差的温度系数和时间老化特性。
- y 在较冷的环境温度下铝电解电容不易正常工作。

8.4.6 较安全的电压和寿命

电容有一个普遍的现象。在高电压下将加速老化，当工厂指定一个工作电压范围时，并不意味着在这个电压下工作没问题，它仅仅意味着在这个电压或以下工作不会时常出错。

当工作在电容的最大工作电压时，将缩短其寿命。对于高可靠的设计，要与电容生产商讨论这一项。工作电压不超过最高电压的 50%，将提高电容的使用寿命。

本节要点：

- y 在高电压下，电容加速老化失效是一个普遍的现象。