

高速数字电路设计教材

拟制：	<div></div>	日期：	<div>yyyy-mm-dd</div>
审核：	<div></div>	日期：	<div>yyyy-mm-dd</div>
审核：	<div></div>	日期：	<div>yyyy-mm-dd</div>
批准：	<div></div>	日期：	<div>yyyy-mm-dd</div>



华为技术有限公司
版权所有 侵权必究



目 录

第 5 章 地平面和层堆积	3
5.1 高速电流在最少感应系数路径流动 (High Speed Current Follows the Path for Least Inductance)	3
5.2 固定地平面的串扰 (Crosstalk in Solid Ground Places)	5
5.3 窄条地平面的串扰 (Crosstalk in Slotted Ground Places)	7
5.4 交叉开口地平面的串扰 (Crosstalk in Cross-hatched Ground Places)	10
5.5 电源和地指 (FINGERS) 的串扰 (Crosstalk with Power and Ground Fingers)	11
5.6 保护路径 (Groud Traces)	13
5.7 近端和远端串扰 (Near-end and Far-end Crosstalk)	15
5.7.1 感应耦合机制 (Inductive Coupling Mechanism)	15
5.7.2 容感耦合方式 (Capacitive Coupling Mechanism)	18
5.7.3 相互感抗和相互容感的结合 (Combining Mutual Inductive and Mutual Cappacitive Coupling)	19
5.7.4 近端串扰怎样变成远端问题 (How Near-end Crosstalk Becomes a Far-end Problem)	19
5.7.5在两根线的串扰特性 (Characterizing Crosstalk Between Two Lines)	21
5.7.6 使用一系列端点来降低串扰 (Using Series Terminations to Reduce Crosstalk)	22
5.8 印制板层数是怎样堆积的 (How to Stack Printed Circuit Board Layers)	22
5.8.1 电源和地设计 (Power and Ground Planning)	22
5.8.2 底板 (Chassis Layer)	23
5.8.3 选择线径尺寸 (Selecting Trace Dimentions)	24
5.8.4 路径密度对比层数 (Routing Density Versus Number of Routing Layers)	25
5.8.5 规范的层堆积 (Classic Layer Stacks)	25
5.8.6 高速板的额外的忠告 (Extra Hints for High-speed Boards)	26

第 5 章 地平面和层堆积

摘要： 在高速数字系统中，地和电源平面主要有三个重要的作用：

- 1) 对数字交换信号提供稳定的参考电压。
- 2) 对所有逻辑器件发散功耗。
- 3) 在信号间控制串扰。

这一章重点放在信号的串扰，5.1-5.6 节中分析假定是比较短的路径，相互感应系数的分析是恰当的。5.7 节分析长路径，我们将连接分成前向和后向部分。5.8 节总结了为防止串扰，如何设计好的印制板的几条规律。

这一章的公式只是在一定程度上是精确的，为了更好地应用这些公式，我们必须建立一些模型，许多是很容易用铜线和线路板建起来的。这些公式很好地显示了电磁波是如何影响物理信号的变化。如串扰如果高达 30%，公式就会显示它是如何进一步影响路径的，但是它不能精确地描述对任何部分作用的绝对值。

5.1 高速电流在最小的感应系数路径流动 (High Speed Current Follows the Path for Least Inductance)

在低速电路中，电流经过最小电阻的路径，可参考图 5.1，低速电流从 A 到 B 通过地平面回到驱动源。回来的电流所经过的面积是很大的，电流密度依赖于所经过路径的电导。

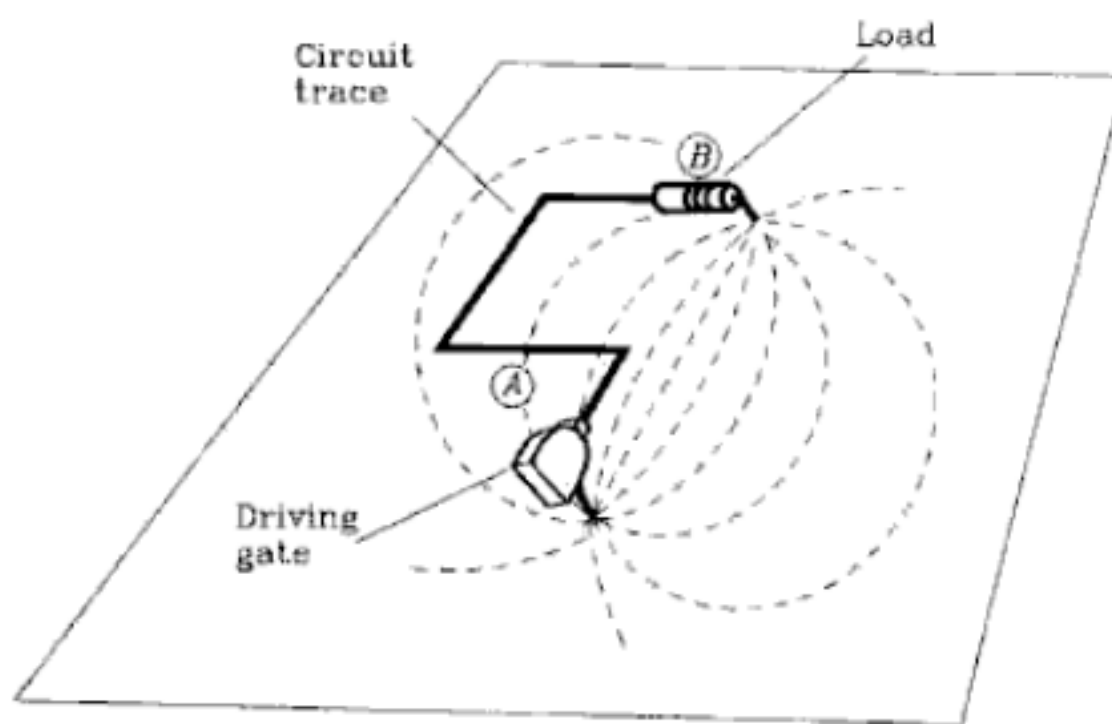


Figure 5.1 At low frequencies current follows the path of least resistance.

在高速电路中，所给定路径的感应系数远远重要于电阻，高速电流返回的路径依赖于感应系数而不是电阻。最低感应系数路径在信号导体的正下方，在去和回来之间有最小的环回面积。返回信号趋向于走这一条路径。如图 5.2

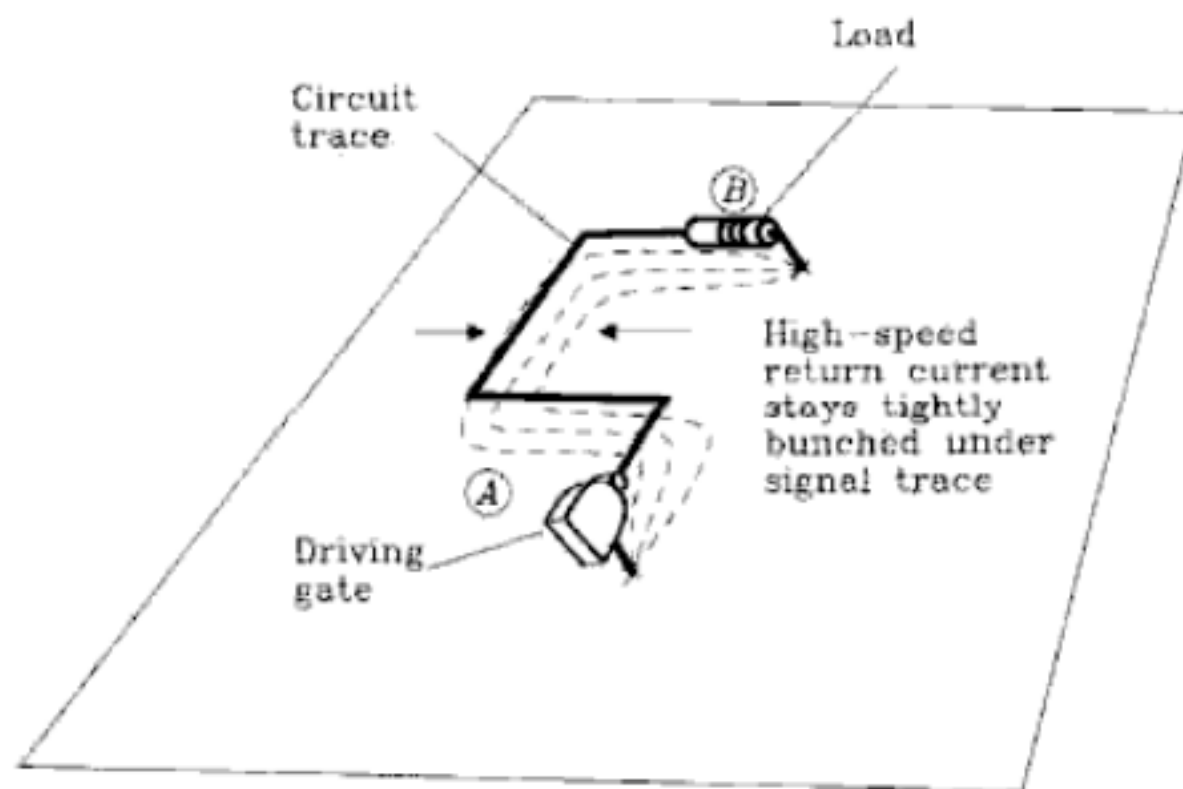


Figure 5.2 At high frequencies current follows the path of least inductance.

图5.3代表在典型印制板中交叉面的返回电流的分布情况，电流密度的峰值在路径的正下方，而向两边迅速减小。在距离信号路径 D 处的返回电流密度是：

$$i(D) = \frac{I_0}{\pi H} \cdot \frac{1}{1 + (D/H)^2} \quad [5.1]$$

where I_0 = total signal current, A

H = height of trace above circuit board, in.

D = perpendicular distance from signal trace, in.

$i(D)$ = signal current density, A/in.

Current density
at point D is
proportional to

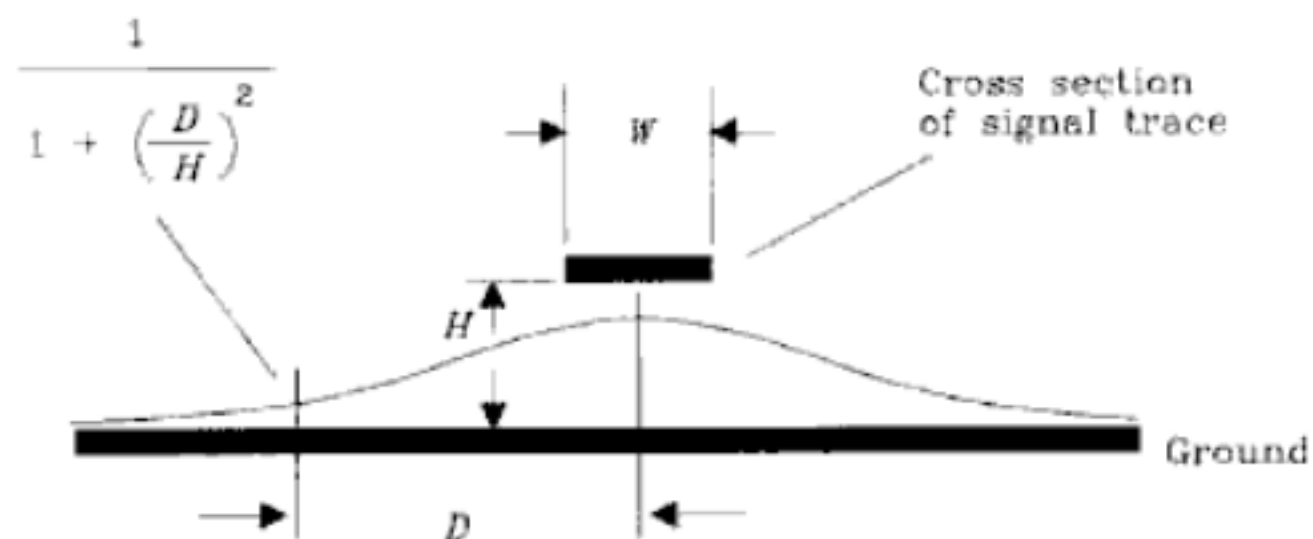


Figure 5.3 Distribution of high-frequency current density underneath a signal trace.

电流分布公式 5.1平衡了两个相反的力量。如果电流被拉的更紧，那将会有更大的感应系数（表面电线比平面有更大的感应系数），如果电流在离信号更远的地方传输，那么在来回的环回面积

会增大，相应的感应系数也会增大。公式 5.1 是描述在理想情况最小环回面积下电流密度的分布情况。

电流分布也将贮存在信号线周围的电磁场能量减少到最小。

本节要点：

- y 高速电流在最小感应系数的路径中流动。
- y 返回信号电流靠近信号导体，随着距离的增加成平方的衰减。

5.2 固定地平面的串扰 (Crosstalk in Solid Ground Places)

在两个导体之间的串扰依赖于它们之间的感应系数和电容。通常在数字电路中，电感串扰大于电容串扰，因此我们主要讨论电感串扰的几种机制。

这个理论在 1.10 讨论过，主要是说返回信号电流会产生电磁场，而电磁场又会在其它回路中产生电压。

因为返回电流密度和它相关的本地电磁场强度根据公式 5.1 下降，我们假设互感系数串扰也会因移动两条路径而下降，如图 5.4 所描述。

$$\text{Crosstalk} \approx \frac{K}{1 + (D/H)^2} \quad [5.2]$$

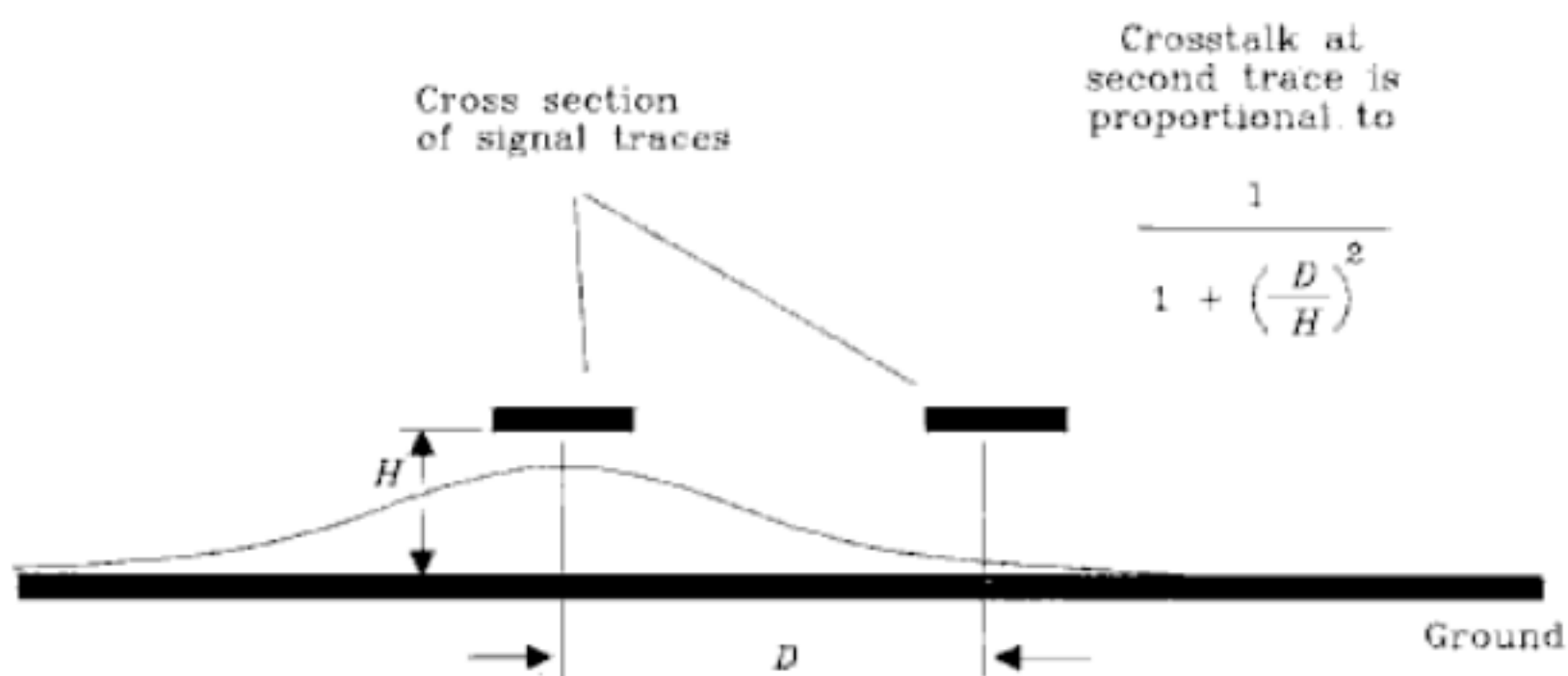


Figure 5.4 Cross section of two traces showing crosstalk.

这里我们将串扰表达成一个测量噪音电压的比率，系数 K 依赖于电路的上升时间和接口路径的长度，它总是小于 1。

我们可以做一个试验来验证这个假设，在图 5.5 中路径长 26in. 间隔 0.080in. 它们位于单个平面上，地平面是一块铜皮位于线路下面，它们之间是已知厚度的电介质。这样我们可以同时改变地平面上驱动和接收路径的高度。在这个问题中我们要注意 D/H 它比绝对尺寸更重要，它可以测量串扰，通过改变高度，我们可以控制 D/H。

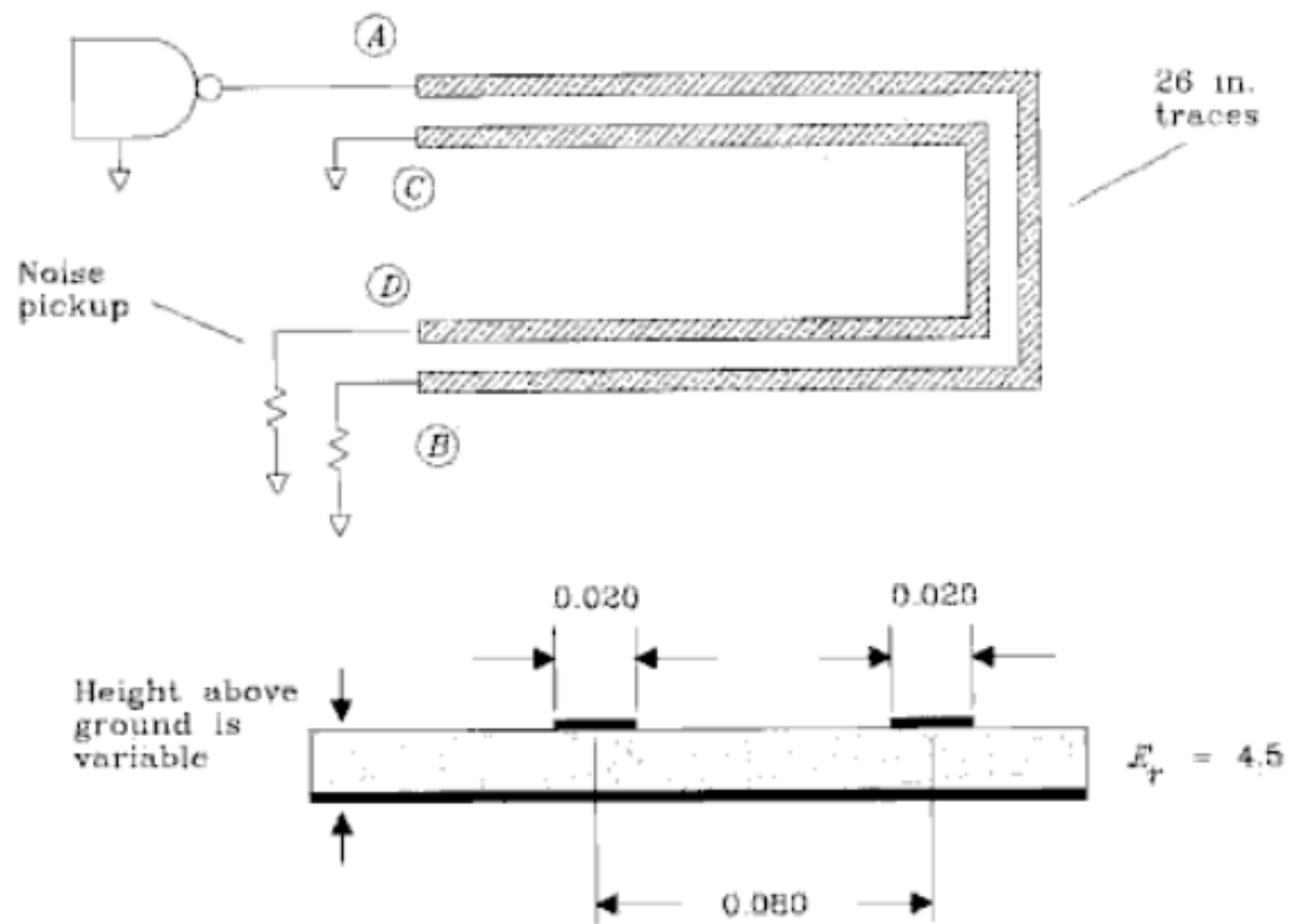


Figure 5.5 Mutual coupling experiment.

图5.6描述各个步骤的情况，在 D点，输入 3.5V，平面间的距离为 0.010，0.020，0.030，0.040，0.050。最后的路径（最大噪音脉冲）是在没有地平面的情况下取得。

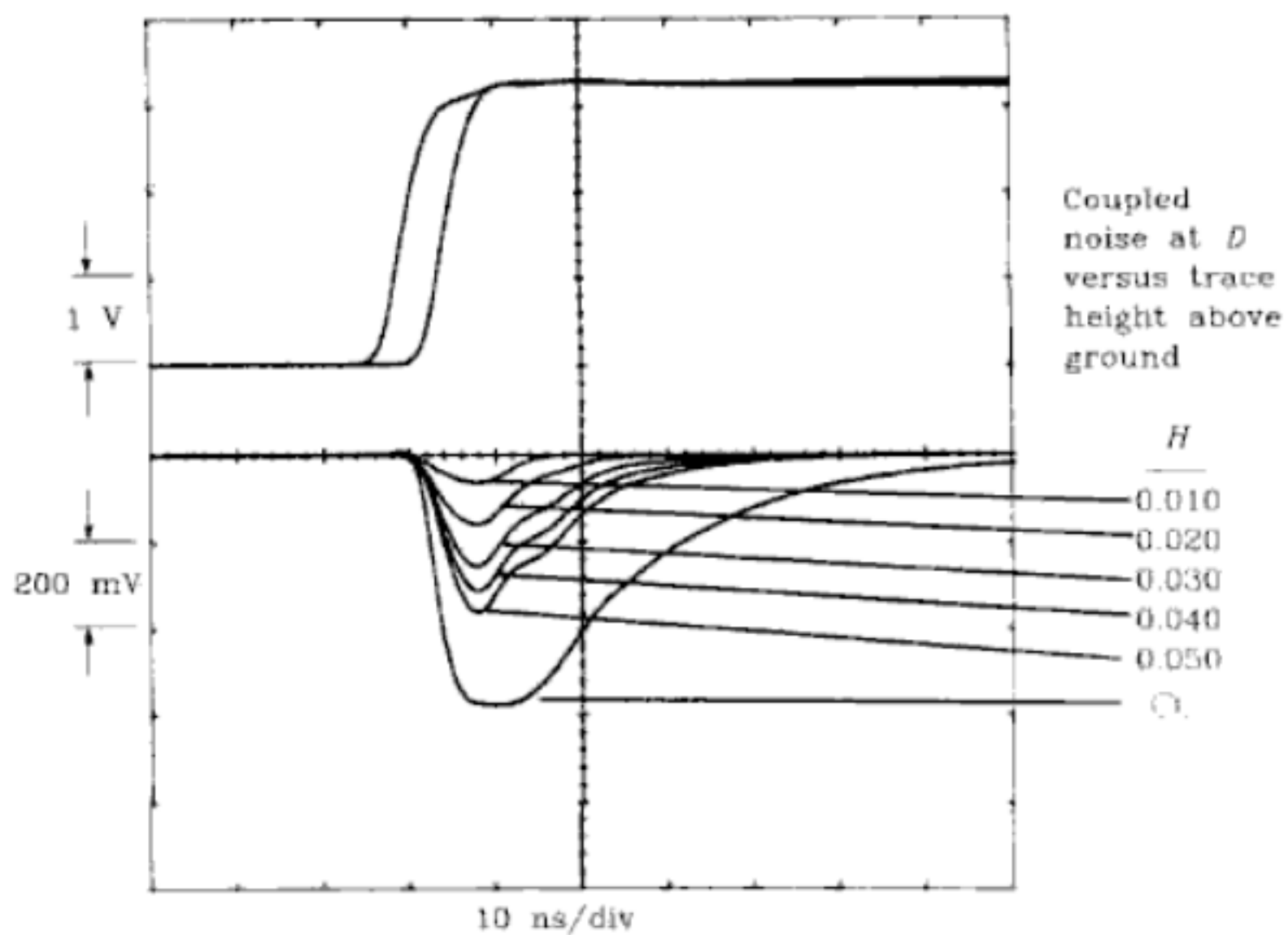


Figure 5.6 Step response of a mutual coupling experiment.

图5.7将这些测量数据汇总成一张表，显示了相互感应系数作为 D/H 的功能。面积通常用来测量相互的结合，这在 1.8节已经解释过。通过测量面积我们可以得到驱动波在面对高环路感应系数时逐渐下降的趋势。这个效果显示出噪音区在高结合因素作为噪音脉冲的长度表示。

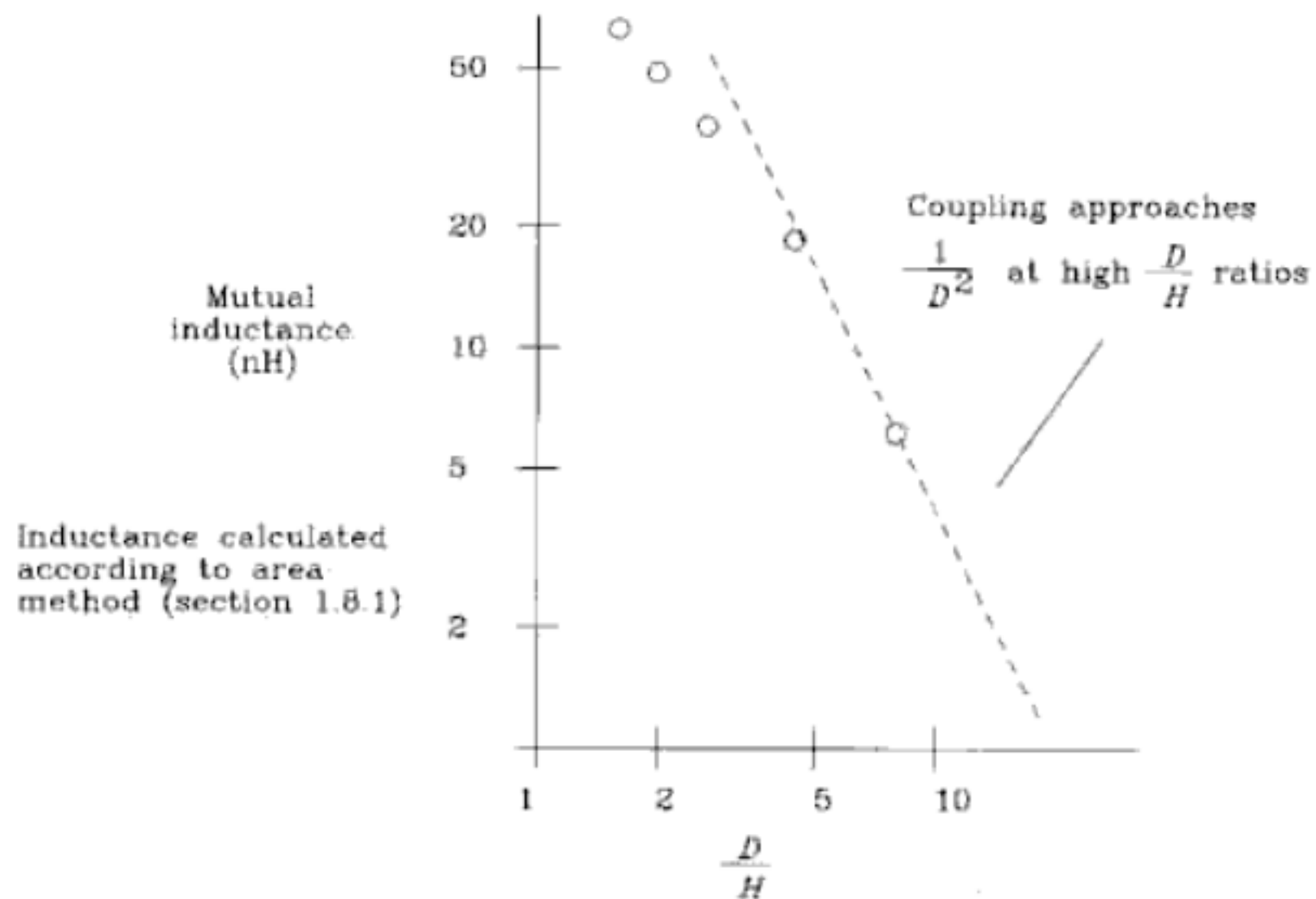


Figure 5.7 Measured data on mutual coupling.

本节要点：

- y 返回信号电流产生电磁场，电磁场反过来在另外电路上产生电压。
- y 邻近路径产生的噪音随着距离的增加而成平方下降。

5.3 窄条地平面的串扰 (Crosstalk in Slotted Ground Places)

在图 5.8中描述的情况是一个典型的布线错误，被称作是地槽。这是因为在地平面上留了一个长长的槽并且把信号线放在槽里引起的，如果路径垂直经过地槽那么会对路径增加感应系数，增加串扰，这是不允许的。

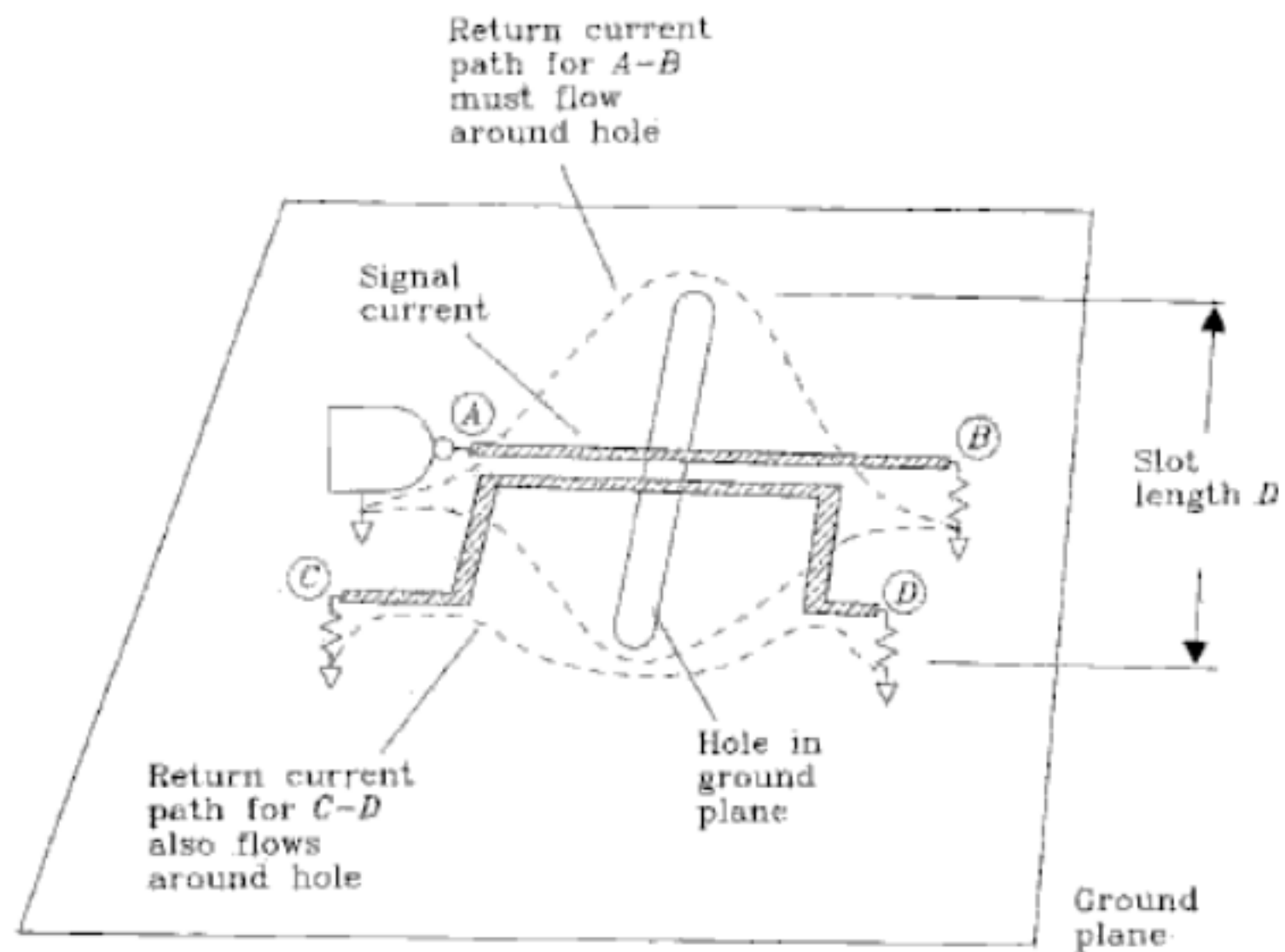


Figure 5.8 Crosstalk in a slotted ground plane.

地槽也会发生在高密度布线层上，当地平面经过连接器的管脚时会因为管脚太大而使地平面不连续。所以在设计中要保证地平面在所有管脚处的连续。如图 5.9所示。

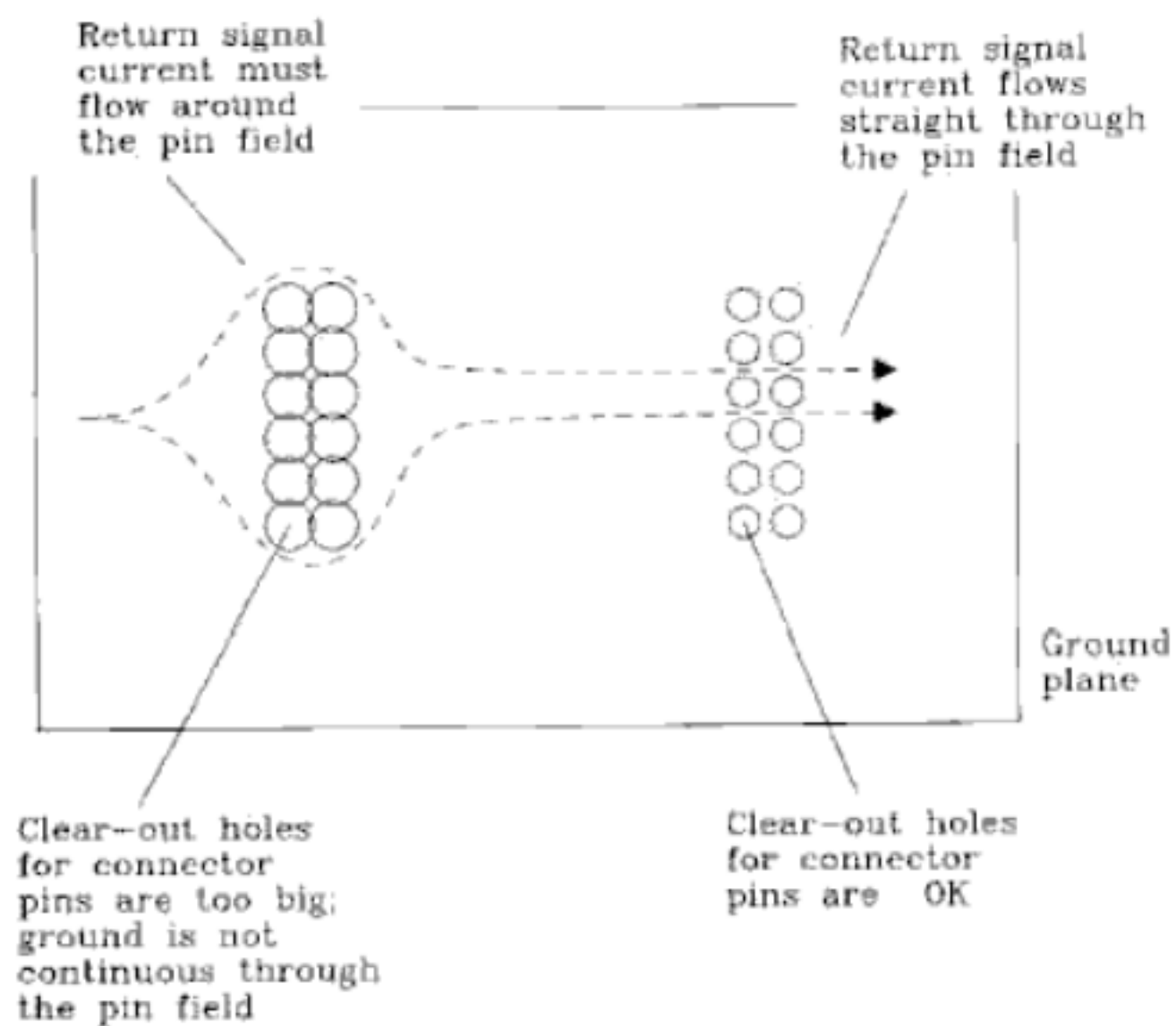


Figure 5.9 Ground slot caused by improper connector layout.

在图 5.8 中，返回电流不能直接从 A-B 下面走，它转移到地槽的周围。转移电流使环路增大，动态地增加信号的感应系数，它降低了在 B 点接收信号的上升时间，转移电流同样加重了 C-D 间的环路电流通路，重叠的部分导致 A-B 和 C-D 间的感应系数。

A-B 间的感应系数是：

$$L \approx 5D \ln\left(\frac{D}{W}\right) \quad [5.3]$$

where L = inductance, nH

D = slot length (perpendicular extent of current diversion away from signal trace), in.

W = trace width, in.

不管地槽多么窄，都会引起电流在槽边缘的分流，对感应系数的增加的效果是一样的。如果路径通过地槽的一端，引起的效果会小一些，槽如果比路径小几乎不会引起系数的增加，槽接近但是没有重叠对其影响也很小。

上升时间的降低是由感应系数的变化引起的，依赖于终端的条件，最坏的情况是通过长线，源端的阻抗是 Z_0 ，结果 10-90% 的上升时间是这样的：

$$T_{10-90 L/R} = 2.2 \frac{L}{2Z_0} \quad [5.4]$$

将它与自然信号结合起来是：

$$T_{\text{composite}} = \left[\left(T_{10-90 L/R} \right)^2 + \left(T_{10-90 \text{ signal}} \right)^2 \right]^{1/2} \quad [5.5]$$

对于短线驱动大电容，10-90% 的上升时间是：

$$T_{10-90} = 3.4(LC)^{1/2} \quad [5.6]$$

这样电路可能振铃，这个电路的 Q 是：

$$Q = \frac{(L/C)^{1/2}}{R_s} \quad [5.7]$$

R_s 是驱动源的电阻。当 Q 比 1 大的多的时候，电路就振铃，当 Q 接近 1 时，上升时间如公式 5.6 所表示的，当 Q 小于 1 时，上升时间比公式 5.6 表示的小。

如果第二条路径接近第一条路径也和地槽交叉，那么它们的相互感应系数是 L_m ，第一条路径的感应系数仍是如公式 5.3 所述的 L 。如果第二条路径靠近地槽的末端，那么它们的相互感应系数随着距离的增加而成线性降低。

两条路径的相互影响的电压可从以下公式得出：

$$V_{\text{crosstalk}} = \frac{\Delta I}{T_{10-90}} L_M \quad [5.8]$$

对于长路径，可以用以下公式表示：

$$V_{\text{crosstalk}} = \frac{\Delta V}{T_{10-90} Z_0} L_M \quad [5.9]$$

对于短路径，并且驱动大容量电容，可用以下公式表示：

$$V_{\text{crosstalk}} = \frac{1.52 \Delta VC}{(T_{10-90})^2} L_M \quad [5.10]$$

公式 5.4-5.10 可很好地用在由于地平面的不好而引起的变化。

本节要点：

- y 地槽引起不需要的感应系数。
- y 感应系数在边缘处减小。
- y 地槽产生相互串扰。

5.4 交叉开口地平面的串扰 (Crosstalk in Cross-hatched Ground Places)

如下图 5.10 设计电源和地栅格可以节约板面积，但是增加了相互感应系数，这种技术不需要分开的地和电源平面，可以和地或电源平面一样将普通信号在同一平面相连接。这对小的低速的 CMOS 和 TTL 信号是合适的，但对高速逻辑信号不能提供合适的地平面。

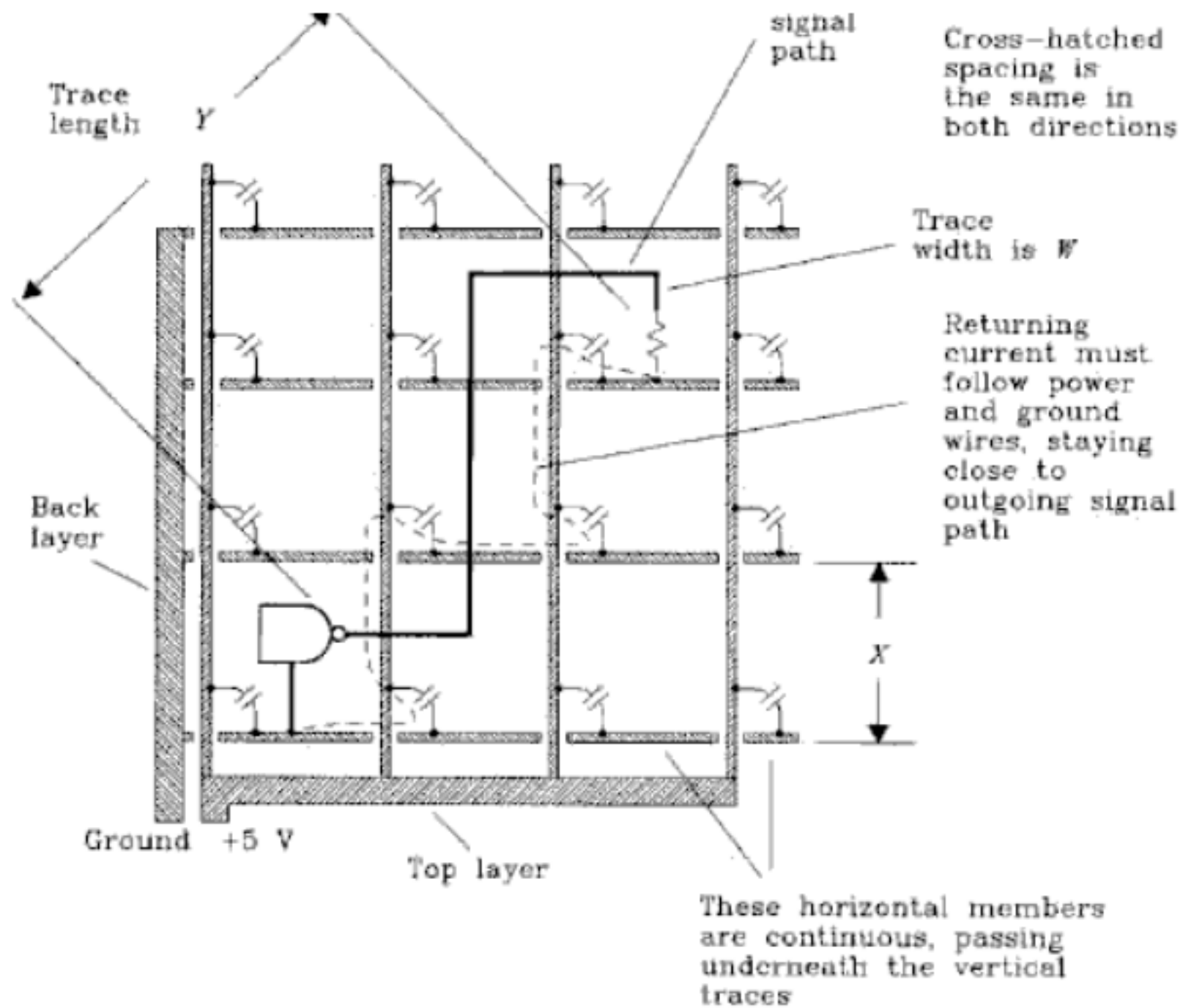


Figure 5.10 Power and ground grid on two layers.

在地栅格方案中，地线在板的底层呈水平面分布，电源线在板的顶层呈垂直面分布，在每个交叉位置上有一个旁路电容，这样形成一个交叉开口图形，电流可从源端沿地或电源线很好地等同返回。

在这个系统中用的电容必须非常好，因为有些电流在返回驱动门时要经过几个旁路电容。

这种交叉结构给地或电源平面其他信号预留了很大的空间，在完成了地和电源连接后，在垂直和水平方向仍有通道可走其它信号，这非常适合必须使用双层板的情况。

一种相关的结构叫做交叉开口地平面，这种结构全部地走线放在一个平面上，由垂直和水平的路径覆盖在板上，这种交叉开口的地平面只和地相连接，其它信号不能放在这一层上。

这种交叉开口地平面有利于在薄板上应用高阻抗传送结构。有时候在薄的电介质中需要在窄面上有令人满意的阻抗，因为太小不能提供可靠的结构。在这种情况下，将交叉开口地平面结构蚀刻到地平面上可以增加串联阻抗和降低容值。这样增加了线路的特性阻抗。除非控制阻抗线沿着开口方向 45度走，否则不能应用在交叉开口地平面上，开口必须比接近工作的上升沿小的多。

这两种方案都会比固定的地平面产生比较多的相互感应系数，问题是：设计的电路是否可以在这样的互感中工作？

首先估计一下单路通过交叉开的地平面所产生的自感应系数，这也可以应用到电源和地栅格中：

$$L \approx 5Y \ln\left(\frac{X}{W}\right) \quad [5.11]$$

where L = inductance, nH

X = hatch width, in.

W = trace width, in.

Y = trace length, in.

如果路径离交叉开口面近一些，那么阻抗会小一些，如果交叉开口结构比路径小或小的多的情况下，几乎不起作用。

如果第一条路径紧靠第一条路径也经过同样的交叉开口面，这两条路径紧紧联系在一起，他们的互感是 L_M ，第一条路径的感抗仍然是 L 。

如果第二条路径偏移第二条路径相当的距离 D ，他们的互感随着距离的增加而减少如下式，这里用交叉开口的尺寸 X 来替代 H 。

$$L_M = \frac{5Y \ln(X/W)}{1 + (D/X)^2} \quad [5.12]$$

应用 5.3 节的公式可以根据互感和自感来计算上升时间的降低和串扰电压。

本节要点：

y 如果必须使用两层，那么使用电源和地栅格系统。

5.5 电源和地指 (FINGERS) 的串扰 (Crosstalk with Power and Ground Fingers)

如图 5.11 中所设计的电源和地指象电源和地栅格一样，允许有一些互感并可节约更多的面积。这种老的设计出现在美国通信委员会管理放射性指导以前的旧的计算机设备上，也应用在廉价的电线折叠框架中。现在不要用它。

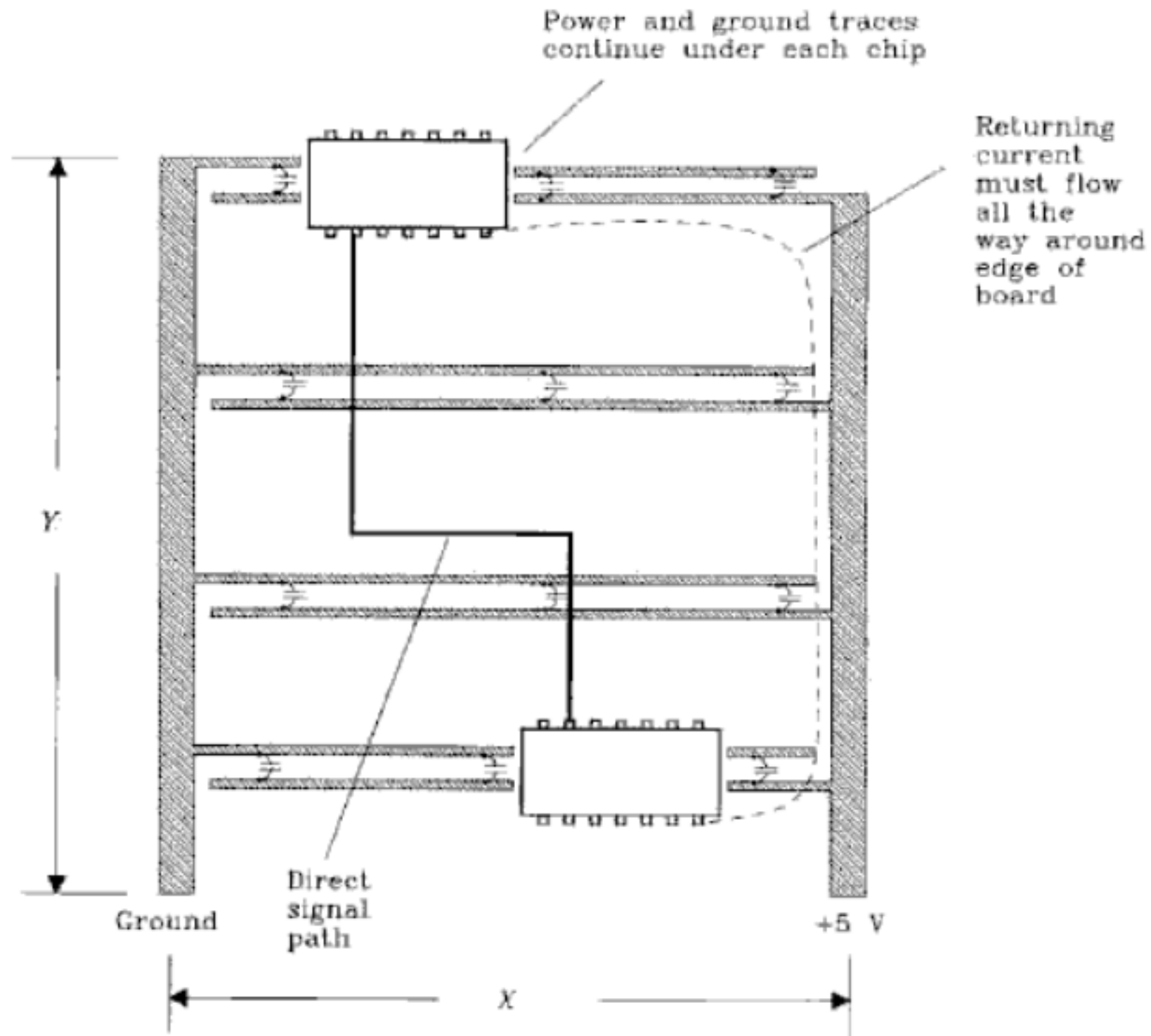


Figure 5.11 Ground fingers layout.

电源和地指技术只工作在速度非常低的小的逻辑电路中，它的主要优点是可将电源和地线放在一层上，将其它信号放在另一层上。

在电源和地指方案中，地线在板的右边，电源线在左边，如果需要这些线从左向右延伸，就像指或梯子一样。

内部集成线路包跨在这些横栏中，和电源和地线有很短的接触，在邻近的电源和地之间有旁路电容。

这个方案的问题是，如果信号要返回源端，必须经过所有板的边沿，这种情况大大地增加了互感和自感。

如果你必须使用两层板子，那么请使用 5.4节所说的电源和地栅格，如果必须使用电源和地指，那么请先建立一个样板，测量路径之间的互感，考虑一下这样电路是否可以工作。它可以工作在非常低的 CMOS 逻辑和老的 LS - TTL 中。但是不能应用到任何速度快的逻辑中，再者这个电路不只是影响功能问题，从开口的电路环中辐射出的电磁波注定通不过 FCC 的测试试验。

下面是计算环路感应系数的公式：

$$L \approx 5Y \ln \left(\frac{X}{W} \right) \quad [5.13]$$

where L = inductance, nH
 X = board width, in.
 W = trace width, in.
 Y = trace length, in.

注意线的宽度几乎对总的感应系数没有多大的效果，宽的地线也没有多少帮助，需要的是一个小的网状地线覆盖在线路板的表面。

如果路径偏离到一边，那么感应系数可能会小一些。

因为返回的电流经过板的边缘，那么电磁波就会无处不在，如果有第二条线进入这个磁场，就会将两条线路紧紧捆在一起，两条路径之间的互感系数 L_M 几乎与 5.13 式的自感系数一样，并不随距离的改变而有所变化。

应用 L 和 L_M 来计算上升时间的降低和串扰电压。

本节要点：

y 对于高速逻辑信号，避免使用地指结构。

5.6 保护路径 (Groud Traces)

保护路径在模拟电路中应用非常广泛，在音频中，双层板没有固定的地平面，在敏感信号两边加上两条互相平行的地线可大大降低串扰。

在数字世界中，固定的地平面为地保护线提供了大量的益处，在这之后，保护线提供了附加的作用。

作为规律，在微波传送之间的耦合因为插入第三根线，这根线在两头由地线包着，而分成两部分。如果这第三根线频繁地穿过地平面，那么他们之间的耦合也会分为两部分。如果有多于一个的地平面，这样在需要保护的线两端用地保护，而不要在中问。

在数字问题中，如果两条线分开的足够大以致于可以放上一根保护线，那么这根保护线是不需要的，因为它们之间的耦合已经足够小了。看例 5.1

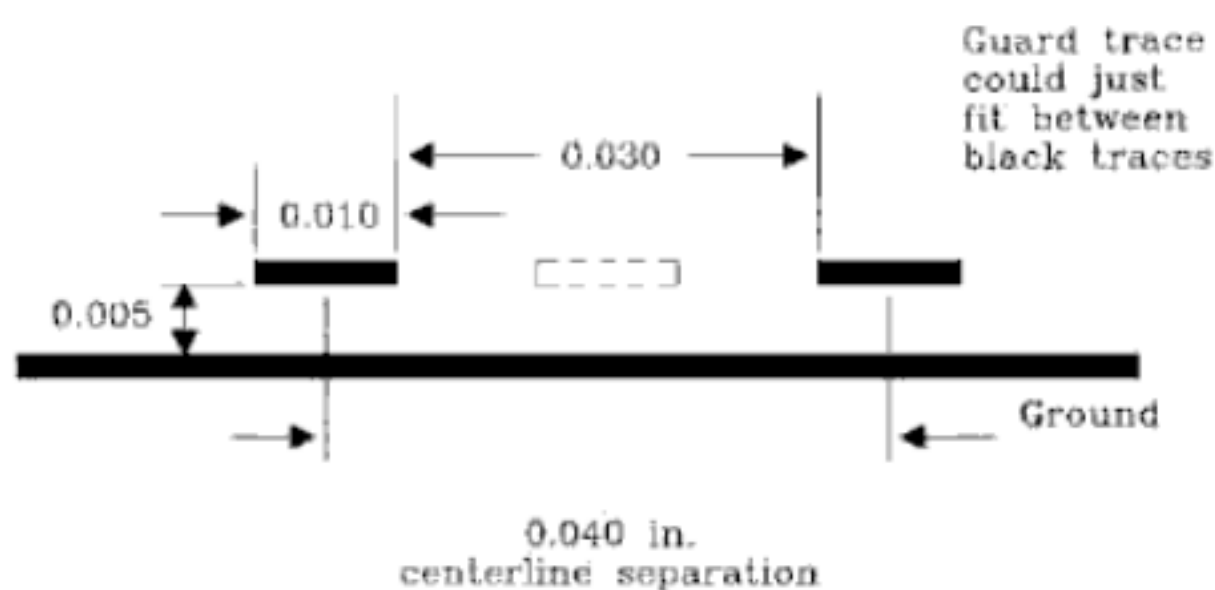


Figure 5.12 Guard trace positioning.

What is the estimated crosstalk?

Using Equation 5.1, the crosstalk fraction can't be any worse than

$$\text{Crosstalk} < \frac{1}{1 + (D/H)^2} \quad [5.14]$$

The centerline separation is 0.040, and the trace height is 0.005, so the ratio D/H is 8.

$$\text{Crosstalk} < \frac{1}{1 + (8)^2} = 0.015 \quad [5.15]$$

This is not enough crosstalk to worry about in a digital system.

多大的串扰算太大呢？在模拟系统中，高功率的信号如果要穿过低压值的输入时，系统需要很强的免疫力。在不同种类的逻辑电路混合的数字系统对串扰是敏感的。如当高电压值的信号如 TTL 与低电压值如 ECL 靠近时。

对于同类数字系统，串扰值介于相邻线的 1 - 3% 是好的，这是基于这样的假设，存在一个固定的地平线，每根线只和相邻的线相互影响。当使用开口或者指地系统时，很多线相互作用，我们必须在考虑固定信号的串扰前，将各种串扰之和考虑进去。

图 5.13 显示了一个典型的地线的应用，源端发出一个已知电压的步伐沿着路径 A，串扰信号可以从路径 B 或 C 中收到，路径大约是 26 英寸，特性阻抗是 50 欧。

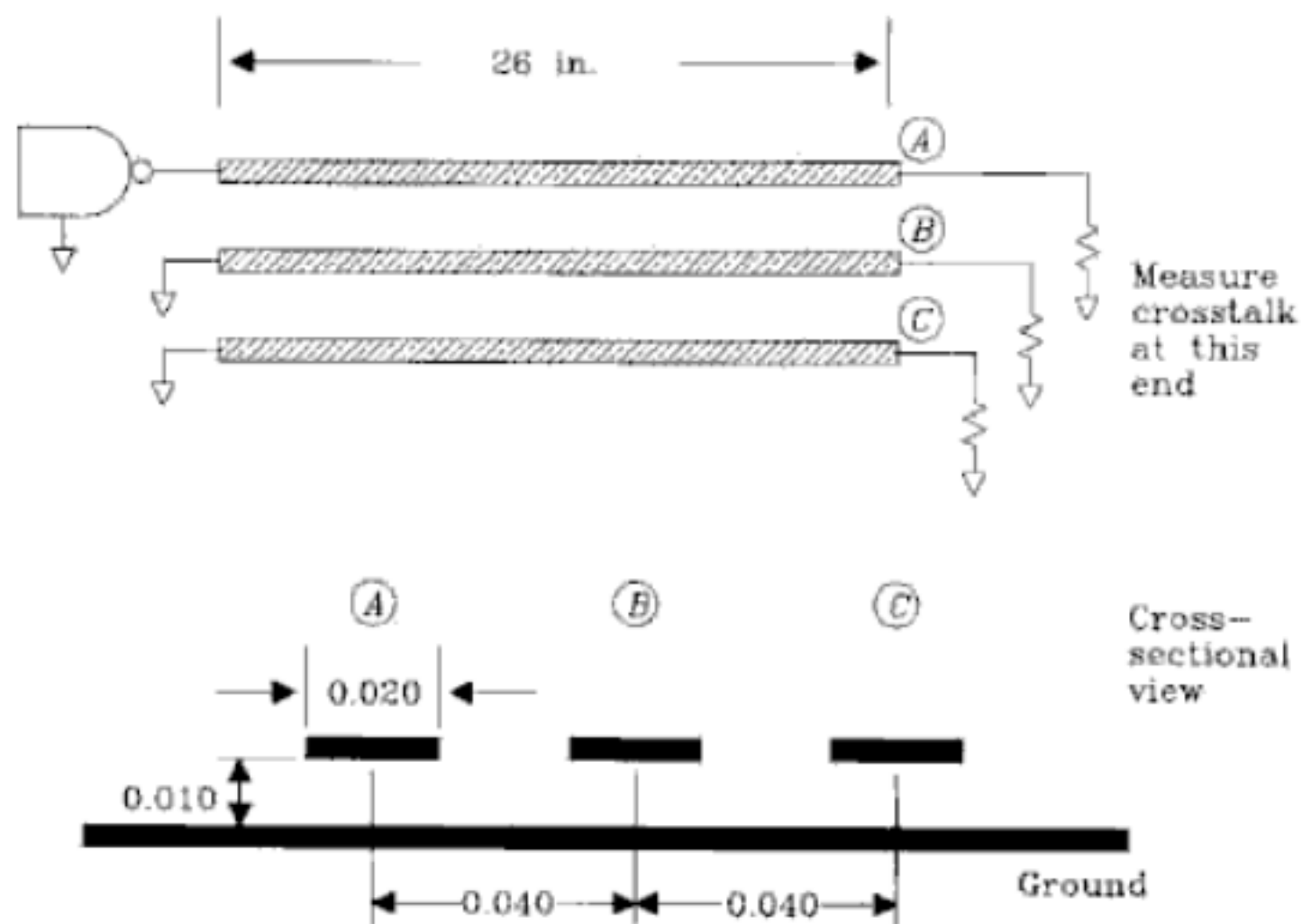


Figure 5.13 Guard trace demonstration.

对于微波系统中不同的步伐效果列在图 5.14，大的脉冲的位于线 A 和 B 之间的串扰（C 不连接），中间的脉冲的位于线 A 和 C 之间的串扰（B 不连接），它比 A 和 B 之间小 4 倍，如公式 5.2 预测的那样（B 两端和地相连接）。我们从 A 和 C 之间得到最小的耦合，这大约是中间的一半，这是地

线的效果。

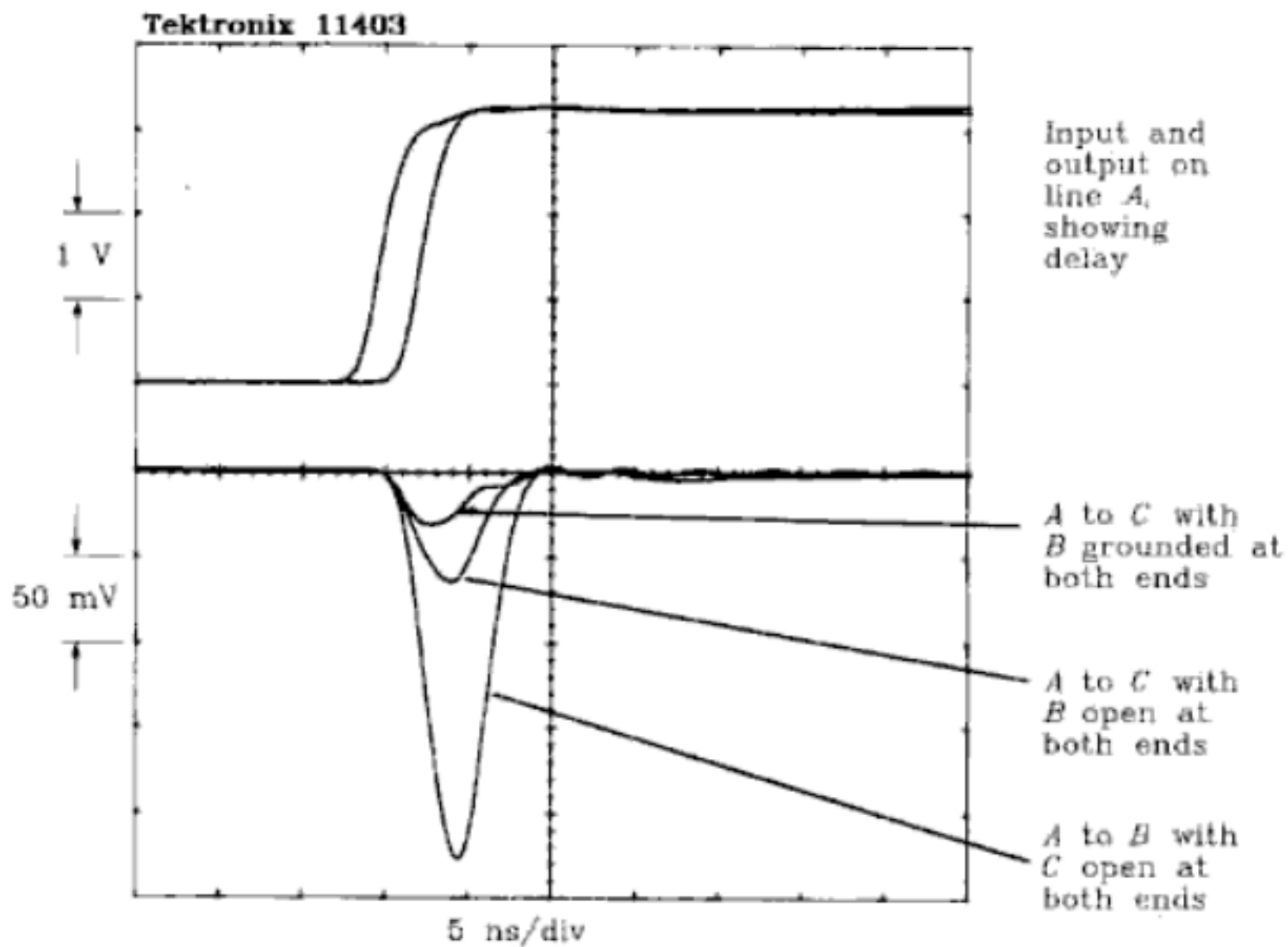


Figure 5.14 Example showing guard trace effect on coupling.

本节要点：

y 固定的地平面对需要地保护的线起到大部分的作用。

5.7 近端和远端串扰 (Near-end and Far-end Crosstalk)

在5.1 - 5.6节使用的串扰例子都是应用混合电路 (LUMPED - CIRCUIT) 分析，这种互感耦合模式可以很好地工作在许多耦合问题上，但是不适宜长线。

本节主要讲述了两根长距离传输线之间的耦合问题，包括相互感应系数和相互容感系数。

5.7.1 感应耦合机制 (Inductive Coupling Mechanism)

在这一节中我们只考虑感应耦合，在 5.7.2节考虑相互容感耦合。对这种情况， B.L.Hart 提出了一种更加数学化的描述。

在图 5.15描述了一种典型的串扰位置。系统的末端标志近和远，就像在长线串扰所使用的语言一样。

线A - B运载了一种信号，它产生的电磁场在线 C - D产生电压。电磁耦合 (互感) 通常就像变压器一样， 因为互感的分区的，它就像连接在两根线之间的连续变压器一样。

假设耦合是很小的 (最好是这样) 变压器不会对 A 向B端传送的信号产生很大的影响。当电压值从 A 传到 B 时，在每个耦合变压器一个相互作用的小的标志出现在邻接的线上，每个标志在线 C - D上向前或向后传播。

这时，让我们考虑由变压器 K 引起的标志，当从 A 到达这一点时，通过变压器 K 变化电流产生了一个瞬间电压，如图 5.15 所示，这个标志是由感应器 K 电流变化产生的。

$$L_M = L \frac{dI}{dT} \quad [5.16]$$

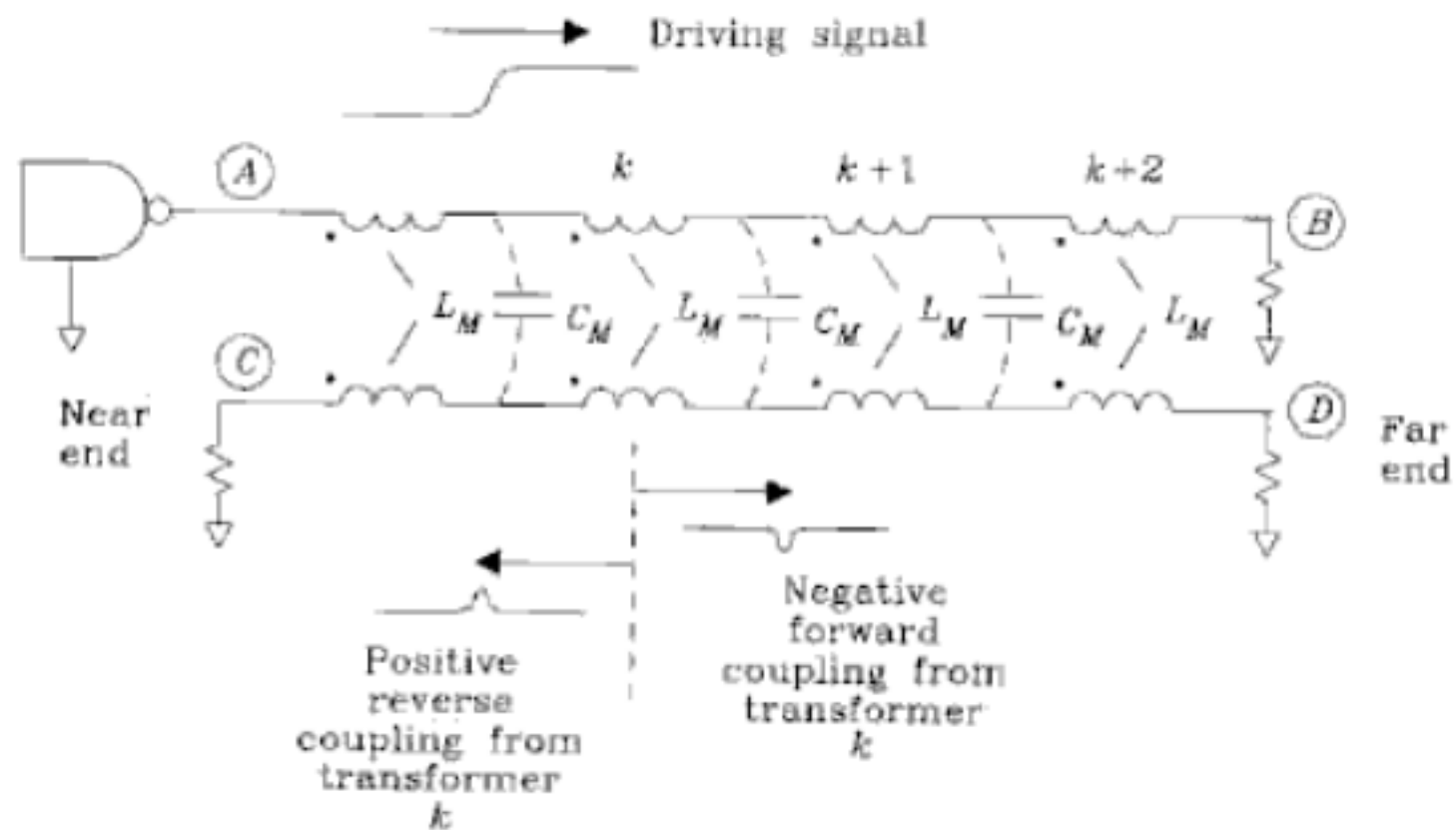


Figure 5.15 Mutual coupling between two long transmission lines.

这个变压器在线 $C - D$ 上产生电压标志，正负极如标志所示，所感兴趣的事是正极在变压器两边是不同的，正的标志沿着线 $C - D$ 向左传播，负的标志沿着线 $C - D$ 向右传播。

在图 5.16 中反射图中显示全部变压器产生的标志汇合成一个奇怪的现象，负的标志同时到达远端，而正的标志在不同的时间到达近端，总的时间是 $2T_P$ 。

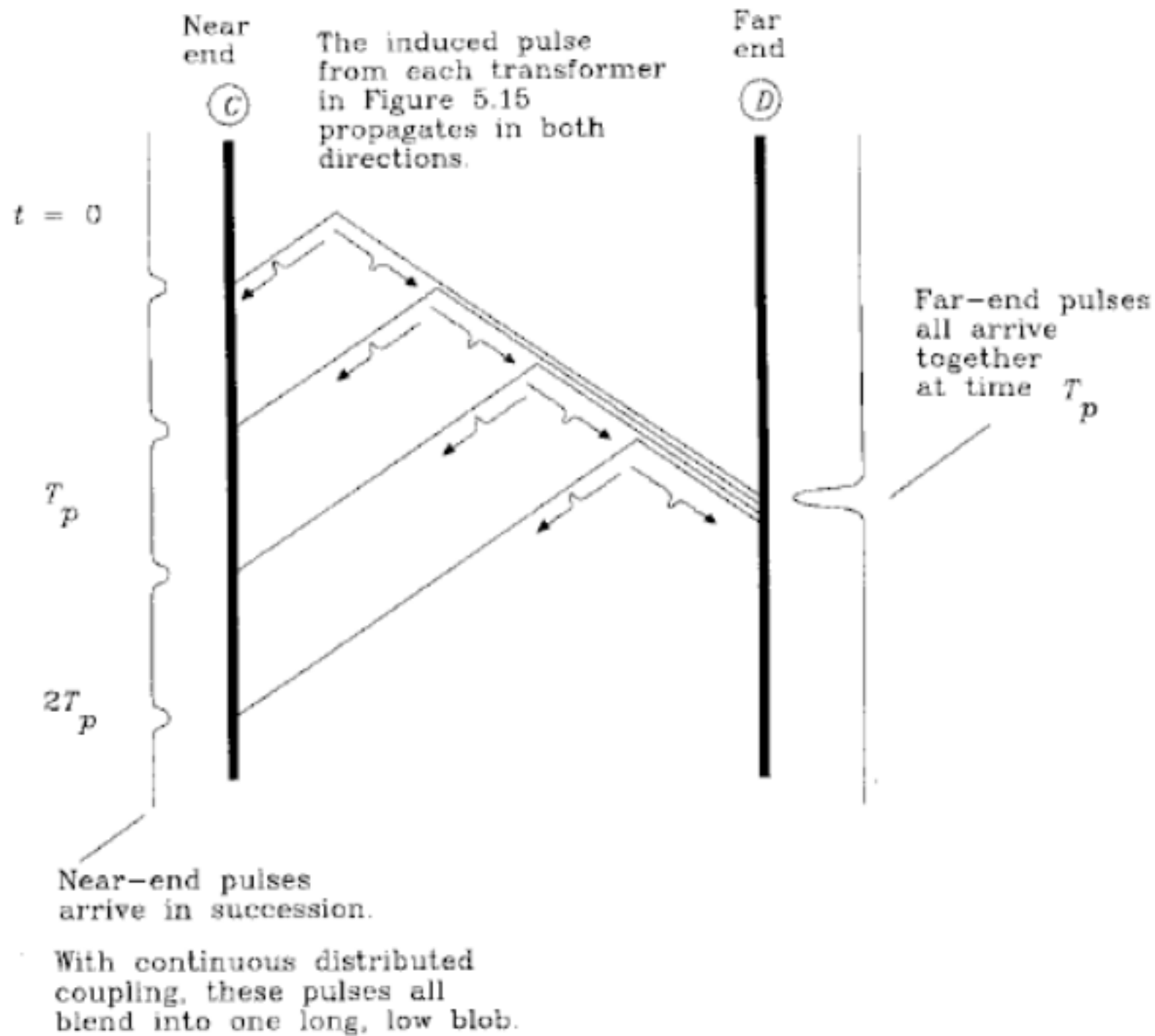
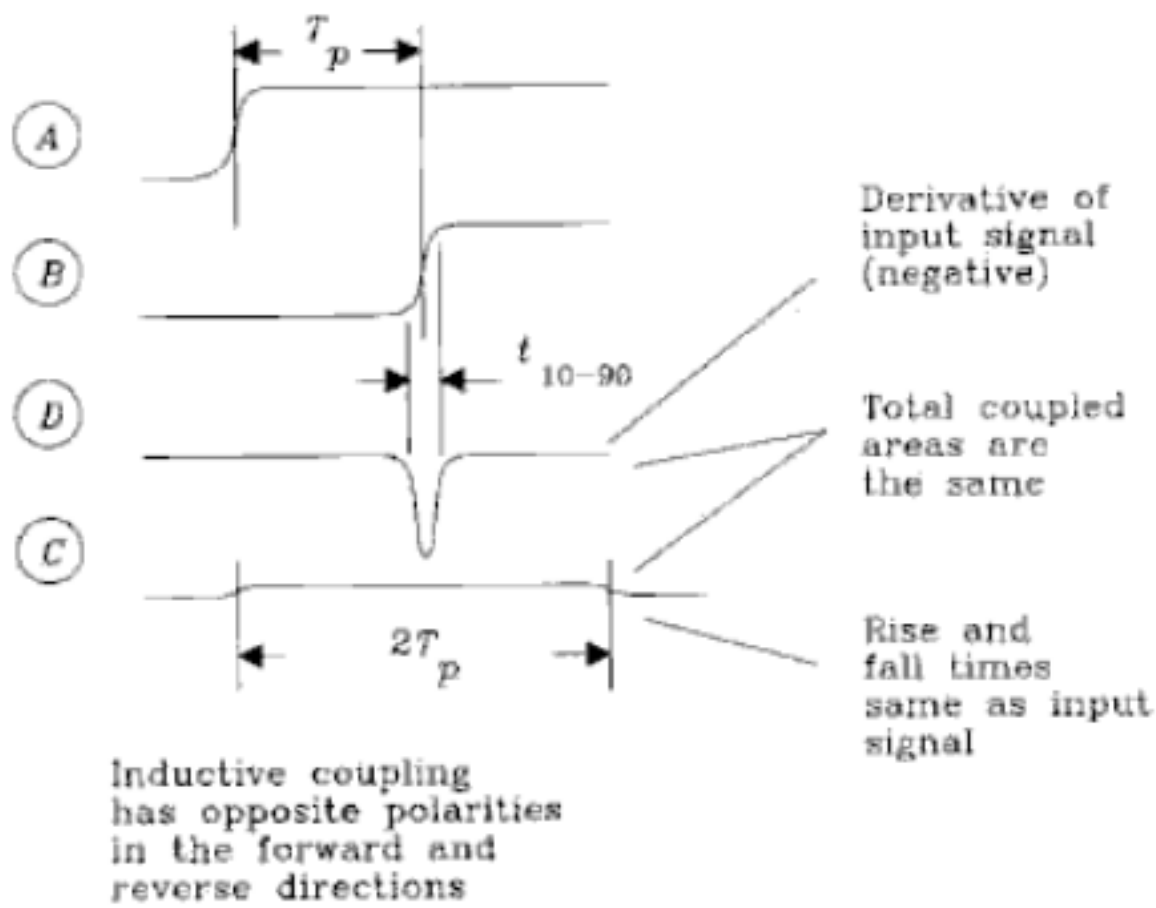


Figure 5.16 Reflection diagram showing mutual inductive coupling from the four

让我们研究一下向前的总的串扰效果，每个标志传播以降低输入信号和产生互感 L_M ，因为向前的标志同时到达远端，总的大小在两线之间产生总的互感。如果线增长，那么总的互感和串扰也会增大。

反方向的互感是不同，总的耦合量和向前传播的一样，但是它是在 $2T_p$ 时间传到的，在实际中，总的反方向标志平滑地传播到反方向耦合的连续点，理想的由互感耦合所产生的步伐是由图 5.17 所显示的方形功能。

如果线延长，总的互感会增加的，反方向的耦合会在持续上增大但不会在高度上变化



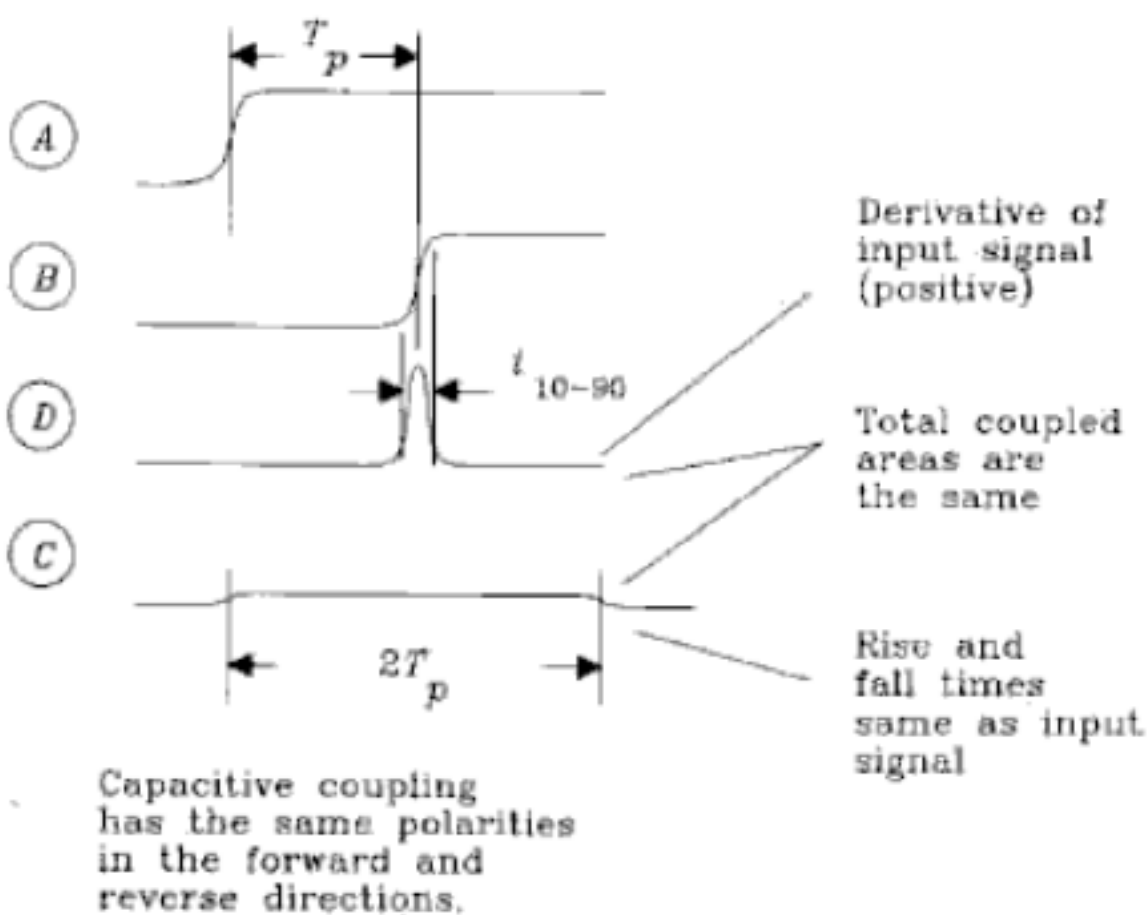
$$\text{Inductive reverse coupling} = K[V(t) - V(t - 2T_p)]$$

Figure 5.17 Forward and reverse mutual inductance coupling (distributed).

5.7.2 容感耦合方式 (Capacitive Coupling Mechanism)

容感耦合几乎和互感是一样的，不同的是耦合的正极上。在图 5.15中，当电压穿过一个互容时，在相邻线上产生了一个小的干涉标志，每个标志在线 C - D 上向前后传播。

容感耦合的极性是向前或向后的正极，还有，他们的行为几乎和互感一样，向前耦合的容感也水线消弱了输入信号，随着线距离的增长而增大，它极性是正极，这和向前的互感耦合相反。向后的容感和向前的一样，但是它传播的时间大于 $2T_p$ ，在容感耦合中理想的反方向步调反应如图 5.18所示。



$$\text{Capacitive reverse coupling} = K[V(t) - V(t - 2T_p)]$$

Figure 5.18 Forward and reverse mutual capacitive coupling (distributed).

5.7.3 相互感抗和相互容感的结合 (Combining Mutual Inductive and Mutual Capacitive Coupling)

在平常的条件下，在固定的地平面上，容抗和感抗串扰电压是一个数量级，向前串扰构成消除了，同时向后的串扰构成增加了。

带状线路很好地显示了容抗和感抗的平衡并且有小的向前耦合的总体效果，对串扰有影响的微波传输大部分从空气中传送而不从介质中传送，在某种程度上容抗比感抗小，产生了一种小的负的向前耦合总体效果。

通过一个长条的开口的或者其它相互作用的地平面，感抗串扰成分比容抗大，并且向前的串扰是大的负值的，向前的串扰永远不会比向后的大。

5.7.4 近端串扰怎样变成远端问题 (How Near-end Crosstalk Becomes a Far-end Problem)

在图 5.15 中，向前和向后的耦合信号是不同的，每个信号传播到 C - D 端在末端是有区别的。在实际应用中与模式是不同的，在数字应用中是没有源端的，在图 5.19 中连接到左端的设备是一个低阻抗驱动器，像其他信号一样，当反向串扰碰到驱动器后反射，这个反射的效果对于低阻抗驱动器来说几乎是 -1，这使反向耦合从正极改变为负极，返回到远端。

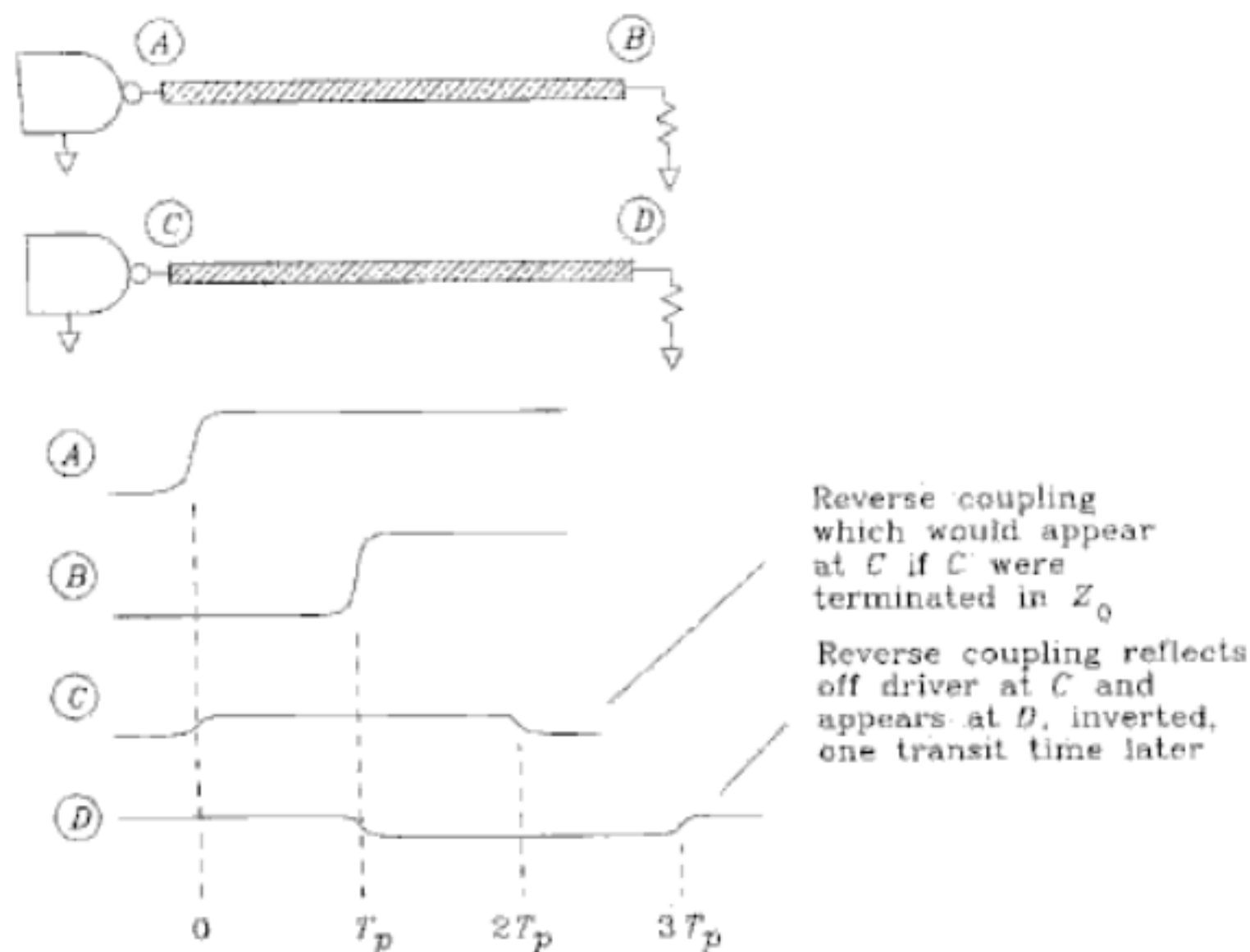
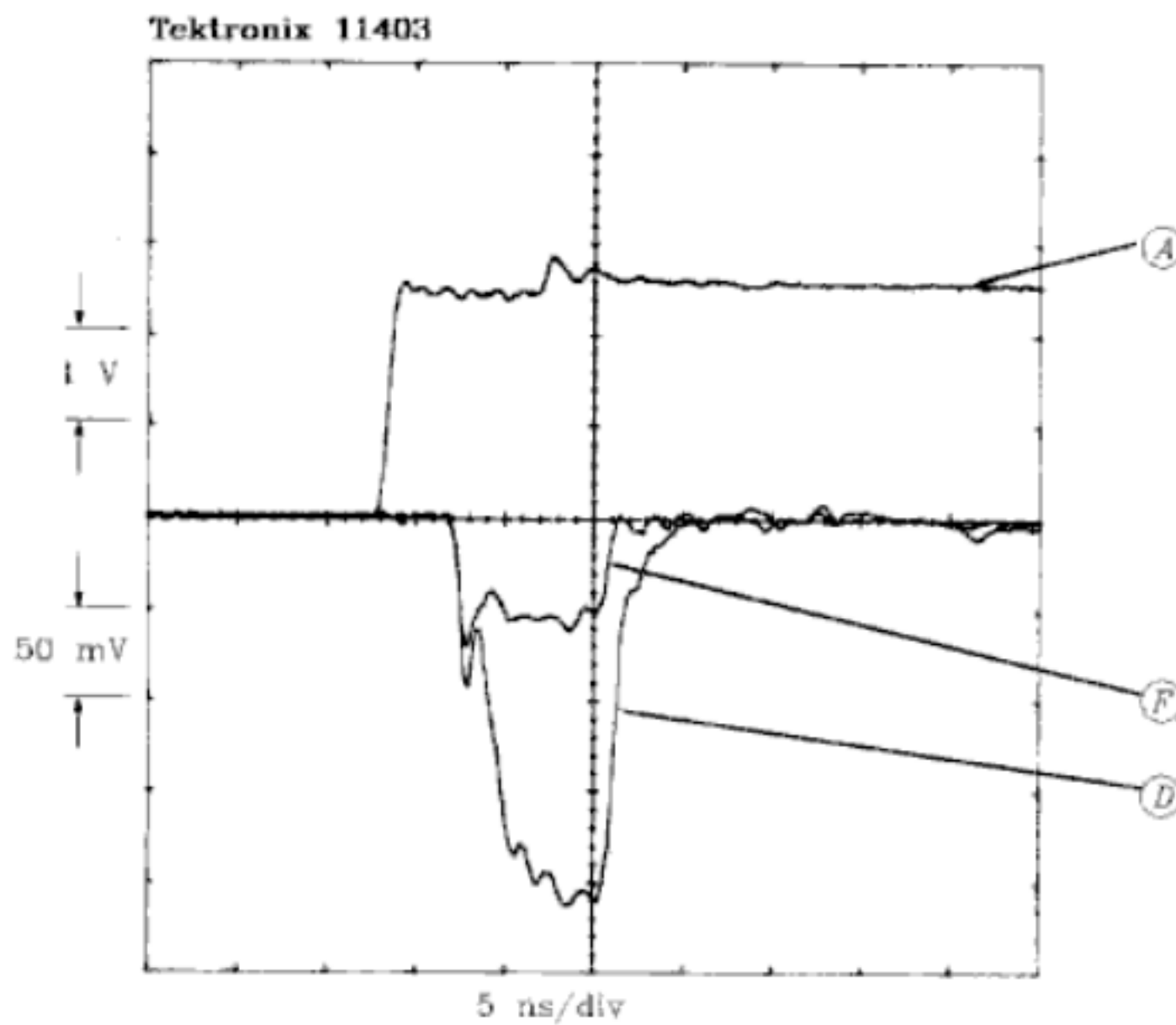
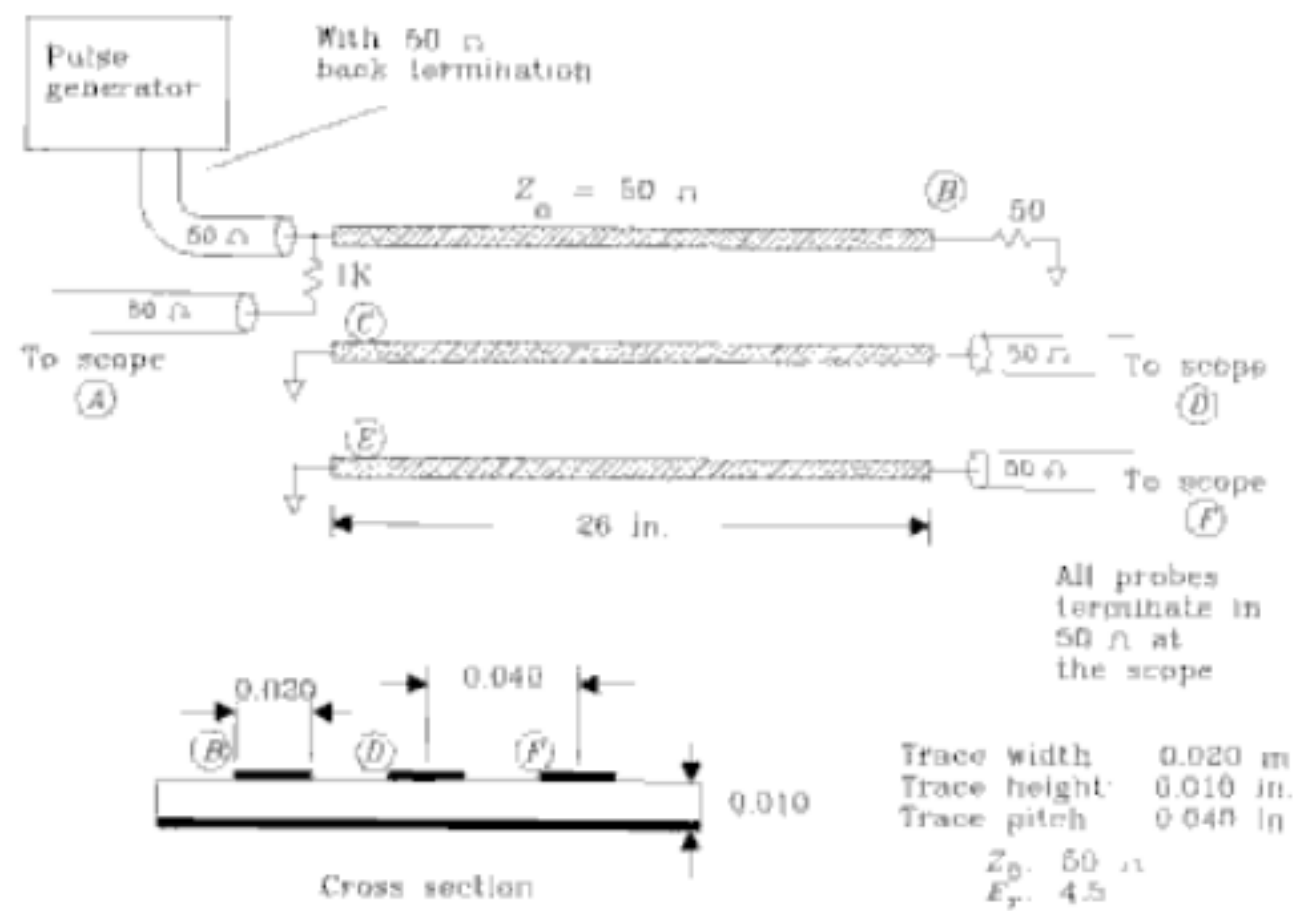


Figure 5.19 Reverse coupling reflecting from a low-impedance driver.

在远端 D 看到的信号是在 C 点向后耦合的信号的复制品，只是由于传输而延迟了。因为向前耦合的感抗和容抗相互抵消，当与较大的后向耦合放在一起，向前耦合几乎的看不到的。当我们在图 5.20 所定义的那样测量串扰时，我们实际上是测的是后向耦合。

例 5.2：反射的后向串扰

图5.20显示了测试的建立，它在图 5.21中产生了反向串扰。脉冲产生器驱动线 A - B，电压是2.5V，上升时间是 880ps，在 A点测试出现在图 5.21，度量是 1V/ 分割数。



在D和F点的串扰连接到通常的同轴探针上在图 5.21，度量是 50mV/ 分割数。全部探针是等长的，并且末端阻抗是 50欧。

两个串扰信号在初始化上升沿后 4.5ns 一起开始。

$$T_p = 4.5 \text{ ns} \quad [5.17]$$

两个信号持续时间是 9ns，是负极。

$$\text{Crosstalk duration} = 2T_p = 9\text{ns} \quad [5.18]$$

在D和F点测量的串扰信号是：

$$D = (4 \text{ divisions})(50 \text{ mV/division}) = 200 \text{ mV} \quad [5.19]$$

$$F = (1 \text{ division})(50 \text{ mV/division}) = 50 \text{ mV} \quad [5.20]$$

串扰比率（输出和输入之比）：

$$\frac{D}{A} = \frac{0.200}{2.5} = 0.08 \quad [5.21]$$

$$\frac{F}{A} = \frac{0.050}{2.5} = 0.02 \quad [5.22]$$

用式 5.2检测出的比率是：

$$\frac{D}{A} = \frac{1}{1 + (0.040 / 0.010)^2} = 0.059 \quad [5.23]$$

$$\frac{F}{A} = \frac{1}{1 + (0.080 / 0.010)^2} = 0.015 \quad [5.24]$$

5.7.5在两根线的串扰特性 (Characterizing Crosstalk Between Two Lines)

向前串扰和驱动信号的导数和线的长度成比例，比例系数依赖于感抗和容抗之间的平衡，一旦我们测到已知信号的比率，对于其它信号的反映模式就微不足道。

对于上升沿快的后向串扰模式同样简单，后向耦合看起来像方形脉冲，上升和下降时间和输入信号有关高度正比于驱动信号大小，后向耦合系数是由线长和其它物理系数决定的，持续长度为 $2T_p$ 。

对于上升沿慢的后向串扰信号有一点麻烦，一旦我们测量了快上升沿的后向耦合，那么对于任何输入信号可从下面得到：

$$\text{Reverse coupling}(t) = \alpha_R [V(t) - V(t - 2T_p)] \quad [5.25]$$

where t = time, s

$V(t)$ = driving waveform, V

α_R = reverse coupling coefficient for fast-edged signal

T_p = propagation delay of line, s



对于那些长于一半上升时间的线来说，后向耦合有足够的时间来建立起其全部值，对于这可用下式：

$$\alpha_R \approx \frac{1}{1 + (D/H)^2} \quad [5.26]$$

where D = separation between lines, in.
 H = line height above ground, in.

对于那些短于一半上升时间的线来说，后向耦合蔓延起来又落下去了，不会达到固定的最大值。

5.7.6 使用一系列端点来降低串扰 (Using Series Terminations to Reduce Crosstalk)

一系列端点降低了远端的反向串扰，削弱了末端的返回反射信号。反向耦合信号又会再次指向远端，使用双端削弱了反向串扰的噪音源，从总体来说是好的

通过结合一系列末端点来降低耦合，让我们使用一系列的并行总线，这比其它好！

本节要点：

- y 考虑到长的传输线：通过固定的地平面，感抗容抗是等同的，前向串扰取消了，后向串扰增强了。
- y 通过一个长条的或者是不完整的地平面，感抗耦合大于容抗，使前向串扰大而且是负的。
- y 前向信号正比于输入信号的降低和线的长度。
- y 后向耦合看起来像一个方形的脉冲，有固定的高度，持续时间为 $2T_P$ 。对于短线，后向耦合不能达到它的满值。
- y 后向串扰，碰到低阻抗的驱动器后，向远端反射。

5.8 印制板层数是怎样堆积的 (How to Stack Printed Circuit Board Layers)

印制板层数的堆积详细说明了线路板层数的安排，它特别说明了地平面和电源平面，衬层的电介质常数和层数的空间距离，当安排层数的堆积时也应该考虑路径尺寸的要求和相互之间的距离。

制造和层数堆积的紧紧相关的，设计和线路越密，花费的成本越大，这一节就讲述了几个常用的设计层数的指导准则。

5.8.1 电源和地设计 (Power and Ground Planning)

首先设计电源和地平面，先考虑信号的上升时间，信号的数目和线路板的物理尺寸。在物理尺寸中，估计一下线路的宽度，宽度的假设不再这个阶段评论。

再者，估计一下使用固定平面，开口，和指平面模式的自感和互感，在这一点上，通常来说哪种模式适合哪种设计是清楚的，记住对于地指方式所有的线都是相互作用的。对于开口模式沿着开口栅格和线是相互作用的，对于地平面模式只有相邻的线是相互作用的。

如果你要使用一个固定的地平面，那么地平面和电源平面的成双的，在层堆积中，对称的固定平面可以预防在线路板上弯曲。如果一个平面的线路板，偏离一边时会弯曲的很明显。

和地平面一样，电源平面也可以应用在低阻抗的信号返回路径，假如有足够多的旁路电容，那么电源平面传输会和地平面一样好，在一个电源面和地平面或者两个电源平面带状传输线也可以工作。

5.8.2 底板 (Chassis Layer)

有时候，你可能会在数字系统外运行一个信号，对于这可以应用一个低速的或控制上升时间的驱动器，它可以降低辐射。

如果驱动器的地平面和数字地相连接，那么驱动器的输出就会是原来打算的输出加上数字地平面的噪声。如图 5.22 中所示。

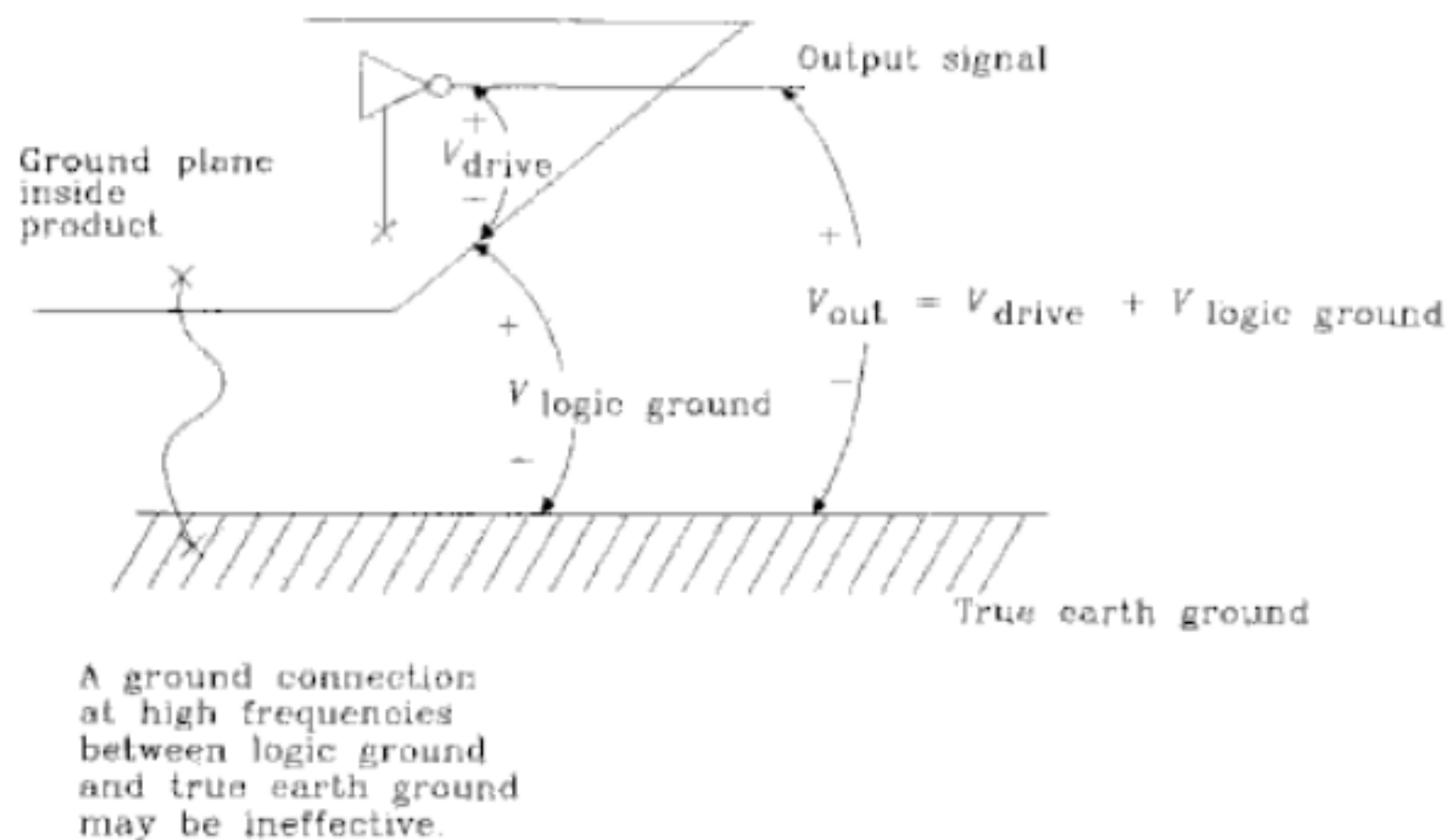


Figure 5.22 Using a controlled rise-time driver.

对于高频噪音电压数字逻辑地是众所周知的不好，地平面上运载着由于返回信号穿过他们自己的自感而引起的波动电压，这些高频的波动电压太小了而不会造成数字电路的麻烦，但是超出了 FCC 的范围，通常会在 FCC 实验中失败。

没有其他假设的话，控制上升时间驱动器可拾起地噪音并传播到底板外面。

一种解决办法是在堆积层再加一层底层，紧靠着地平面，在两层间给出了一个紧紧的容感耦合。在高频中，这两层被有效地捆在一起，在靠近控制时间上升的驱动器的连续轴上底层可通



过上螺钉或焊接到其他方法和外面的底层相接，在高频中，对于底层我们有效的缩短了地平面。这减少了地平面的噪音，也减少了由控制上升时间驱动器所输出到外面的噪音。

通常电容不会起到缩短底层和数字地的作用，因为他们有很多的导线阻抗，只有在数字地和底层之间有大的宽的平行的平面才会有足够小的阻抗才会起到作用。

在低频中，虽然有底层，但是有数字逻辑和外面底层中仍然有电隔离区，这对于安全或其他情况应该考虑。如果这个隔离不太要紧，只要简单地把数字逻辑地直接和底层相连接而不需经过一个分离的底层，在靠近控制时间上升的驱动器的连续轴上底层可通过上螺钉或焊接到其他方法和外面的底层相接。

当使用一个底层时，要在堆积层中使用其它平面以达到平衡，处于机械考虑，通常在堆积层使用对称的安排。

5.8.3 选择线径尺寸 (Selecting Trace Dimensions)

将线紧紧地挤在一起会增加线的密度，非常密的设计可以减少板的层数，因为线路板的成本和层数是有关系的，如同板的面积，我们总是趋向于使用紧少的层数。

小的更密的空间也会产生更多的串扰和使用少的电源处理电容，这种交易往往在低成本的设计中使用。

让我们先考虑电容，因为它对于抑制是最简单的。印制板上的电源处理电容主要依赖于它的横截面和温度的上升，对于给定的横截面，路径温度的上升大约正比于电源的散发，大的温升是不可靠的也会使数字电路升温，在数字电路中可以考虑的上升温度是 10度。

图5.23显示了电源处理电容和温度的关系，水平轴测量横截面单位是英寸的平方，纵轴显示在给定的温度下路径允许的电流。例在温度上升 10度时，0.010英寸宽 0.00135英寸厚可安全通过

750MA 的电流。

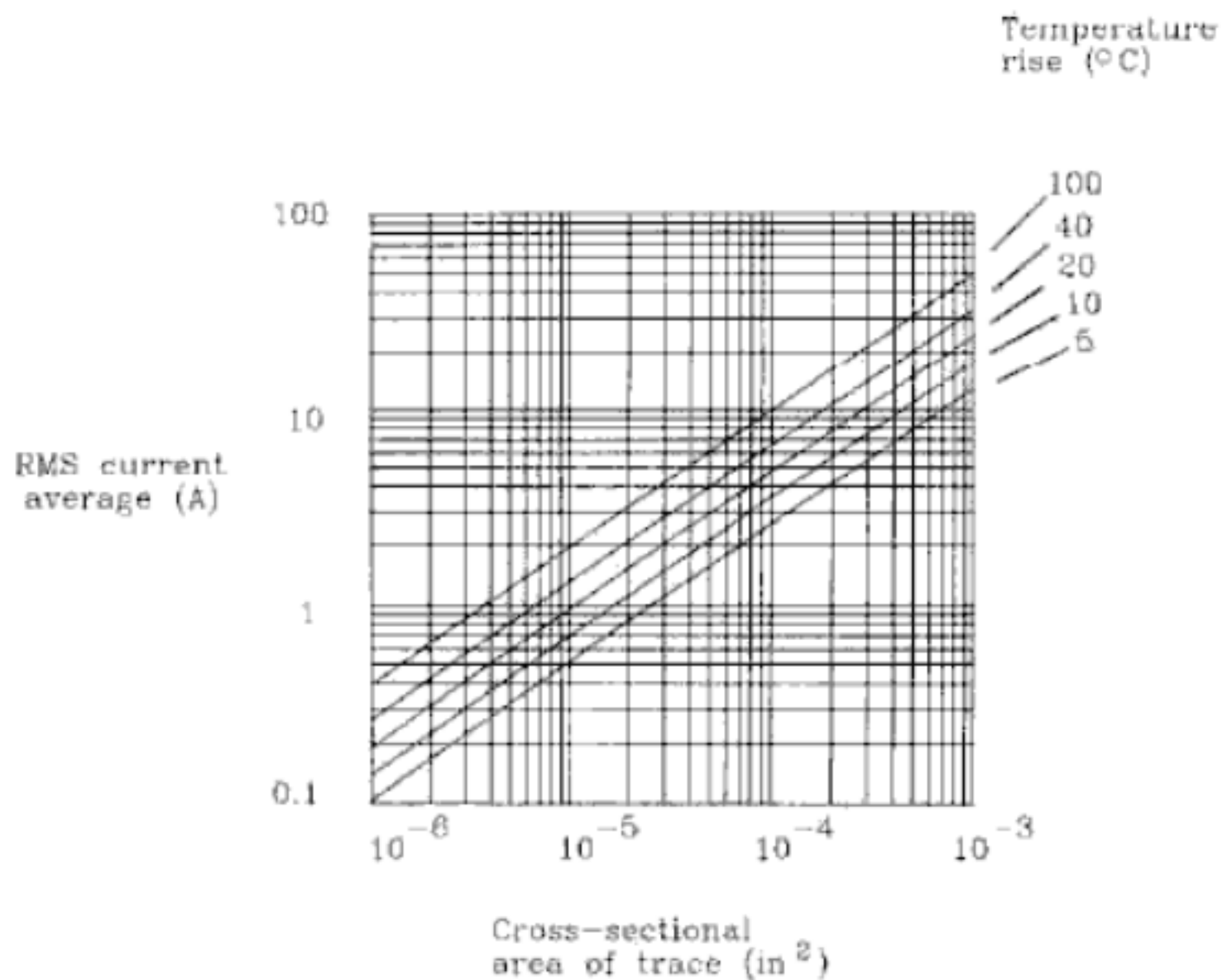


Figure 5.23 Current-carrying capacity of copper printed circuit traces.

TABLE 5.1 MINIMUM LINE WIDTHS ATTAINABLE WITH VARIOUS PRODUCTION PROCESSES

Process	Minimum line width (in.)
Gold screened onto thick film substrate	0.010
Etched copper on epoxy board with plating	0.004
Etched copper on epoxy board with no plating	0.003
Gold evaporated onto thin film substrate and then etched	0.001

除了大的电源分配总线电源是没有限制的，在薄胶片技术中，它有很小的路径交叉平面，它会有更宽的应用，加热极限会有更普遍的应用。

从制造过程中会在路径得到另一个低边，表 5.1 列出不同产品过程中最小的路径宽度。采取任何措施都会使生产降低，成本上升，就象要达到最小路径宽度一样，这个原因阻止了许多设计者使用最小线径尺寸。

其它原因趋向于增加线径宽度，单纯地控制蚀刻会引起线径宽度的变化，在低的线径宽度上，线径宽度的百分数变化，它引起阻抗的变化可能是不能接收的，精确的阻抗的控制可能会使线径的宽度大于最小可达到的宽度。



使用在附录 C 中的公式会发现线径宽度和充足的高度大大超出宽度的变化和层的高度，阻抗的分布在设计之内，记住你必须预留一部分阻抗以满足层数介电常数的变化。

考虑到功耗，成本和可忍受的阻抗常常驱使选择一定的线宽，给定宽度，阻抗就会决定层的高度。

使用串扰公式（看 5.7.5 和公式 5.2），设计相邻线径间最小的空间，这个数叫做间距，线之间的距离叫做线的分离距离。总的分离距离和线径宽度等于间距。

本节要点：

- y 线的密度越高，成本越大。
- y 印制板的成本和层数、表面积成正比。
- y 先设计电源和地平面。
- y 由于机械的原因，在设计中对称地使用电源和地平面。
- y 更小更近的线径产生更多的串扰。

5.8.4 路径密度对比层数 (Routing Density Versus Number of Routing Layers)

对于更多的层数，我们可以将路径拉的更远一些，这使路径简单一些并降低了串扰问题，多层印制板的成本正比于层数和表面积的乘积，会有更多的成本。对于少的层数，我们必须使用窄的路径，这可能会有额外的成本，而且我们会有增加串扰的风险。

估计最小层数的成本是一项经验和估计工作，中心工作是估计在一定的线路板上估计线的间距数 N ，再结合层数 M ，我们就可以知道板的成本和串扰的模式。间距数可以从线的密度得到，一个有用的线径密度模式叫 RENT 规则，RENT 注意到当一个大的板子分成四部分，显示出一半路径在部分之间走线，一半在部分之内走线，如果更细分得到同样的效果，如果在部分之间走线，我们假定线的平均长度等于部分之间的空间，我们得到平均线的长度等于 $3/8$ 板的边。得到线的平均长度和线的数目，我们可以计算出线占板的表面积的多少而不管间距数，这在公式 5.27 表现出，这表明在固定的层数 M 需求的路径 N 。

当然如果我们有其它的信息，如大的总线或其它结构，我们也应用它，如果没有其它的，我们可以通过 RENT 规则计算出线的空间。

$$P_{avg} = \frac{(XY)^{1/2}}{N} 2.1M \quad [5.27]$$

where N = number of connections (assumed distributed according to Rent's rule)

P_{avg} = average trace pitch, in.

X = board width, in.

Y = board height, in.

M = number of routing layers

例：在一个 8in.*12in. 的板子上有 800 相互交叉的路径，有 4 层，我们大约需要 0.132in. 的线空间，这意味着如果板子被很多 DIP 穿孔覆盖，我们需要在几乎每个焊盘之间引一根线。不要在焊盘之间占据 $1/2$ 空间，在上面的例子中我们应该计划更多的层数或在两个焊盘之间使用双线。

对于穿孔板从式 5.27估计出的平均空间和需求是不同的，从串扰角度考虑是否需要在焊盘之间走双线和三线，从式 5.27估计出我们需要多少有用的线。

内层可能比 DIP 板需要更多的空间，总的过孔数是不同的，但是过孔在设计中是更小的，因为 IC 针不需要接触它们，平均和最小的间距和表面层是相似的。

在内部环氧电路板中针之间路径可达四条轨迹。但这会增加串扰的。

通过增大芯片之间的距离可得到更大的路径空间，但是这增加了更大的表面积，许多设计者趋向于增加层数。

如果串扰有问题，必须保证层的积压路径只是适合于芯片的针之间，完成后马上恢复到原样到达下一个芯片，这需要许多的手工调整，但是确实降低了串扰问题。

好运的话，我们可以得到可以接收串扰的板子而不花费很大的成本。

本节要点：

- y 在过孔之间不要覆盖一半的空间。
- y 其它方法失败后，用 RENT 规则来设计平均线长。

5.8.5 规范的层堆积 (Classic Layer Stacks)

图 5.24 - 5.26 显示出 4、6、10 规范的层堆积。这些层堆积应用在普通的环氧线路板上，在 10 层以下，设计者通常加上地平面来隔离走线层。

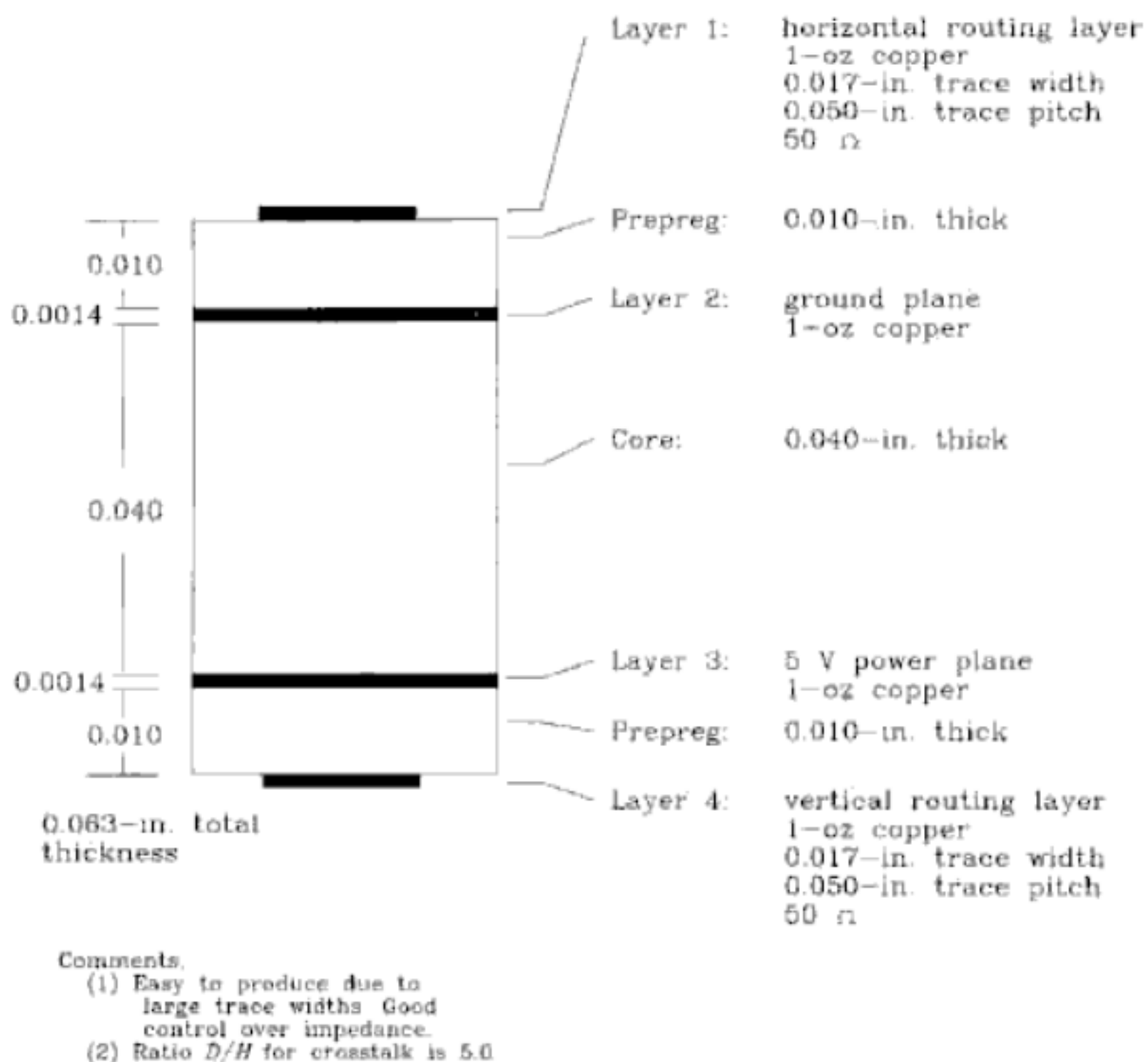


Figure 5.24 Four-layer stack.

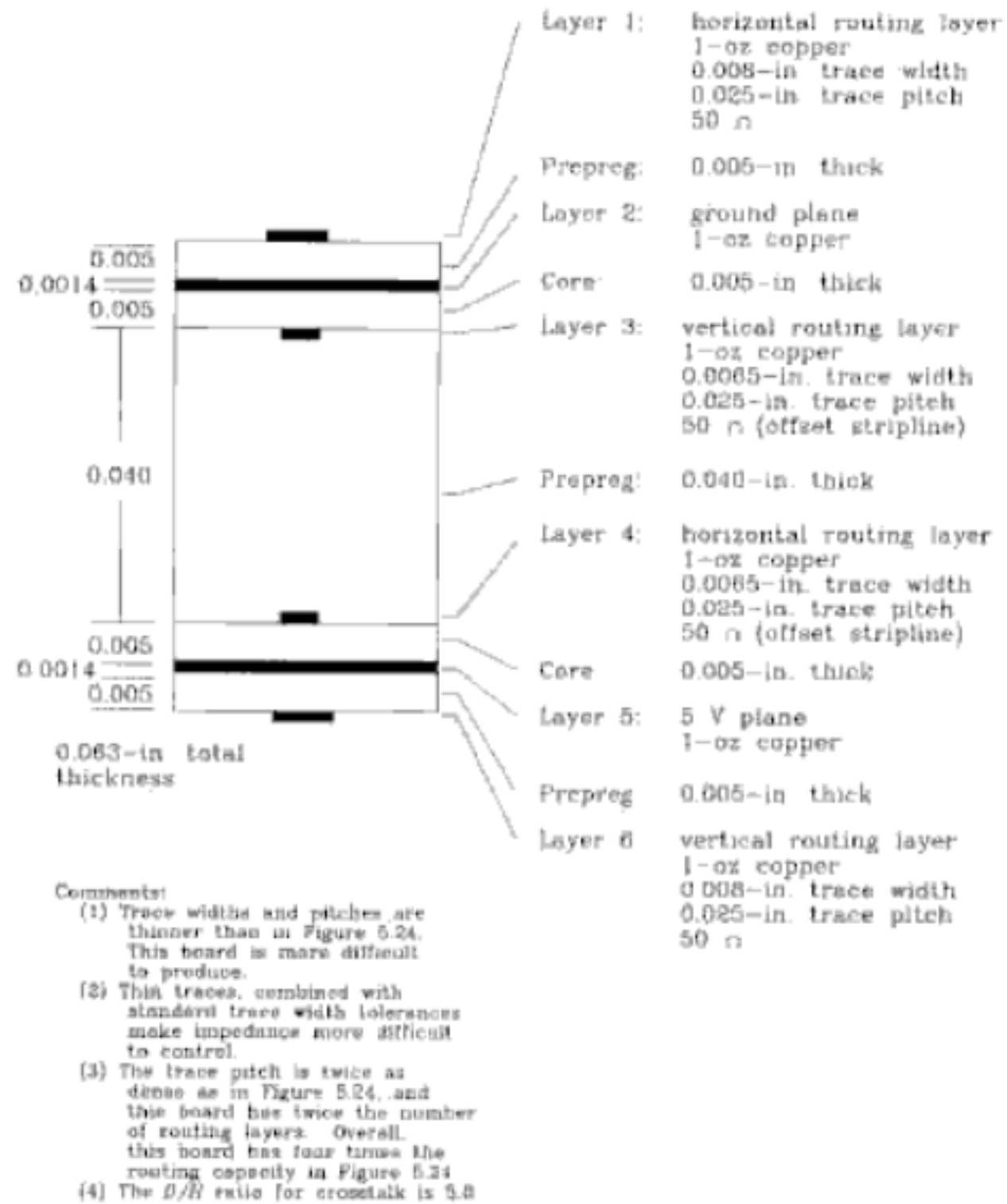


Figure 5.25 Six-layer stack.

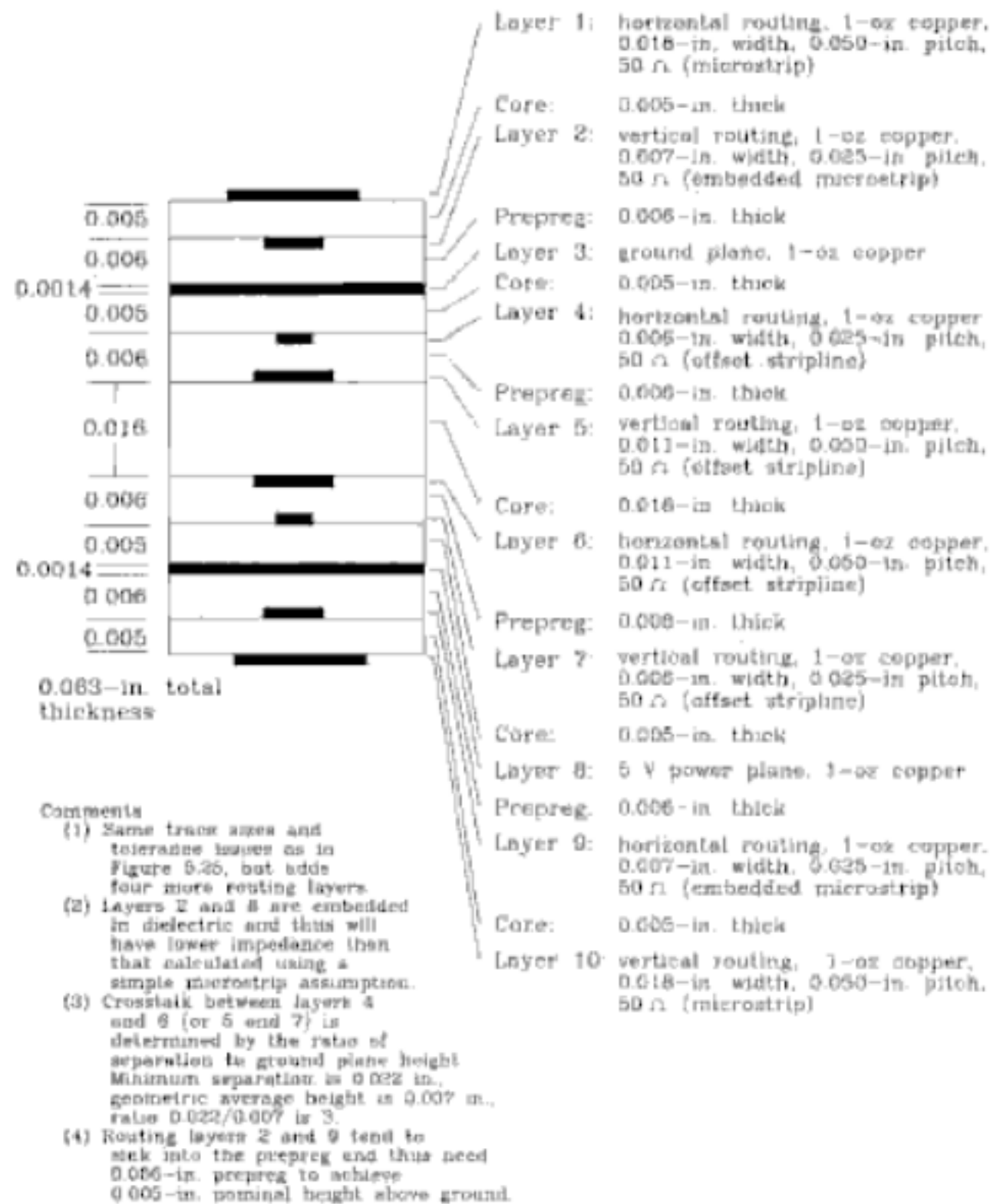


Figure 5.26 Ten-layer stack.

这些层在内嵌码盒的高速计算机产品中用的很多。如果打算通过 FCC , VDE , 等其它电磁辐射的试验, 而不需要用很好焊接的码盒, 这些简单的层堆积是不够的。

在每个图中, 每个水平和垂直路径涉及到在这一层的路径的方位, 在每一层上路径在传统上相互平行。每一层和下面的层成直角, 很少有层和下一层成锐角或钝角。这提高了布线的效率。

在图 5.24 - 5.26 中电源和地平面被标志成粗线, 走线层显示出线的宽度和高度的比例。

在下一层迭层过程中用到核和聚脂片, 以下主要描述在建立线路码的过程中用到的通用过程。如果你需要紧紧控制线径到地的空间你需要知道核和聚脂片层。

建立多层过程开始于一系列在两面迭片上覆铜, 表面层通过蚀刻变成内层, 如果不处理就会变成外层, 这些内层就叫做核, 相对层的距离依赖于原始迭层的厚度。这些核层堆积在一起, 在每层之间放一片预处理和环氧材料, 这些在加热和处理过程中会融化, 厚度由两层之间的距离决定, 预处理切割成硬的环氧层和核层有同样的介质常数, 核和预处理交替进行。



因为预处理是融化过程，所以路径会沉到融层下面，层的距离会因路径沉到融层的大小而改变，这在精确处理中要考虑的，地平面不下沉。

制造过程中有时将核层的一面变成外层，有时会覆上一层锡，有时会覆上固体铜，不蚀刻。

预处理后，就打钻孔和过孔，钻孔经过不同的铜层，焊盘穿过内层，但是在这一点没有电连接。

电镀层同时覆盖内层的孔和外表面，为节约材料和时间，许多制造商留出孔的边缘和外表面路径，处理后外表面比原始的要厚，这相比内层来说，处理后的外表面路径宽度要增加厚度从而引起完成后的路径的不确定宽。

最后蚀刻掉外表面不需要的铜，剩下完成后的板，板变薄了，在两外层覆盖上固体面罩和银面。

本节要点：

- y 核和预处理交替进行。
- y 外层，如果电镀，会比内层在线宽上有更大的宽度变化。
- y 走线层会嵌入预处理融层中，但不会增加总的厚度。
- y 固定地平面的厚度总会增加总的厚度。

5.8.6 高速板的额外的忠告 (Extra Hints for High-speed Boards)

对于甚高速的线路板，将地平面和电源平面直接放在一起，这将最大限度地增加他们之间的耦合容抗，降低电源噪音。

使用足够的外地平面（不是电源平面）来隔离系列的走线层，在地过孔周围用星隔离，将许多地平面连接起来。随着扭曲的信号路径返回的信号电流将通过这些地过孔从一层跳到另一层。

如果我们使用混合的地平面和电源平面来隔离系列的走线层来替代只用地平面，那么在返回电流，他们总是在最近的层经过，在他们在地平面和电源平面之间跳跃时会经过很多旁路电容，都会引起电压的变化，这些电压变化会有效的从电源和地平面中辐射出去，增加我们的辐射噪音问题。

本节要点：

- y 在甚高速线路中，将地和电源层紧紧靠在一起。
- y 使用地平面，而不是电源平面来隔离走线层。