

高速数字电路设计教材

拟制：	<div></div>	日期：	<div>yyyy-mm-dd</div>
审核：	<div></div>	日期：	<div>yyyy-mm-dd</div>
审核：	<div></div>	日期：	<div>yyyy-mm-dd</div>
批准：	<div></div>	日期：	<div>yyyy-mm-dd</div>



华为技术有限公司
版权所有 侵权必究



目 录

第 2 章 逻辑门的高速特性	2
2.1 一种古老数字技术的发展史	3
2.2 功耗	4
2.2.1 静态耗散与动态耗散的对比	5
2.2.2 驱动容性负载时候的动态功耗	5
2.2.3 偏置电流变化导致的动态耗散	6
2.2.4 输入功耗	8
2.2.5 内部耗散	9
2.2.6 驱动电路功耗	10
2.2.6.1 推挽式输出电路的静态功耗	11
2.2.6.2 推挽式输出电路的动态功耗	13
2.2.6.3 射极跟随器驱动电路的静态功耗	15
2.2.6.4 分立匹配下拉	18
2.2.6.5 射极跟随器输出的动态功耗	19
2.2.6.6 TTL 或者 CMOS 集电极开环输出的功耗	19
2.2.6.7 电流源驱动电路功耗	20
2.2.7 输出功耗	22
2.3 速度	23
2.3.1 电压突变的影响 dV/dT	23
2.3.2 电流突变 dI/dt 的影响	24
2.3.3 底线——电压裕值 (Bottom Line---Voltage Margins)	26
2.4 封装	29
2.4.1 引脚电感	29
2.4.1.1 不期望的地线电压——为什么会发生“地反射”	29
2.4.1.2 地弹怎样影响你的电路	30
2.4.1.3 地弹的大小	32
2.4.1.4 地弹大小的估计	33
2.4.1.5 减小地反射的方法	35
2.4.2 引脚电容	35
2.4.3 热传导 - 和	37
2.4.3.1 温阻 - : JUNCTION TO CASE (晶片到封装)	39
2.4.3.2 温阻 - : 封装与环境间的温阻	39
2.4.3.3 400英尺 /分钟的风速有多大?	41



第 2 章 逻辑门的高速特性

在数字设备的设计中，功耗、速度和封装是我们主要考虑的 3 个问题，每位设计者都希望功耗最低、速度最快并且封装最小最便宜，但是实际上，这是不可能的。我们经常是从各种型号规格的逻辑芯片中选择我们需要的，可是这些并不是适合各种场合的各种需要。

当一种明显优于原来产品的新的技术产生的时候，用户还是会提出各方面设计的不同需求，因此所有的逻辑系列产品实际上都是功耗、速度与封装的一种折中产品，当然所有的厂家都在努力的使自己的产品最好。

下面可以看一个叫做金属弹性继电器的比较老的数字技术的发展过程，就可以看到这些不同的要求的折中是如何实现的，金属弹性继电器是在逻辑设备中电子管产生之前的最好的（也是最后的）一代产品。

2.1 一种古老数字技术的发展史

金属弹性继电器是 20 世纪 40 年代产生的，当时用于西方电子的自动电话交换，它的出现代表早期继电器的一个大的质的飞跃。金属弹性继电器的接触点是一个长的金属片的末端，也利用这个金属片自己的弹性来工作。由于他的体积小、可以集成多路而且简单，使得他好用，又便宜，很快替代了传统的有很多部件做成的继电器，金属弹性继电器很快就扫除了其它竞争产品。西方电子利用金属弹性继电器生产的矩阵交换机产生于 1965 年。

金属弹性继电器技术包含的意义不止是继电器设备，他对整个系统的结构都带来了革命。这些新的继电器被封装在一个长方形的盒子里面，这个盒子就包含了所有的矩阵电联接点，金属弹性继电器就这样一个一个并排插在一起组成这些矩阵，节省了很大的空间。

有了标准的继电器封装，厂家就可以做成很多种产品，根据他背面引脚的样式不同用在不同的场合，这些比起原来每生产一个设备都要对各个继电器的弹簧、驱动杆等机械结构进行复杂的调整要方便多了，金属弹性继电器的出现把系统的机械部分和电子部分的设计和制造分开了。他的这种封装也简化了设计，节省了成本。

虽然标准封装节省成本，可是也减少了设计的灵活性。金属弹性继电器的标准封装没有超过 12 路多刀多掷（12PDT），因此用户经常不得不把多个组合封装拆开来用，因为每个单元都要消耗不小的功耗。拆装的效率非常的低。

出于成本的考虑，西方电子的工程师没有选择集成了散热器的继电器，而是在整个电路上面加散热装置，这样一来就限制了每个封装里面继电器的最大功耗，就因为这个限制，再加上标准封装空间的限制，使得西方电子的每个封装里面最多只能装得下两个驱动线圈，最大密度的金属弹性继电器只能做到 5DPT。

金属弹性继电器的工作电压是 48V，一般使用的驱动线圈有两种：750 欧姆 和 2400 欧姆。为什么要两种呢？这是因为 750 欧姆的线圈吸合快，但是功耗大，而 2400 欧姆的线圈则相反。功率的限制间接决定了工作速度和逻辑密度。

所有这些限制因素：速度、封装和功耗仍是现在硬件设计的一些难题，在这几个因素上面我们只能取得一个平衡。

综上，得出以下结论：



(1) 逻辑器件的标准封装节省成本，但是减少了灵活性。

(2) 标准封装限制了器件的门数和管脚数，设计人员在开发时不得不把大系统分解为小单元，可是由于器件间的信号传送会使得速度变慢，因此限制了系统的性能，而且增加了系统的功耗。

(3) 封装结构和器件的散热设计决定了器件的最大允许功耗。器件的散热特性与半导体在封装中的位置无关。散热特性越好的器件一般成本会越高。

(4) 单个逻辑门在不断的缩小使得每个封装中的门数越来越多，可是这样一来，功耗也会增大，器件允许的最大功耗决定了每个封装中的最大门数。

(5) 速度要求和功耗要求是相互限制的，一般速度越快，功耗就会越大，所以器件的允许功耗成了速度提高的瓶颈。

下面将要详细介绍在现代的逻辑系列中速度和功耗间的相互关系。

本节要点：

跟以前的继电器设计一样，功耗和封装对系统的性能影响很大。

2.2 功耗

逻辑器件的实际功耗仅仅与数据手册中的工作电流 I_{CC} 间接相关，厂家提供的器件功耗往往忽略了器件的速度以及大的负载驱动带来的功耗增加，这些影响有时候会导致 I_{CC} 大大超过厂家参数。

下面讨论的是高速逻辑的功耗，可以分解为包括 4 类来讨论：

- 1、输入功率
- 2、内部功耗
- 3、驱动电路功耗
- 4、输出功率

以上每一类功耗又可以再一步分为静态功耗和动态功耗两种，如下图：

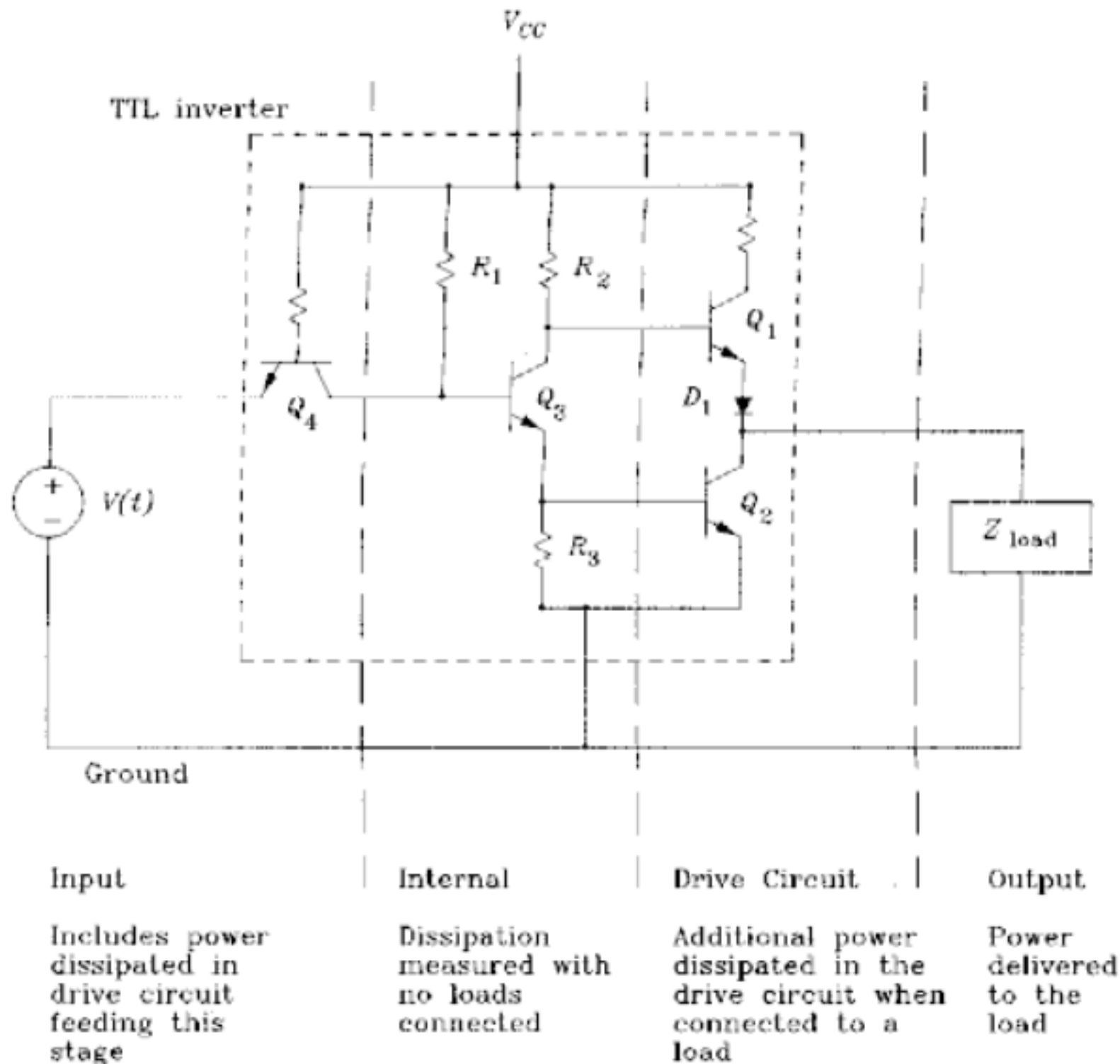


Figure 2.1 Categories of power dissipation in and around a logic device.

图2.1 逻辑器件内外功率耗散分类

2.2.1 静态耗散与动态耗散的对比

静态耗散是指使逻辑电路保持一个逻辑状态时候消耗的功率，每个阻性单元的两端电压 V 和电流 I 直接相乘（ $V \cdot I$ ）得到，所得的结果相加即得到器件功耗，这是没有任何负载时候的器件功耗，我们在手册中经常提到的一般是这个值。

下面的例子中，我们用到的静态功耗一般是指保持逻辑 0 和保持逻辑 1 时候的静态功耗的平均值，如果在实际的情况中某种状态可能出现的几率大一些的话我们可以取加权平均值，或者取最坏值。

2.2.2 驱动容性负载时候的动态功耗

当逻辑状态进行切换的时候，它消耗的功耗会比平时的静态功耗大，如果切换周期一定，计算公式如下：

$$\text{Power} = (\text{cycle frequency})(\text{excess energy used per cycle}) \quad [2.1]$$

决定动态耗散的两个因素是：负载电容大小和偏置电流变化。

图2.2描述了一个容性负载工作的情况：在时间 T_1 的时候，开关 A 关闭，电容充电至 V_{CC} ，电容充电的时候，电流流过驱动电阻 R_{charge} ，有功率消耗；在时间 T_2 的时候，开关 B 关闭，电容通过放电电阻 $R_{discharge}$ 放电，电流流过驱动电阻 $R_{discharge}$ ，也有功率消耗，周期反复时，这两个功耗和等于：

$$\text{Energy per cycle} = CV_{CC}^2 \quad [2.2]$$

where C = capacitance, F

V_{CC} = charging voltage, V

如果以频率 F 重复，驱动电路上的对电容的充放电过程消耗的能量是：

$$\text{Power} = FCV_{CC}^2 \quad [2.3]$$

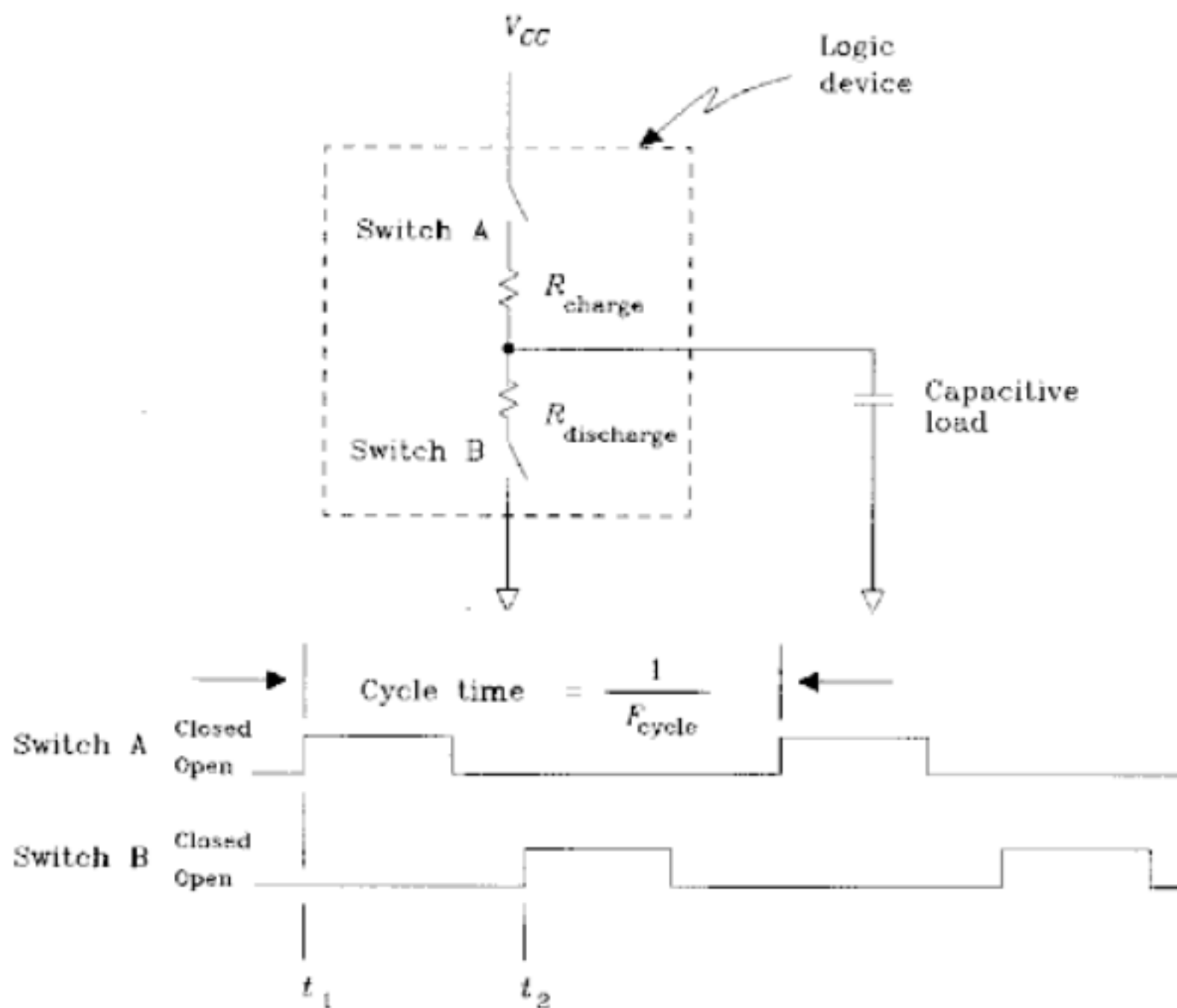


Figure 2.2 Active power dissipated when driving a capacitive load.

图2.2 驱动容性负载时的动态耗散

实际上，所有功率并没有消耗在电容上面，只是消耗在了充放电的电阻上面。公式 2.3 说明了在 CMOS 以及 TTL 电路中动态耗散计算方法。

2.2.3 偏置电流变化导致的动态耗散

在图 2.1 中的 TTL 高低电平转换是通过控制 Q1 Q2 状态决定的，这样的电路称作为推挽式电路，TTL 和 CMOS 都有推挽式电路。

图2.1中的二极管 D1保证了在 Q2 Q3全饱和时嵌位输出为低， Q1将完全截止，防止 Q1 Q2同时导通刹那的大电流产生，一般的逻辑系列都有这样的推挽式电路来保证状态高低状态切换时候的同时导通。

实验证明 TTL 电路中高低电平切换时， Q1 Q2 会瞬间同时导通，瞬间电源到地导通的电流消耗能量，在 Q1 Q2 中产生热量。

在肖特基 TTL 产生之前， TTL 的电平状态由 LO到HI 时， Q2会有一段时间维持饱和状态，通过R3拉电流，直到 Q1导通之后。基极保留电荷的存在直接导致了交越电流的产生。现在的肖特基电路消除了 Q2的饱和态，因此使得交越电流大大减小。

图2.3中的 CMOS 电路的 Q1 Q2 有可能会产生交越电流，主要是看两个晶体管的临界门电压 V_{gs} 。精确的 V_{gs} 参数跟厂家的制造工艺有关，因此通过对少数几个 CMOS 管的测量来得出它的普遍参数是不合适的。图 2.4说明了 74HC00 门电路作为输入驱动时候的典型 DC功耗。对于产生交越电流的 CMOS 器件，降低输入的切换速度会因为内部电路反应时间变慢，需要较长的时间来上升到所需电平的缘故，交越电流存在时间会变长。

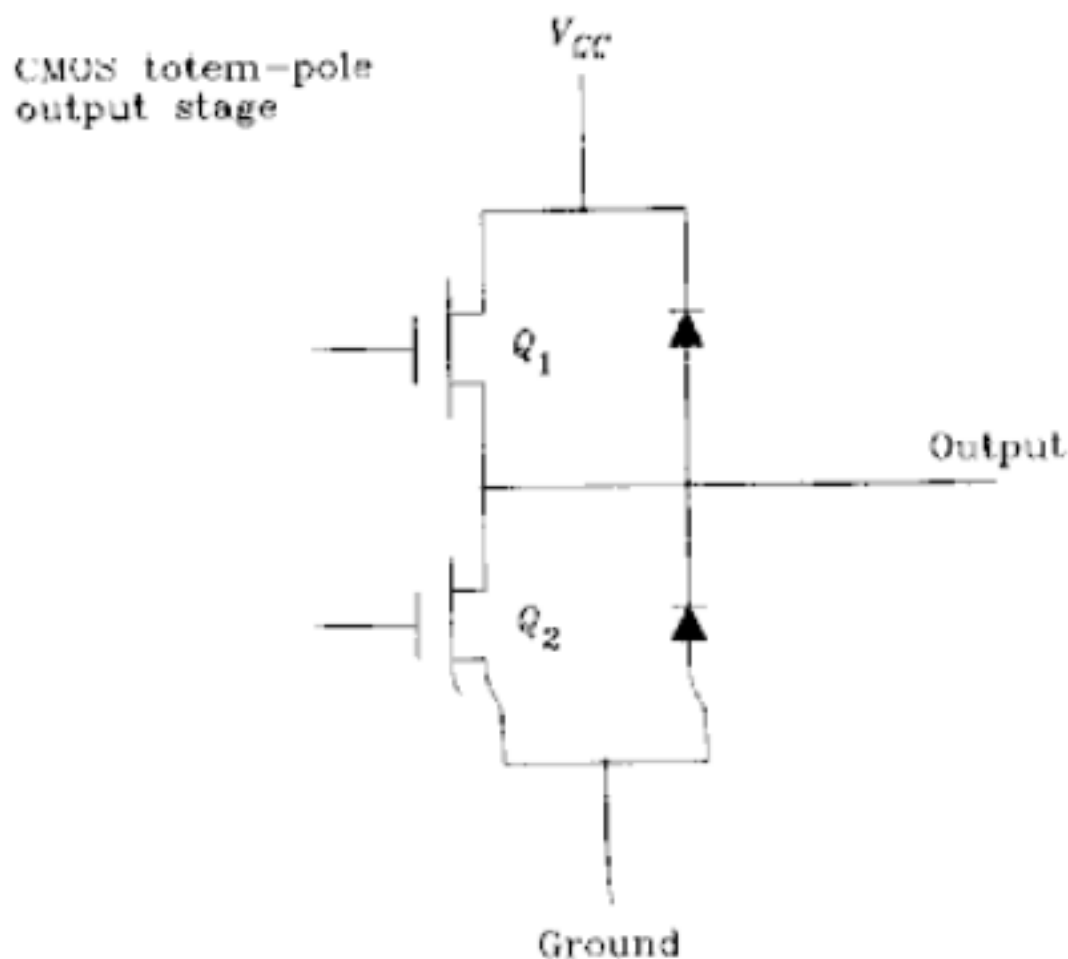


Figure 2.3 CMOS totem-pole output.

图 2.3 COMS 推挽式输出

输入变得很快时，每个周期都有的交越电流会产生一个持续电流，消耗一定的功耗。交越功耗跟速度是成正比的，与电容负载耗散不同的是，交越电流不会随着输入电压的增大而增大。

由图 2.4可以看出， 74HC00的交越电流只有 1mA 左右，与它可以产生的最大驱动电流 10-20mA 比起来，不算太大。

但是对于 TTL 电路，交越电流就比较大。你可以把一个反相器的 INPUT 和 OUTPUT 接起来，这时候就会有很大的交越电流产生，芯片迅速发热。因此 TTL 器件并不适合做线性器件和小信号处理器件比如晶体振荡器等，因为它在线性状态的时候会消耗太大电流。发射极耦合逻辑 (ECL 逻辑) 电路就没有这个问题，它在交越的时候不会产生交越电流，因此它是很好的线性器件。

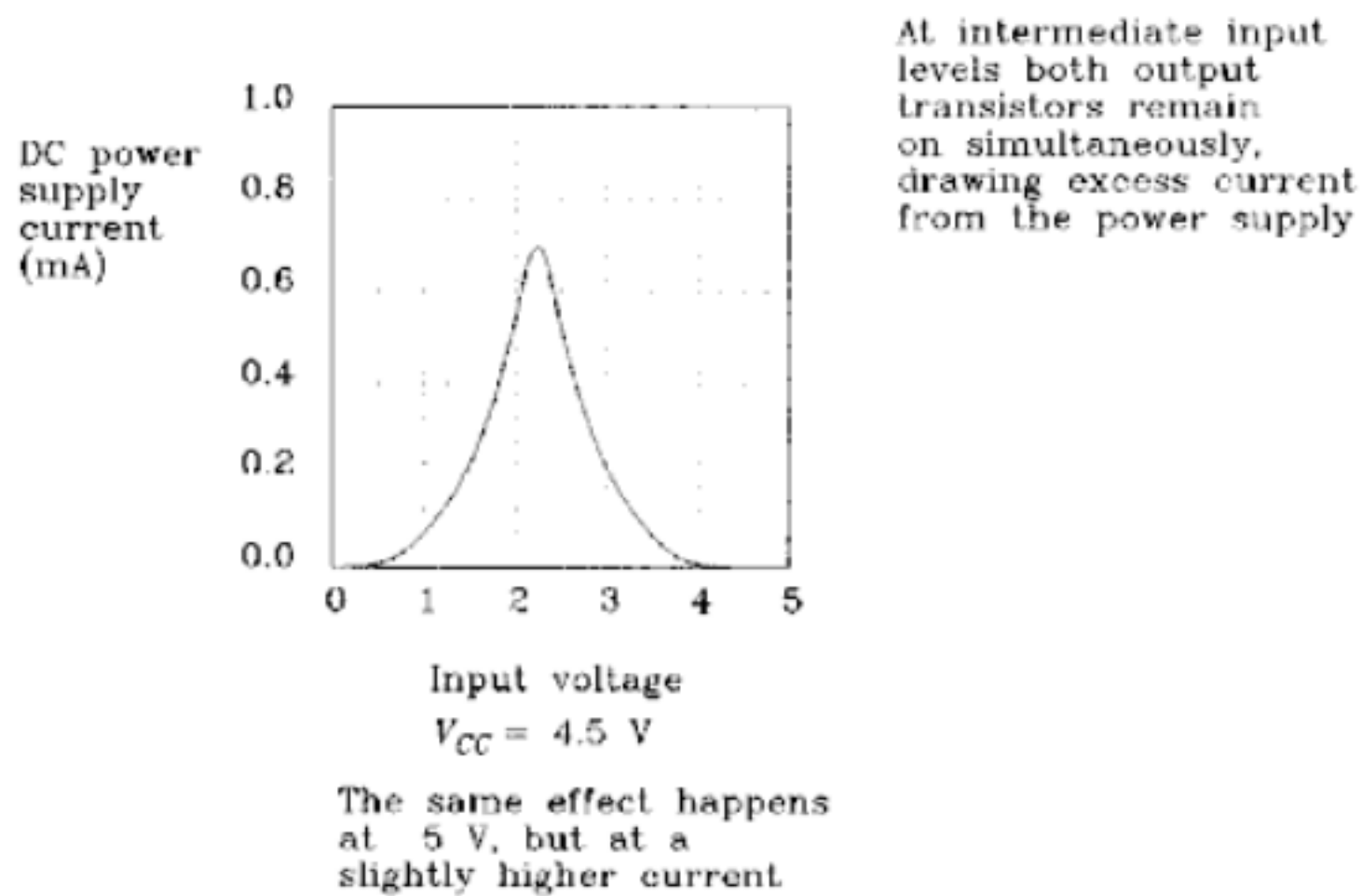


Figure 2.4 DC consumption of Signetics 74HC00-type circuit versus input voltage. (Permission granted by Philips Semiconductors-Signetics.)

图2.4 74HC00 DC 电流消耗与输入电压的关系。

2.2.4 输入功耗

输入功耗是由输出器件来驱动的，由它来激活输入电路。

表2.1对比了 4种系列逻辑器件的静态和动态输入特性，他们分别是：Signetics 的 72HCT CMOS，TI 的 74AS TTL，MOTOROLA 10KH ECL 和 GIGABIT LOGIC 的 10G GaAs。

不论那种器件，静态功耗等于驱动电压和输入电流的乘积，它是受驱动逻辑内部的功耗与驱动逻辑功耗之和（此句的意思如何理解？）。

计算动态电流的时候，我们把输入电容，典型的供电电压抖动和工作频率代入公式 2.3，这可以计算任何同样输入的驱动电路耗散。

这些输入耗散的数值相对来说是比较低的，只有在网络需要驱动异常多的负载或者系统设计中必须考虑极低功耗时，这个值才有意义。

TABLE 2.1 INPUT CHARACTERISTICS

	74HCT00	74AS00	10H101	10G001
$I_{in HI} \text{ (mA)}$	0	+0.020	+0.425	+0.400
$I_{in LO} \text{ (mA)}$	0	-0.500	+0.0005	-0.100
$P_{quiescent} \text{ (mW)}$	0	1.3	1.1	1.3
$C_{in} \text{ (pF)}$	3.5	3	3	1.5
$\Delta V_{in} \text{ (V)}$	5.0	3.7	1.0	1.5
$P_{active} \text{ (mW)}$				
$F = 1 \text{ MHz}$	0.09	0.04	0.003	0.003
$F = 10 \text{ MHz}$	0.9	0.4	0.03	0.03
$F = 100 \text{ MHz}$			0.3	0.3
$F = 1000 \text{ MHz}$				3.0

2.2.5 内部耗散

内部耗散是指偏置电流和内部逻辑翻转所耗的功率，同样包括静态内部耗散和动态内部耗散。

静态内部耗散是指内有负载驱动并且输入取随机状态时的功耗，取输入的所有状态所耗功率的平均值。

动态内部耗散常数 K_{active} 是在输出悬空，预设输入频率为 F 时测量得到的。假设测得功耗为 P_{total} ，计算公式如下：

$$K_{\text{active}} = \frac{P_{\text{total}} - P_{\text{quiescent}}}{F} \quad [2.4]$$

这个常数告诉了我们工作频率每增加 1Hz 时动态功耗的增量，有了这个参数我们可以估计在各种工作频率 F 时的器件总功耗。

$$P_{\text{total}} = P_{\text{quiescent}} + F \cdot K_{\text{active}} \quad [2.5]$$

公式 2.5 计算了逻辑里面每个周期所消耗的动态耗散总和，但没有考虑带动负载时的功耗（因为输出没有接负载）。

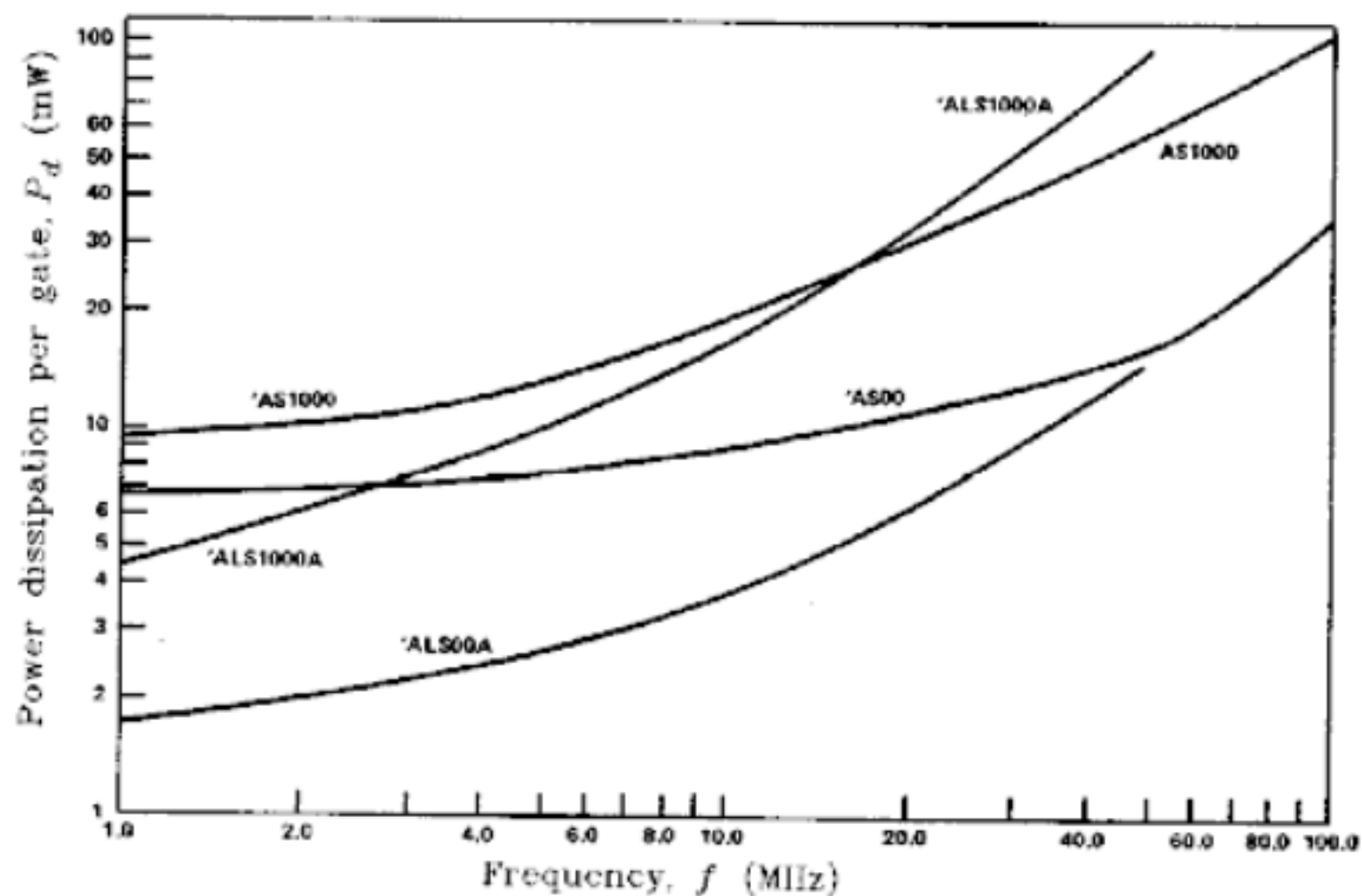


Figure 2.5 Internal power dissipation per gate versus frequency. (Reprinted by permission of Texas Instruments.)

图 2.5 单门内部耗散与工作频率对比

CMOS 器件的内部耗散与频率的关系曲线在很大的范围内都是线性的，而且一般值都很小。TTL 的曲线也是一样的，但是由于静态耗散太大的缘故，只有在操作频率很高的时候，线性的特性看起来才比较明显。由图 2.5 可以看出 TTL 逻辑器件的特性。1M 以下时比较平滑，10M 以上时功耗随频率增加才比较明显。

ECL 和 GaAs 类的器件，翻转的电平范围比 TTL 和 CMOS 器件要小的多，因此它的功耗随频率增加也比较小。在式子 2.3 中的电压摆幅 V 是取平方值的，因此 ECL 的 1V 摆幅消耗的功率比 TTL 的 5V 摆幅消耗的功率就会小很多。公式 2.6-2.8 显示了它们之间的差别会有多大：

$$P_{\text{active ECL}} = FC(\Delta V_{\text{ECL}})^2 = FC(1.0)^2 \quad [2.6]$$

$$P_{\text{active TTL}} = FC(\Delta V_{\text{TTL}})^2 = FC(5.0)^2 \quad [2.7]$$

where F = cycle rate, Hz

C = capacitance, F

ΔV_{ECL} = ECL switching voltage, V

ΔV_{TTL} = TTL switching voltage, V

ECL 的动态功耗和 TTL 的动态功耗比值是：

$$\frac{P_{\text{active ECL}}}{P_{\text{active TTL}}} = \frac{FC(1.0)^2}{FC(5.0)^2} = \frac{(1.0)^2}{(5.0)^2} = 0.04 \quad [2.8]$$

ECL 和 GaAs 类器件的动态功耗与他们的静态功耗比值，也比 TTL 或者 CMOS 小得多。

有些 CMOS 器件的工作电压范围很宽，这类数据手册称呼此类器件的内部功耗为等价电容 C_{PD} ，此时 CMOS 的内部功耗可由下式计算出来：

$$\text{CMOS internal dissipation} = C_{PD}V^2F \quad [2.9]$$

where C_{PD} = equivalent power dissipation capacitance, F

V = switching voltage, V

F = switching frequency, H

上面的这个式子把影响内部功耗的两方面因素都考虑进来了：内部容值功耗和交越功耗，尽管交越电流的影响并非与电压的平方成正比。

2.2.6 驱动电路功耗

逻辑器件的功率消耗主要部分是在输出驱动部分。驱动电路功耗的大小由输出配置决定：逻辑电平、输出负载、工作频率等。我们这里讨论 4 种常用的输出电路：

- A、推挽式驱动
- B、射极跟随器
- C、集电极开路
- D、电流源

考虑到这些输出电路的特性对后面我们讨论传输线的特性非常重要，这里我们将对他们做仔细的分析。

2.2.6.1 推挽式输出电路的静态功耗

当推挽式输出电路完全翻转后，它的静态功耗就等于它的拉电流（或者灌电流）乘以驱动晶体管上的剩余电压。可以计算得到 I_{LO} 和 I_{HI} 两个值，及它们的平均值。

从图 2.6 中电路中的可以看出理想的 TTL 驱动器的 I_{LO} 和 I_{HI} 两种状态的功耗，标准 TTL 的低电平是 Q_2 的饱和压降 0.3V，肖特基电路稍高一些，约 0.4V。HI（高电平）时，输出压降（ $V_{CC} - V_{HI}$ ）是由 Q_1 的基极压降 V_{BE} 和前向偏置二极管 D_1 （上面压降约为 1.4V）共同决定的。由于 Q_1 的基极电压不会比集电极高，因此它不会饱和。肖特基 TTL 器件驱动电路的平均静态功耗大约是：

$$P_{quies} = \frac{0.4I_{sink} + 1.0I_{source}}{2} \quad [2.10]$$

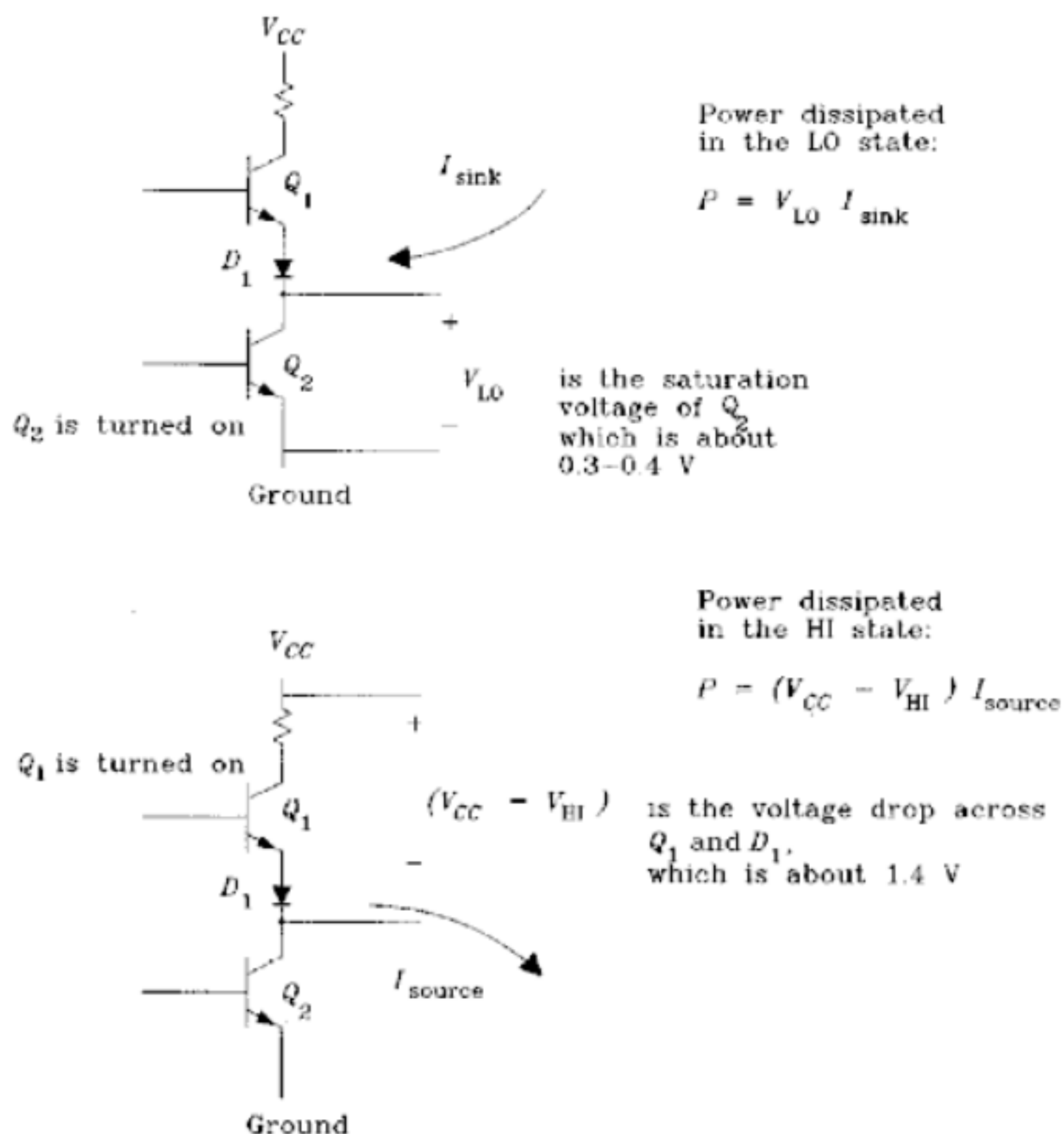


Figure 2.6 Quiescent power dissipated in a TTL totem-pole output circuit.

图 2.6 TTL 推挽式输出电路的静态功耗

CMOS 驱动器类似于如图 2.7 的电路，CMOS 手册上面通过计算输出电压除以输出电流，我们可以得到 R_A 和 R_B 两个参数的基本值，例子 2.1 将做进一步描述。

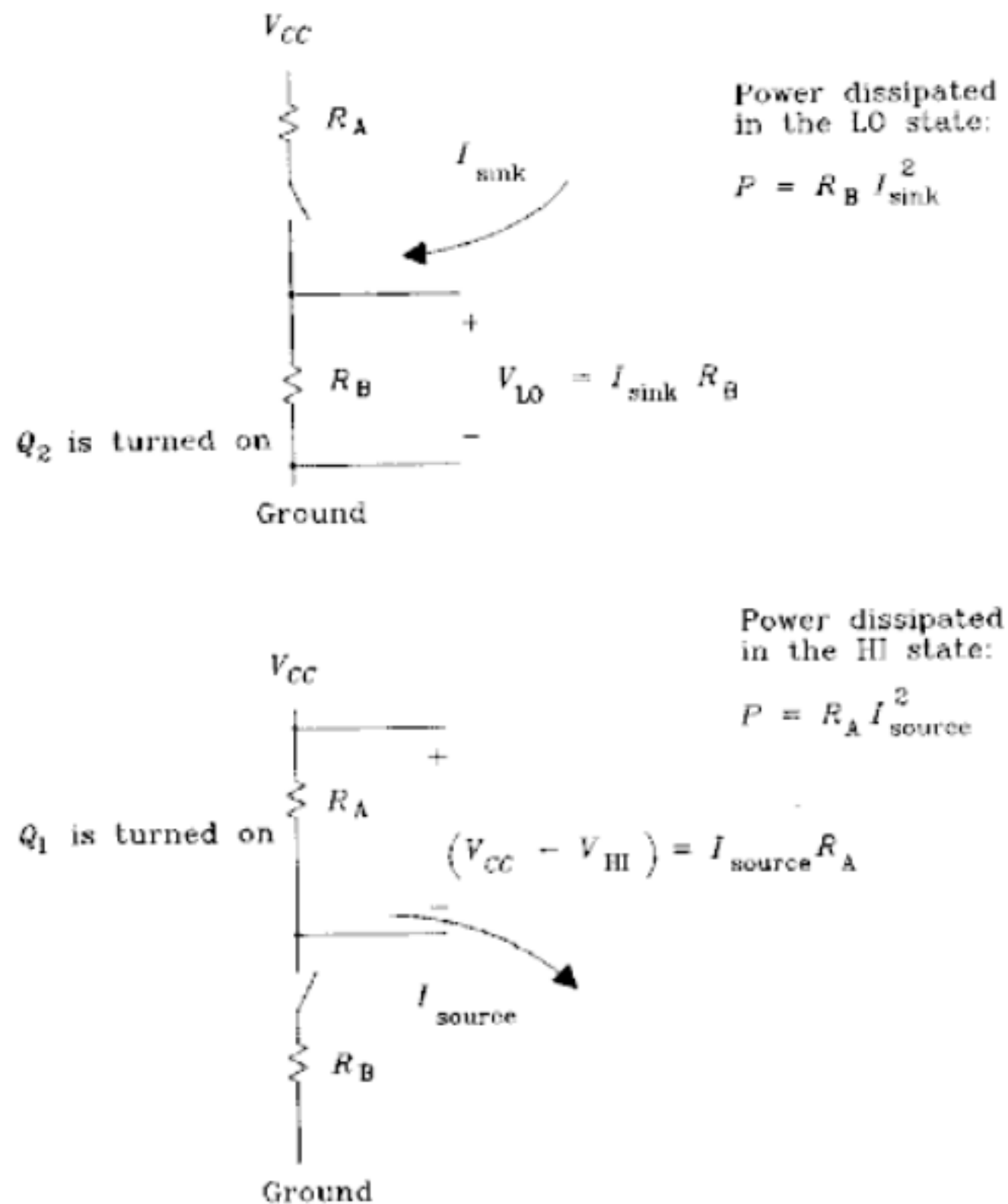


Figure 2.7 Quiescent power dissipated in a CMOS totem-pole output circuit.

图 2.7 CMOS 推挽式驱动电路的静态功耗

例子 2.1：CMOS 驱动器输出电阻的计算

Signetics 的 HCT 系列器件的输出驱动电路在 4.5V 供电的时候的电参数如下（4.5V 只是一个大概值，一般电路的供电值都会比 5V 略小）：

$V_{OL} (I_0 = 4.0 \text{ mA})$	
Typical at 25°C	0.15
Max. -40 to +85°C	0.33
$V_{OH} (I_0 = -4.0 \text{ mA})$	
Typical at 25°C	4.32
Min. -40 to +85°C	3.84

低电平的压降是 0.15V-0.33V，电流是 4mA，因此低电平输出电阻是：

$$R_{\text{low state typ}} = 0.15 / 0.004 = 37 \Omega \quad [2.11]$$

$$R_{\text{low state max}} = 0.33 / 0.004 = 83 \Omega \quad [2.12]$$

高电平相对供电 4.5V 的压降是 0.18V-0.66V，电流是 4mA，因此 低高电平输出电阻是：

$$R_{\text{high state typ}} = 0.18 / 0.004 = 45 \Omega \quad [2.13]$$

$$R_{\text{high state max}} = 0.66 / 0.004 = 165 \Omega \quad [2.14]$$

随着供电电压的变化，CMOS 的输出电阻也会随着变动，HC（不是 HCT）器件的供电范围是 2V-6V，其输出电阻随供电电压的增大而减小，同时期翻转也随着变快，因此电压越高，HC 逻辑翻转得越快。

CMOS 驱动电路的静态功耗大约是：

$$P_{\text{quies}} = \frac{R_B I_{\text{sink}}^2 + R_A I_{\text{source}}^2}{2} \quad [2.15]$$

请注意：在式子里电流项是要取平方的。

2.2.6.2 推挽式输出电路的动态功耗

一般我们设计电路时，会仅仅根据所带动器件的输入直流电流来计算一般推挽式驱动电路的最大扇出驱动门数，这样的一种计算对于 CMOS 电路来说不是很适合，因为对于 CMOS 总线，理论上来说它的驱动负载是可以很多的，但实际上总线负载太大时，会带来两个问题：上升响应时间变慢，驱动功耗过大。

例子 2.2 将说明 ~~随着驱动负载增多时~~——总线负载比较大时，CMOS 驱动电路的上升沿以及功耗的计算。

例子 2.2：CMOS 总线的性能

如图 2.8 所示，我们在一个 CPU 系统的设计中，20 个 CPU 的共享并行总线，都挂在存储芯片上面，CPU 通过这些 8 位总线来访问 RAM。

总线采用的是 10 英寸长的 50 欧的传输线，从图 2.8 可以看出线路的传输延时比 74HCT640 的上升时间要小的多，因此每一跟线都没有加终端匹配。

我们当然是希望 DC 扇出参数下面可以轻易的驱动 20 个门。假设传输延时是 9ns，我们的总线速率是 33Hz（30ns）。

通过计算每一跟线的负载电容，跟每个三态门的输出电阻进行比较，然后计算出总线的 RC 上升时间，最后计算出每个输出内部的功率消耗，可以检查出的设计是否合理。

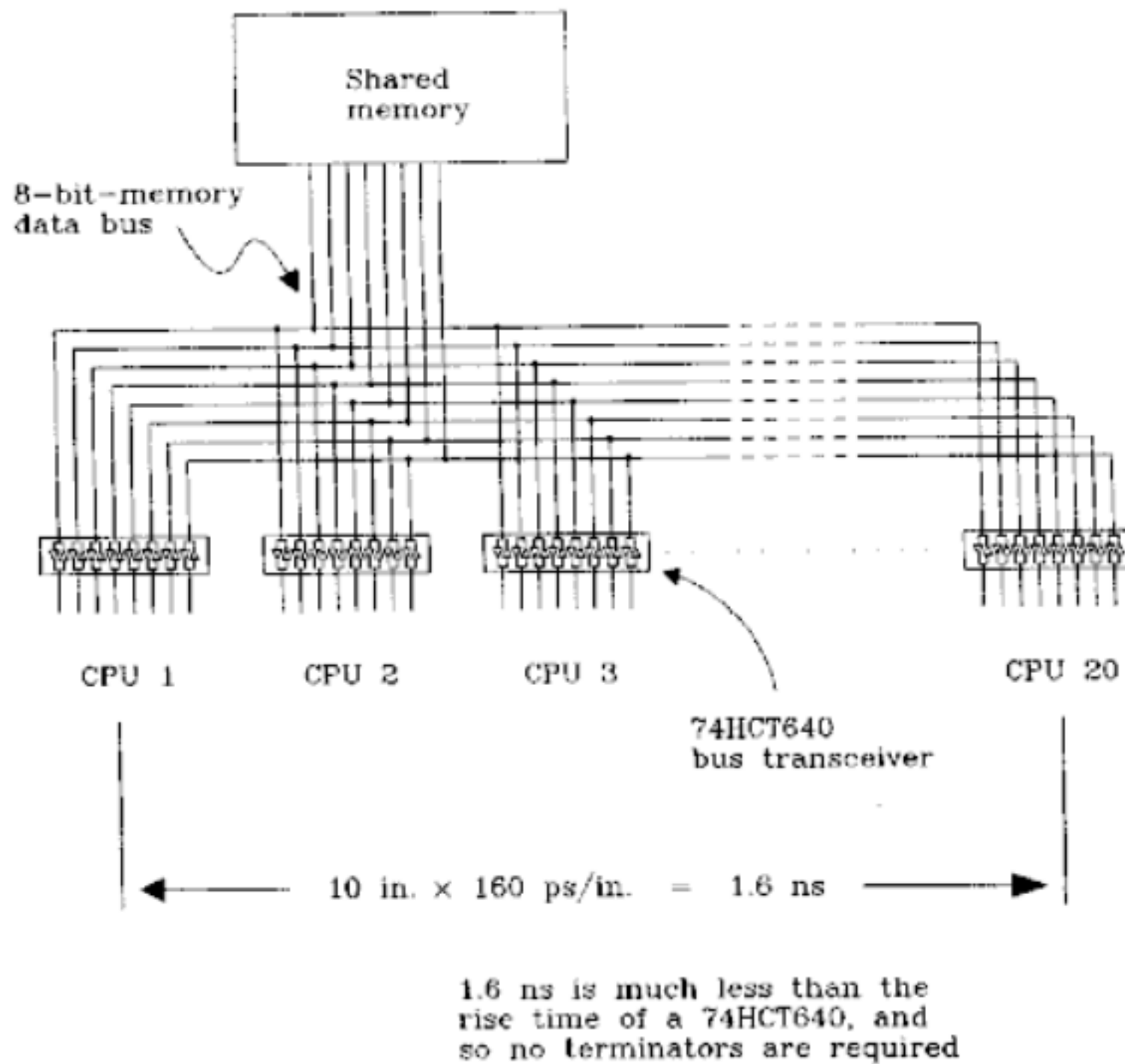


Figure 2.8 Shared-memory bus.

图2.8 存储器共享总线

负载电容：每个门电路在关闭状态的时候，仍然会带有负载电容的，一般厂家手册把这个 I/O 负载电容值定为 10pF。我们的电路有 20个负载，也就相当于 200pF的容值，再加上线路容值 2pF/英寸，最后可以得到总负载电容值：

$$\begin{aligned} C_{\text{load}} &= (10 \text{ pF/driver})(20 \text{ drivers}) + (2 \text{ pF/in.})(10 \text{ in.}) \\ &= 220 \text{ pF} \end{aligned} \quad [2.16]$$

74HCT640 的输出电阻：

《Signetics 高速 CMOS 数据手册》列出的参数如下：

$$V_{CC}=4.5\text{V}$$

$$V_{OH}=3.84\text{V}$$

$$I_{\text{out}}=6.0\text{mA}$$

HCT 总线驱动，高电平时的输出电阻为：

$$\frac{V_{CC} - V_{OH}}{I_{\text{out}}} = 110 \Omega \quad [2.17]$$

RC上升时间：

当输出驱动由低到高时，充电时间大致等于输出电阻乘以输出电容。

$$T_{RC} = (110 \Omega)(220 \text{ pF}) = 24 \text{ ns} \quad [2.18]$$

T_{RC} 的值是指输出从低升高到高电平的 63 %时所需要的时间，要上升到 90 %则需要两倍多时间。对于简单的 RC电路 10 - 90%上升时间是 T_{RC} 的2.2倍：

$$T_{10-90} = 2.2T_{RC} = 53 \text{ ns} \quad [2.19]$$

令我们非常失望，我们认为延时最大只需要 9ns时间就可以，实际上却需要 53ns，这样的话如果我们要跑到 33Hz，那么数据信号将来不及达到相应电平。我们只能把频率降到 16MHz。

每一个驱动器的功耗：

$V_{CC}=5.5V$ （最大供电电压）

$C=220\text{pF}$ （负载电容）

$F_{\text{clock}}=16\text{Hz}$ （把时钟频率降低了）

$F_{\text{data}}=8\text{MHz}$ （最坏情况数据速率，是时钟频率的一半）

用公式 2.3可以得到每个驱动器的功耗：

$$P_{\text{driver}} = (8.0 \times 10^6)(220 \times 10^{-12})(5.5)^2 = 0.053 \text{ W} \quad [2.20]$$

每个器件包含 8个门电路，因此，功耗乘 8：

$$P_{\text{total}} = 8(0.053) = 0.424 \text{ W} \quad [2.21]$$

在2.43节我们会知道这个功耗对于一个 20PIN 的塑封器件来说是很大了。这个总线设计不太适用，因为他的速度太慢，而功耗太大，他的速率必须降低在 16MHz 以下使用。

2.2.6.3 射极跟随器驱动电路的静态功耗

图2.9显示了一个 ECL 或者 GaAs射极跟随器驱动电路，这种电路不论高低电平都是输出电流的。

10KH 和 10G系列器件的不论高和低电平都是差不多的，不同的 ECL 和 GaAs射极跟随器系列在温度特性上只会有一点点不同。这些系列供电电压是 - 5.2V。高电平时是 -0.9V，低电平时是 -1.7V。

双射极耦合逻辑一般需要一个下拉电阻下拉到 -5.2V 或者中间电平 -2.0V，两种情况我们都要做讨论。

当被一个戴维南等效电阻 R 下拉到 V_T 时，静态功耗为：

$$P_{\text{quies}} = \frac{1}{2} \frac{(V_{CC} - V_{HI})(V_{HI} - V_T) + (V_{CC} - V_{LO})(V_{LO} - V_T)}{R} \quad [2.22]$$

如果 ECL 的供电电源是 $-5.2V$ ，下拉电阻也是拉到 $-5.2V$ ，把值代入上式计算得：

$V_{CC}=0$ （正供电电压）

$V_{HI}=-0.9$ （名义逻辑高电平）

$V_{LO}=-1.7$ （名义逻辑低电平）

$V_T=-5.2$ （下拉电平）

$P_{\text{静态功耗}} = 4.91/R$ [2.23]

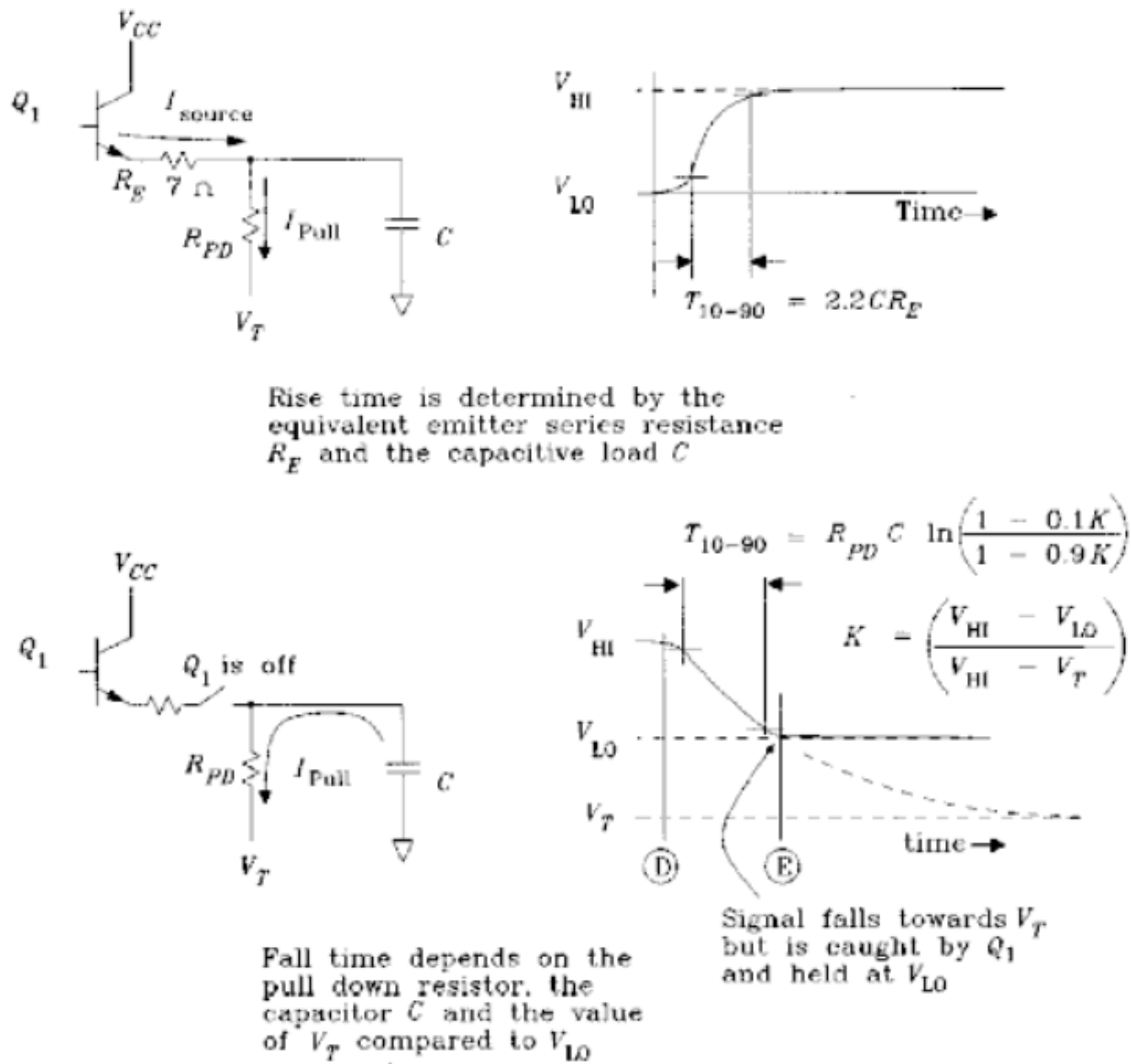


Figure 2.9 Rise and fall times of an emitter follower circuit.

图2.9 射极跟随器的上升和下降时间

如果同样的电路下拉到的电平是 $-2.0V$ 的话，代入公式 2.22得：

$V_{CC}=0$ （正供电电压）

$V_{HI}=-0.9$ （名义逻辑高电平）

$V_{LO}=-1.7$ （名义逻辑低电平）

$V_T=-2.0$ （下拉电平）

$P_{\text{静态功耗}} = 0.75/R$ [2.24]

由上述式子可以看出来，对于同样的 R ，下拉到 $-2.0V$ 消耗的功耗小些，这是因为对于 $-2.0V$ ，下拉电阻的电流要小些，电流小自然功耗就小，相应的，高电平到低电平翻转的速度也变慢。

对于射极跟随器，上升时间是跟下拉电流无关的。如图 2.9 10KH ECL 逻辑 Q1 发射极的等价电阻 R_E 大约是 7Ω 。给负载电容 C 充电时输出电流远大于下拉电流，因此充电时间参数为：

$$T_{RC} = R_E C \quad [2.25]$$

T_{RC} 的值是指输出从低升高到高电平的 63% 时所需要的时间，要上升到 90% 则需要两倍多时间。对于简单的 RC 回路 10 - 90% 上升时间有一个算式：

$$T_{10-90} = 2.2 T_{RC} = 2.2 R_E C \quad [2.26]$$

公式 2.26 的时间参数通常比 Q1 的开启时间小，因此我们的输出上升时间一般取值 Q1 的开启时间。

在下降沿，晶体管 Q1 关断，发射极没有电流通过，只有下拉电流对负载电容放电。这就是功耗和上升时间与电路的关系：下降时间直接取决于 C ，功耗直接取决于放电电流。不管我们接的下拉是 $-2.0V$ 还是 $-5.2V$ ，我们都要大电流使电容快速放电。

图 2.9 示意了放电波形，在 D 时刻，Q1 关断，输出以放电参数 $R_{PD}C$ 朝 V_t 电压逼近，在 E 时刻，输出降至 V_{LO} ，Q1 重新导通，阻止了继续放电，于是输出就保持在 V_{LO} 。

如果 Q1 完全关断的话，10-90% 下降时间为：

$$T_{10-90} = R_{PD} C \cdot \ln \left(\frac{1 - 0.1K}{1 - 0.9K} \right) \quad [2.27]$$

Where the constant K is equal to

$$K = \frac{V_{HI} - V_{LO}}{V_{HI} - V_T} \quad [2.28]$$

根据公式 2.27，如果时间常数比 Q1 的关断时间小，那么下降时间大约等于 Q1 的关断时间。当 ECL 的供电电压是 $-5.20V$ ，下拉电阻 R_{pd} 下拉到 $-5.20V$ ，公式 2.27 代入数值得到：

$V_{hi} = -0.9$ （名义逻辑高电平）

$V_{lo} = -1.7$ （名义逻辑低电平）

$V_t = -5.20$ （下拉电平）

$K = 0.186$ （常数 K ）

$\ln \left(\frac{1 - 0.1K}{1 - 0.9K} \right) = 0.164$

$$T_{10-90} = 0.164 \cdot R_{pd} \cdot C \quad [2.29]$$

当电路由下拉电阻 R_{pd} 下拉到 $-2.0V$ ，公式 2.27 代入数值得到：

$$V_{hi} = -0.9 \text{ (名义逻辑高电平)}$$

$$V_{lo} = -1.7 \text{ (名义逻辑低电平)}$$

$$V_t = -2.0 \text{ (下拉电平)}$$

$$K = 0.727 \text{ (常数 } K \text{)}$$

$$\ln \left(\frac{1 - 0.1K}{1 - 0.9K} \right) = 0.987$$

$$T_{10-90} = 0.987 \cdot R_{pd} \cdot C \quad [2.30]$$

要获得同样的时间参数，就要是下拉电阻减小，减小了下拉电阻以后，电流也上去了，所以实际上在功耗和速度上面对 $-2.0V$ 和 $-5.20V$ 来说没什么差别，只是电阻值取得不同罢了。

$-5.20V$ 下拉的优点在于不需要不同的供电； $-2.0V$ 下拉的优点在于它可以作为传输线路终端匹配，使电路工作更可靠。ECL 逻辑的 $-2.0V$ 下拉的值一般取 50Ω 到 100Ω ，基本上在传输线的实际阻抗范围内。 $-5.20V$ 的下拉值一般取 330Ω 到 680Ω ，基本上是 6 倍。这么大的阻值与传输线的实际阻抗不匹配。

不论什么下拉方法，都是电阻越小，速度越快，但是功耗越大，反之，则速度变慢，功耗便小。

2.2.6.4 分立匹配下拉

ECL 电路有时候采用一种匹配方式叫做：分立匹配下拉，如图 2.10 所示。在实际电路中按照实际阻抗和电压需要来计算分立匹配下拉电阻阻值的公式如下：

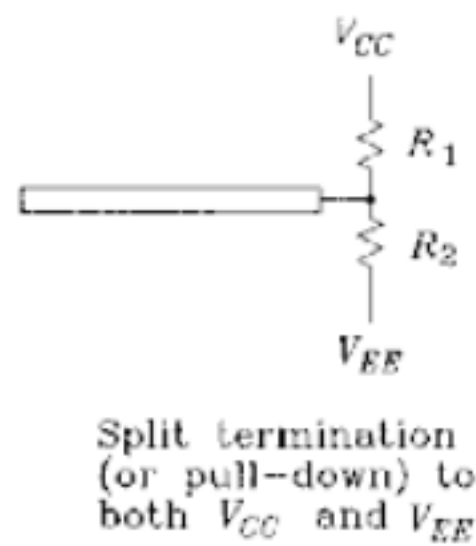
$$\begin{aligned} R_1 &= R_3 \left[\frac{V_{CC} - V_{EE}}{V_T - V_{EE}} \right] \\ R_2 &= R_3 \left[\frac{V_{CC} - V_{EE}}{V_{CC} - V_T} \right] \end{aligned} \quad [2.31]$$

where R_3 = desired composite impedance

V_T = desired effective terminating voltage

R_1 = top resistor (goes to V_{CC})

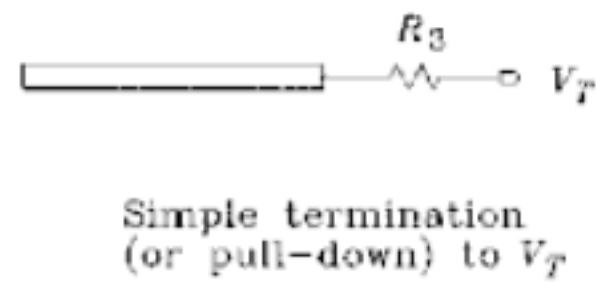
R_2 = bottom resistor (goes to V_{EE})



Find R_1 and R_2
from R_3 and V_T :

$$R_1 = R_3 \left(\frac{V_{CC} - V_{EE}}{V_T - V_{EE}} \right)$$

$$R_2 = R_3 \left(\frac{V_{CC} - V_{EE}}{V_{CC} - V_T} \right)$$



Find R_3 and V_T
from R_1 and R_2 :

$$R_3 = \frac{R_1 R_2}{R_1 + R_2}$$

$$V_T = \frac{R_1 V_{EE} + R_2 V_{CC}}{R_1 + R_2}$$

Figure 2.10 Split termination equivalent circuits.

图2.10 分立匹配下拉等价电路

2.2.6.5 射极跟随器输出的动态功耗

在ECL 系统设计中它的影响非常小。用于下拉电阻的功耗（它要保证对所有负载电容都能快速放电）比用于给容性负载充电的动态功耗要大的多。

对于集电极开环输出电路和电流源输出电路也是一样的，容性虽然有利于改善驱动电路功耗，但也带来了下降时间的问题。

2.2.6.6 TTL或者CMOS集电极开环输出的功耗

在TTL 或者 CMOS 集电极开环输出的功耗的计算中有一个类似 公式 2.22的算式，当用一个戴维南等效电阻 R 上拉到 V_T 时：

$$P_{\text{quies}} = \frac{1}{2} \frac{(V_T - V_{\text{HI}})(V_{\text{HI}} - V_{\text{EE}}) + (V_T - V_{\text{LO}})(V_{\text{LO}} - V_{\text{EE}})}{R} \quad [2.32]$$

where V_T = effective terminating voltage for pull-up resistor

R = effective value of terminating resistor

V_{HI} = HI-level output (often equals V_T)

V_{LO} = LO-level output

V_{EE} = supply voltage to emitter (or source) of output transistor

P_{quies} = power dissipated in output driver

BTL 系列的发送器采用的上拉电阻是接到 +2.0V 电压的。采用的逻辑电平是 +2.0V 和 +1.0V。如图 2.11，在 BTL 的输出管脚之前中串进了一个肖特基二极管 D1。它可以在 Q1 关断时相当于一个 6.5pF 的小电容，BTL 技术最大的优点就是低输出容抗。

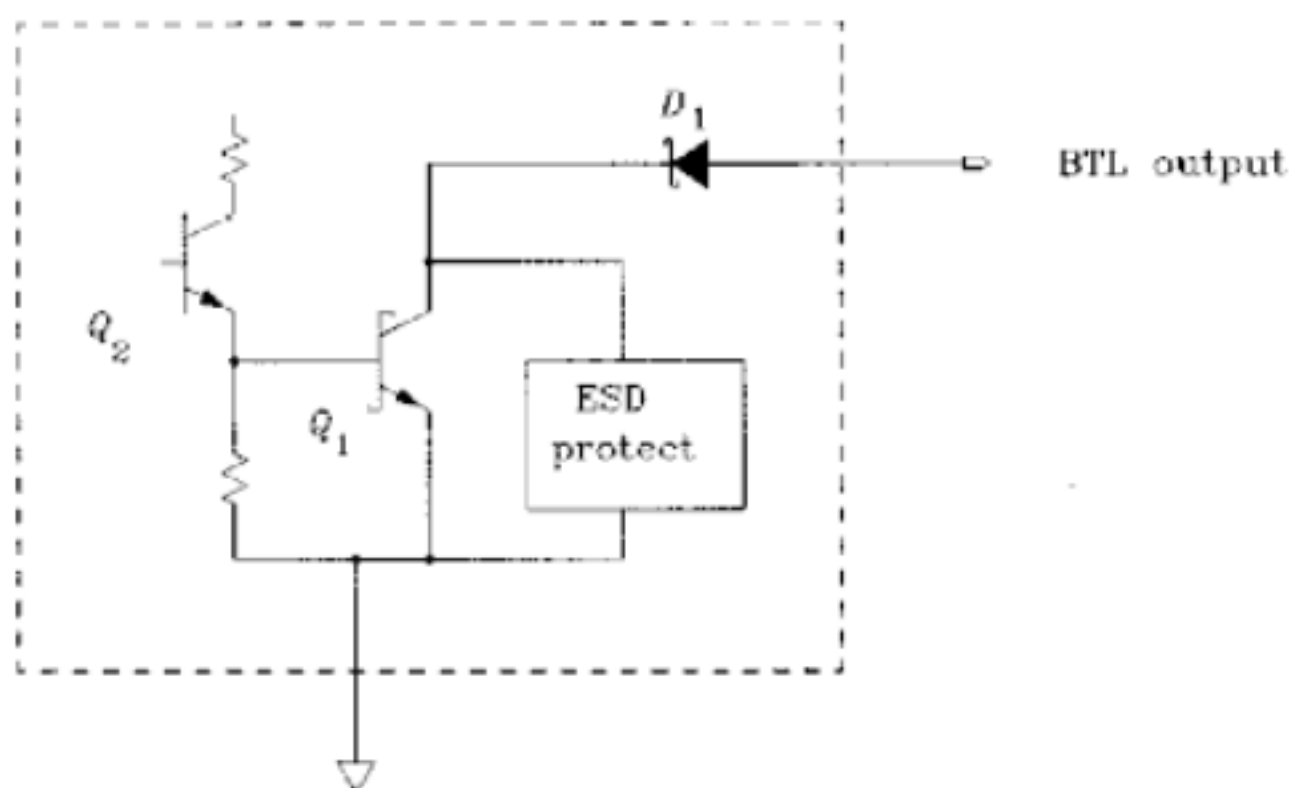


Figure 2.11 BTL drive circuit.

图2.11 BTL 驱动电路

推挽式输出电路输出为三态时，一般都有一个基极到发射极的连接到驱动线路上，这样的连接由于要驱动电流比较大的缘故，带来的极间电容也会比普通的输入电容大很多。而 BTL 驱动电路关断状态时的电容值电容就很小。

2.2.6.7 电流源驱动电路功耗

电流源输出驱动一般用在专用的总线上面，它的优点是线性非常好。当驱动长总线的时候，它的输出电流自然的会增大 (their current outputs naturally superimpose on each other)，一般对于电压源输出表现出来的就是非线性特性。

由于这些电路是 A 级的线性放大器，内部的晶体管并不是工作在饱和状态，因此这样的输出电路消耗的功率比较大。

集电极开环驱动电路或者在小压降时就会被拉很多电流，或者是大压降而没有电流。这两种状态消耗的功率都很小。相反，电流源驱动电路两种状态下都有可能在大电流的时候拉很大的电流。除了大功耗的缺点以外，电流源输出驱动电路在长总线驱动时还是很有优势的。

例 2.3 说明了使用电流源驱动电路的一大主要优点。

例 2.3 ：电流源驱动器的使用

如图 2.12 所示，有的系统使用电流源驱动器来驱动单向总线。时钟驱动器在时间 t1、t4 和 t8 区分了连续时钟不同周期的起点。时钟信号与数据一起从左到右传到总线上面，每一个总线驱动器：alpha、beta 或者 gamma 在特定的时刻，就应该往数据线上插入数据。总线传输的时序与传输器上面时钟到达时序是一致的。这样的安排保证了每一根数据在时钟周期内按正确的帧到达总线

右边终点，不管在每一跟线上的传输物理过程如何。在总线右边终点有且只有一个接收器，在时钟信号到来的时候它同步地把数据锁住。

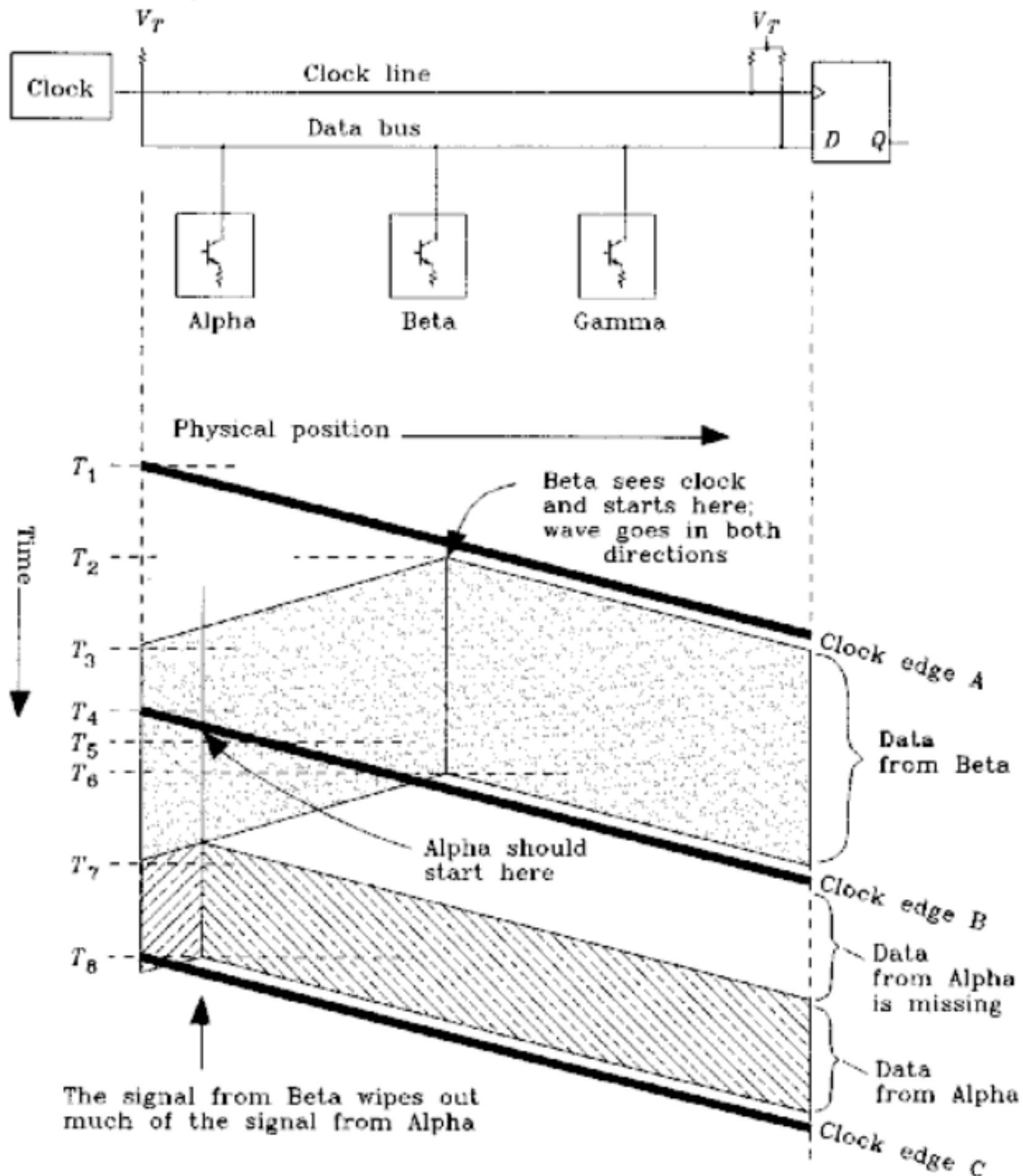


Figure 2.12 Current source drive current used on a long unidirectional bus.

图 2.12 电流源驱动器在长单向总线上的电流

图2.12示意了两个数据元：第一个由 beta 传送，第二个由 alpha 传送。beta 在 t_2 开始传送，一个周期后在 t_6 结束。这个时间响应是在时钟信号 A 和 B 到达位置 beta 的瞬间。alpha 在时刻 t_5 开始传送，此时时钟信号到达这里，一个周期后结束。

每一个设备发送信号的时候，它在总线上面既往左传，又会往右传。在数据线的右边末端两个信号会正好在指定的位置正确组帧。

理论上我们在这个总线上的传播速率是没有限制的，因为我们这里不存在等待时钟传到下一个器件的时间，我们的时钟可以增加到任意的频率，只受我们相关器件操作速度的影响，而不是物理的传输时间或者总线的长度。这个总线可以同时向右边的接收器传输多路数据。



我们这个单向总线的缺点是：我们需要的只是信号往右边传输，但是信号同时还会往左边传输。我们可以看一下当 β 在 t_2 时刻传送的情形。它在传到右边（接收器方向）的同时，也向 α 传输。在时刻 t_5 ， α 正要开始传输的时候， β 的数据正好从右边传过来把它覆盖了。

如果发送器 α 是一个推挽式驱动，而且数据 A 和数据 B 是一致的，那么，在数据 B 传过去的时间内不会有电流从 α 流向数据线，因为电平是一样的，所以电流不会有。当数据 B 传输过去了以后， α 上才会有电流出来保持总线在所需要的状态。在接收端，由于只有到了指定的时隙的时候从 α 输出才会有效，之前接收的数据 B 就被忽略掉了。

同样，如果数据位是极性反， α 就要两次才能把数据发送出去，在数据 B 的前面结尾部，就像我们在 D 看到的输入一样，是一个比正常要宽的脉冲（will show a larger-than normal pulse）。

解决这个问题的办法是使用一个在任何线路状态时它的信号都是高阻线性驱动电路，这就是电流源驱动电路。一般可能是一个集电极开路电路，或者是漏极开路的调节电路（regulator circuit）。这样的电路在数据线上的电流是一定的。数据线就像一个阻性负载，会有一个压降。两种逻辑状态一种就是 0 电流，无效的器件转换到这种状态。

每一个驱动器可以处理线路不同位置上面挂的不同的驱动器传出来的几个同步数据，数目与线长有关。前提是驱动器必须在一个较宽的电压范围内提供线性电流。多个驱动器在大范围的电压内的电流之和耗掉了很大的功耗。

2.2.7 输出功耗

终端电阻、下拉电阻或者是其他偏置电阻的消耗功率增大了电源和冷却系统的功耗。

在节 2.2.3 中描述了一个驱动外部负载的输出电路的功率消耗，本节计算了在负载本身中的功耗。

首先，请明白一点：理想的电容是不会消耗功率的，只是消耗在了充放电的电路上面。

连接于数据线和 V_T 之间的电阻 R ，在 HI 状态时其功耗是：

$$P_{HI} = \frac{(V_{HI} - V_T)^2}{R} \quad [2.33]$$

同样连接的电阻 R ，在 LO 状态时其功耗是：

$$P_{LO} = \frac{(V_{LO} - V_T)^2}{R} \quad [2.34]$$

为了应付长高或者长低情况时的最大功耗，偏置电阻通常要选型。在偏置电阻上面的功耗通常高于驱动电路的功耗，所以我们平时更应该多考虑是否可能烧掉电阻，为不是晶体管。

本节要点：

在器件功耗计算时不要忘记加上动态功耗和驱动大负载的功耗。

2.3 速度

理想的数字逻辑设计的主要方面是逻辑门的传输延时，事实上高速设计中的实际问题只与一个细小的参数有关系：最小的输出翻转时间。图 2.13 显示了他们的区别。

快的翻转速度一般会导致电流增大，串音和振铃，这些都跟线路延时没有关系。因为器件的封装，单板输出和连接器必须适应快速的倒换时间，逻辑很小的反转时间远快于传输延时，在系统设计中会带来不好的后果，逻辑时序却只受传输延时的影响。如果有两种最大的传输延时参数的器件，输出翻转时间比较慢的一种会更便宜，更好用一些。

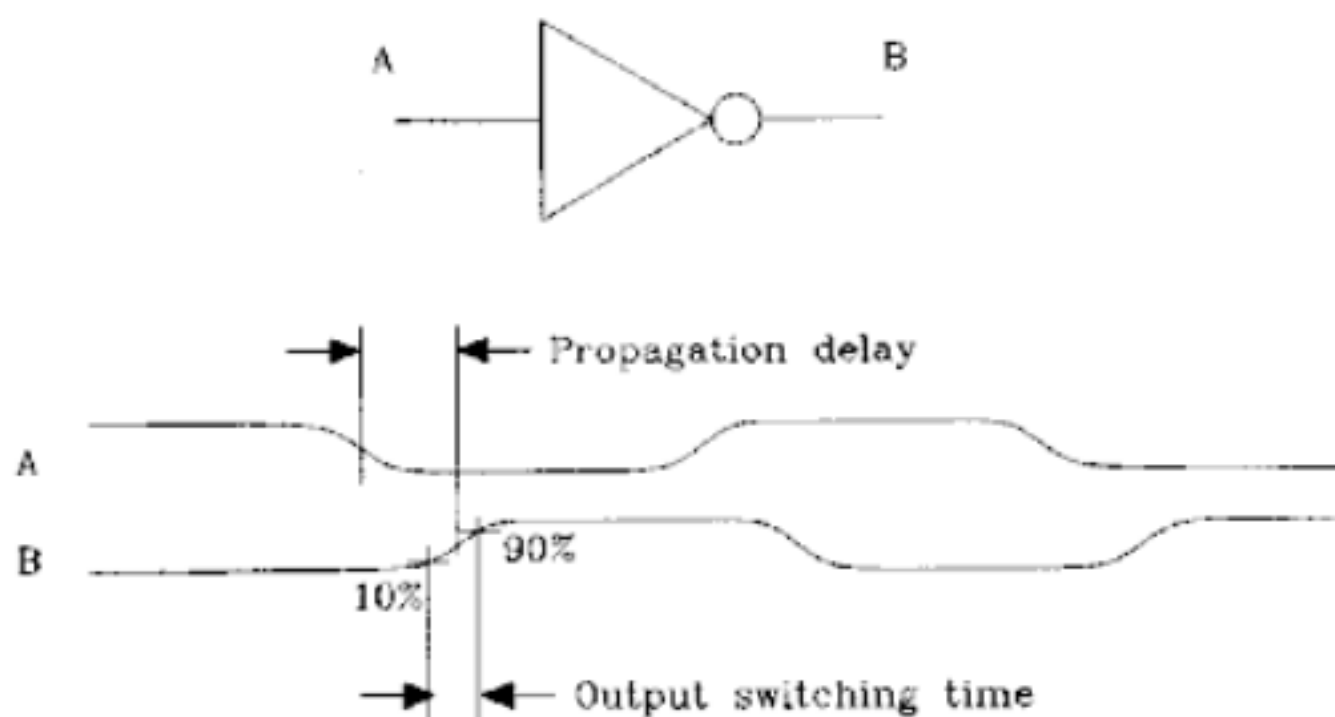


Figure 2.13 Output switching time versus propagation delay.

图2.13 输出延时与输出反转时间的对比

许多种类的逻辑都有不同的速度 - 功耗组合，TTL 系列有 LS（低电压肖特基）和 S（常规肖特基）两种，所有的 CMOS 系列的功耗—速度关系曲线是相关性非常大的，也就是说 CMOS 的时钟速度与它的功耗的关系是非常大的。ECL 系列器件包括 MECL III，速度是 MECL 10KH 的两倍，可是功耗却是它的两倍多。

厂家一直非常强调速度和功耗的折中，因为在数据手册中一下就看到了，一般不提的参数是最小的翻转时间。这个参数很难控制，除非厂家在电路中设计特殊电路来降低输出的速度。

限制翻转速度的电路实际上也加进了几种逻辑系列。自从 1971 年开始出现了 MECL 10K 系列以后 ECL 系列就开始用边缘缓速电路了。1990 年推出的 FCT 系列是第一种使用缓速机制的 CMOS 器件。从那时候起，其它的厂家也开始有了这种想法。

过快的翻转速度带来的种种问题源于两方面：一个是电压的突变，一个是电流的突变。

2.3.1 电压突变的影响 dV/dT

参考公式 1.1 可以知道，数字信号大部分与频率相关的内容都处于拐点频率 F_{knee} 以下，拐点频率 F_{knee} 与脉冲的上升时间 T_r 有关系，但是与线路延时，时钟速度，翻转频率没有关系：

$$F_{knee} = \frac{0.5}{T_r} \quad [2.35]$$

传输线路，包括器件内部走线，PCB走线和连接器等至少要在拐点频率 F_{knee} 以下有扁平 (flat) 的响应频率，使其能按上升时间为 T_r 这个速度传送数据。否则如果传输线路的频率响应在 F_{knee} 以下不是扁平的话，在远端接收到的信号就会不好，过低或者过冲过大或者振铃。

上升时间过快 (dV/dt 过大) 的最大问题在于使 F_{knee} 的值增大，从而导致传输线路传输的问题很难处理。

线路上面的 dV/dt 会影响旁边的电路信号，这是通过线路之间的电容串扰进来的。两个器件放在一起的时候他们之间就会有电容存在，在节 1.10.3 里面我们有提到过，线间电容带来的串扰比线间电感带来的串扰要小得多。

我们可以得出电路最大 dV/dt ，它的 10 - 90 % 上升时间，和电压摆幅三者之间的关系：

$$\frac{dV}{dt} = \frac{\Delta V}{T_{10-90}} \quad [2.36]$$

2.3.2 电流突变 dI/dt 的影响

突然的电流变化会影响附近电路的工作，这是通过电路之间的互感产生的（见 1.10 节），两个电路挨得很紧的话，就会互相感应。为了计算耦合电感的数值，我们必须消除电流源的电流变化，因为电路中大的电流变化会对电路的耦合电感产生很大的影响。这就是 dI/dt 过大的最大的坏处。

我们通常使用的测量工具是示波器，它能测到的是电压值而不是电流值，因此我们需要有一种方法从电压上升时间读值得出电流变化率。图 2.14 表示了一般的情况。上升电压波形 $V(t)$ 产生的流过负载电阻和负载电容的电流大小为：

$$I_{\text{resistor}} = \frac{V(t)}{R} \quad [2.37]$$

$$I_{\text{capacitor}} = \frac{dV(t)}{dt} C \quad [2.38]$$

我们通过输入不同的电压波形以便得到不同的电流变化，我们得到：

$$\frac{dI}{dt}(\text{resistor}) = \frac{dV(t)}{dt} \frac{1}{R} \quad [2.39]$$

$$\frac{dI}{dt}(\text{capacitor}) = \frac{d^2 V(t)}{dt^2} C \quad [2.40]$$

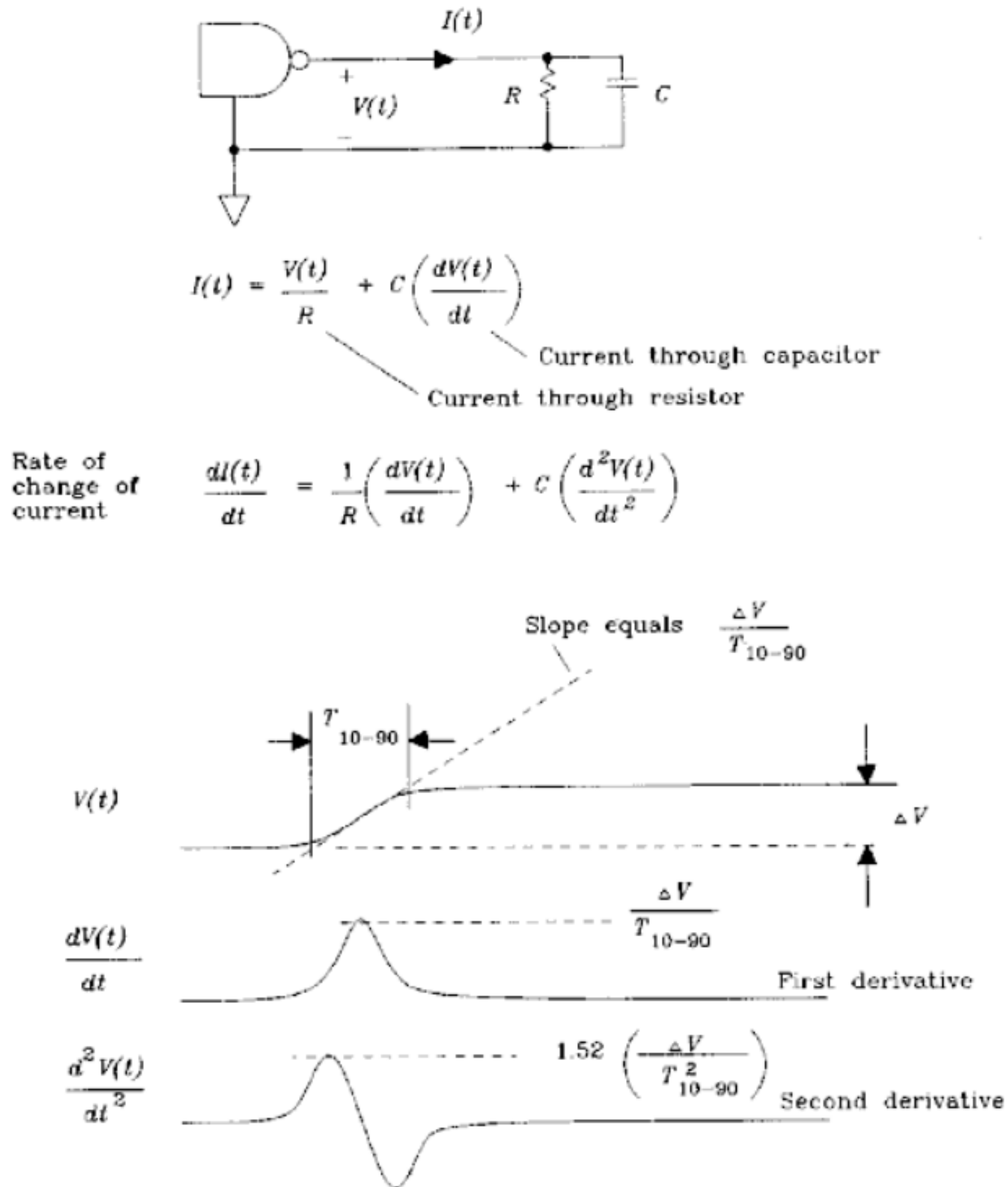


Figure 2.14 Relation of maximum current slew rate to voltage rise time.

图 2.14 最大电流变化率与电压上升时间的关系

电流变化的最大值对于确定耦合电感的峰值是非常有用的，分别对于阻性负载和容性负载，对应关系如下：

$$\text{Maximum } \frac{dI}{dt} (\text{resistor}) = \frac{\Delta V}{T_{10-90}} \frac{1}{R} \quad [2.41]$$

$$\text{Maximum } \frac{dI}{dt} (\text{capacitor}) = \frac{1.52 \Delta V}{T_{10-90}^2} C \quad [2.42]$$

当负载既有电容器件又有电阻器件时，只要把上述公式 2.41和2.42的最大值相加就可以了。得到的和值虽然可能过高估计峰值，但是跟我们的需要值是非常相近的。图 2.14显示了在 $V(t)$ 的第一次和第二次变化时并不是完全对应的 (do not quite line up)，因此对于电阻和电容的电流变化的峰值发生的时刻稍微有所不同。我们得到的和值确实不太精确，但是他还是非常接近而且容易记忆。

公式 2.42同时也告诉我们为什么互感会产生这么大的问题。互感的驱动系数电流的变化率与 10-90% 上升时间的平方成正比。我们要把上升时间减小一半，就需要把流过容性负载的 dI/dT 减小为 1/4。

我们举两个例子对比一下 TTL 和 ECL 电路里面的电流变化的影响。我们将会知道 ECL 电路在高速翻转时需要的瞬态电流比 TTL 电路要小。ECL 电路快，而且噪声也会小一些。

例子 2.4 TTL 输出电流的变化率

假设 TTL 门的负载电容是 50pF，设 $V = 3.7V$ ， $C_L = 50pF$ ， $T_r = 2ns$

$$\frac{dI}{dt} = \frac{1.52C_L \Delta V}{T_r^2} = 7.0 \times 10^7 A/s \quad [2.43]$$

例子 2.4 ECL 输出电流的变化率

假设 TTL 门的负载电阻是 50欧姆， $V = 1.0V$ ， $R_L = 50$ ， $T_r = 0.7ns$

$$\frac{dI}{dt} = \frac{\Delta V}{R_L T_r} = 2.8 \times 10^7 A/s \quad [2.44]$$

2.3.3 底线——电压裕值 (Bottom Line---Voltage Margins)

电压裕值 (voltage margin) 是指可靠的逻辑输出与最差的逻辑接收电平值之间的差。逻辑器件的操作在接收电平上面有一个电压裕值，有点类似于光系统的光能量需要一个裕值，机械设备需要可靠运行同样需要一个机械运转范围裕值。

图2.15示意了 MOTOROLA 10KH ECL 逻辑的电平裕值在 25摄氏度时的设置。这些门电路有效“0”和“1”输入保证电平值 V_{il} 和 V_{ih} 相对来说都是随温度有所变化的。低于 V_{il} 电平的输入就可以保证逻辑接收为“0”，反之，高于 V_{ih} 的输入可以保证逻辑接收为“1”。在这里之间的电平值根据电路附近干扰的不同可能为“0”，也可能为“1”，也可能为不定态。

$V_{il \min}$ 意味着，对于所有的器件这是保证输入为低的输入 V_{il} 电平最小值。大部分的门电路在输入电平高于 $V_{il \min}$ 时依然翻转为低。这些门电路的翻转电压裕值较宽。厂家一般给出的是 $V_{il \min}$ ，因为他们并不能确定每个器件的输入低的电平门坎值为多少。对于 $V_{ih \max}$ 数值的说明正好与这相反。

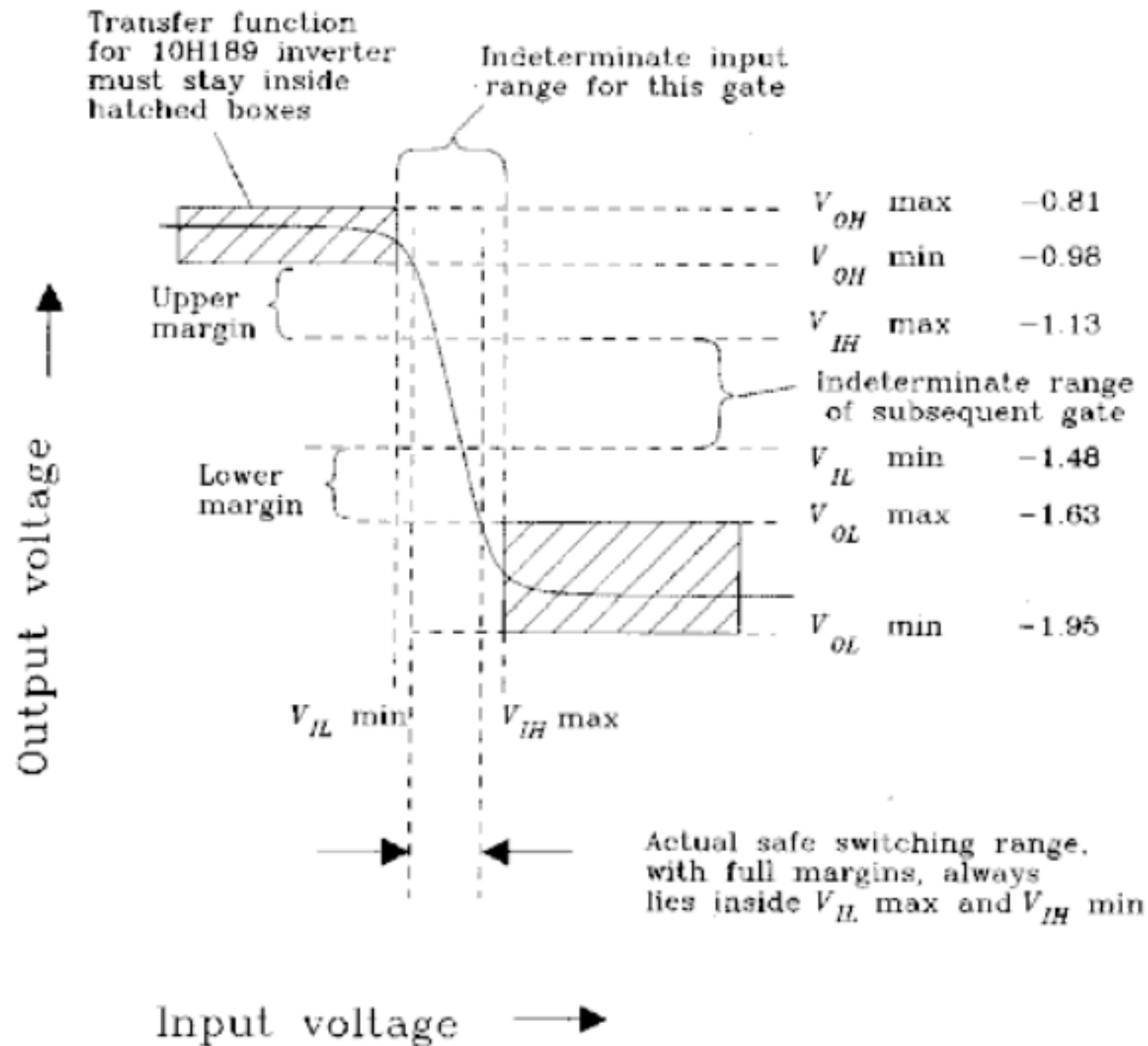


Figure 2.15 DC voltage margins for 10KH ECL.

图2.15 MOTOROLA 10KH ECL 逻辑的电平裕值

相对应的，10KH 系列的输出电平保证输出为“0”和“1”的范围在图中被分别表示为 V_{OL} (最大和最小) 和 V_{OH} (最大和最小)，为“0”时，输出电平在 $V_{OL\ min}$ 和 $V_{OL\ max}$ 之间，为“1”时，输出电平在 $V_{OH\ min}$ 和 $V_{OH\ max}$ 之间。

输出有效电平和不确定电平之间是没有交叉的，也就是说正常输出的电平，不管是“0”、“1”都是能够被正常接受的。

实际上对于一个特定的门电路它的输出是受到周围温度、供电和加工过程的影响的。数据手册一般只提“0”“1”输出值可能会分别超出 V_{OL} 和 V_{OH} 。典型的输出电平标示见图 2.15。

电压裕值是指 V_{OH} 和 V_{IH} 之间或者 V_{OL} 和 V_{IL} 之间的差值，取最小的一个。

逻辑的输出经常超出最坏的参数，因此逻辑输入一般都可以比较精确的分辨最坏情况下的输入门坎值。一个典型的 10KH 反相器翻转功能如图 2.15，你可以看到，电路显示了一个翻转范围内的 -4 的增益，数值上超过了外面需要的翻转区域的输出参数。但是一个器件可以这样并不是说每一个器件都可以如此。另外一个器件可能它的范围参数又是另外的一个。一般军用产品每个器件都要检测，以保证所有器件都在要求的范围内，但是民用产品只是抽检以保证做的最好。

为什么我们需要这个电平裕值呢？这是因为它能够补偿真实系统中传输和接收中的不良状态。没有裕值的系统是不能够正常工作的，比如以下的情况发生时：



- 1、DC 供电电流，流过地时，由于地线存在电阻，因此每个器件的地电平其实是不一致的。因此一个器件相对自己地的电平值在到达另外一个器件时，其参考值会发生移动。
- 2、高频电流流过地线时，由于电感的存在，因此每个器件的地电平其实是不一致的。因此一个器件相对自己地的电平值在到达另外一个器件时，其参考值会发生移动，和电阻影响一样。这是一种形式的互感串扰。
- 3、相邻近的信号线之间由于互感的存在，会互相影响对方的信号，这叫互感串扰，他会是正常的信号叠加一些东西进去。
- 4、长传输线的反射，振铃会使得信号变形，使输出的信号和接收端信号差得很远，电平裕值可以在一定程度上容忍这种变形。
- 5、不同的器件可能对温度的敏感度是不一样的，温度的影响会使器件的翻转参考电平有一定的波动。

上述的（1）、（5）两点是任何系统都要考虑的问题，而（2）（3）（4）一般在高速系统时要考虑的多一些。

三种高速的影响会由于传输信号大小不同而有所变化：返回电流越大导致地线的影响越大，信号电平越高（或者电流越大）会导致串扰越大，传输信号线越长会导致振铃和反射越强。所以说在高速信号传输里面，解决这些问题的最好方法就是上面说的输出电平与输入电平之间的“电平裕值”。百分比是很容易算出来的，而且比起直接电平绝对值来说，更容易在不同的器件里借用。噪声容限百分比（noise margin percentage）是下面两者较小的一个：

$$\frac{V_{OH \min} - V_{IH}}{V_{OH \max} - V_{OL \min}} \quad \text{or} \quad \frac{V_{IL} - V_{OL \max}}{V_{OH \max} - V_{OL \min}} \quad [2.45]$$

10KH ECL 逻辑器件的“噪声容限百分比”为 17.8%。74AS TTL 逻辑器件为 9.1%。这说明了 ECL 电路比 TTL 电路更可靠。虽然 ECL 的电平裕值绝对值比 TTL 电平小，可是 ECL 中裕值占电压摆幅的百分比要大一些。

当然，10KH ECL 系统的翻转速度是 74AS 的速度快 2~3 倍。快速就会导致电流返回问题、串扰问题、和振铃问题，虽然说这些问题的处理比 74AS TTL 电路会难一些，也不至于难上 2~3 倍。

本节要点：

如果有两种逻辑，他们的最大静态传输延时是一样的，那么输出翻转时间慢的器件会更便宜，也易用一些。

给出负载和电压上升时间我们可以算出输出电路的 di/dt 。

如果上升时间要减小一半，那么我们流进负载电容的 di/dt 将减小为 1/4。

系统设计的电平裕值决定于系统的供电情况、地线电平浮动、线路串扰、振铃以及系统的热参数。

2.4 封装

之所以会有各种不同的封装，是因为各种电路各自的需求不一样，现在各种封装电路的数量已经很多，而且还在不断的增加。

几乎所有的封装，当用于高速电路的时候，都存在一些问题包括引脚电感、引脚电容和散热问题等。

2.4.1 引脚电感

在器件封装的不同管脚之间的电感会诱发一个问题叫做：地反射。这种现象在逻辑输出发生翻转的时候会导致逻辑输入的毛刺。本节将讨论一般产生毛刺的大小以及他带来的影响。

2.4.1.1 不期望的地线电压——为什么会发生“地反射”

图2.16 示意了一种理想的逻辑封装（die）：导线绑定了一个 4PIN 的直插封装。包括一个发送电路和一个接收电路。示出的发送电路是一个推挽式电路，虽然任何电路在高速时都会有同样的问题。

假设输出驱动的开关 B 刚关闭，电容 C 向地放电。电容 C 两端的电压会降低，他存储的电荷会流向地，就会导致电线的大电流，如图的 $I_{discharge}$ 。

图 2.16 器件封装的引脚电感

由于放电电流建立了以后，又会通过电线引脚的电感反向流动，电流值在变小。因此会在系统地和器件内部地之间产生一个压降 V_{GND} ，电压值为：



$$V_{GND} = L_{GND} \frac{d}{dt} I_{\text{discharge}} \quad [2.46]$$

由于输出翻转导致的内部参考地电平波动的现象叫做：地弹 (ground bounce)。

一般地弹 V_{GND} 相对于整个输出电平来说是一个比较小的值。并不会对传输信号明显地产生影响，但是它主要影响接收。

假设我们的接收是一个同样的电路，接收器使用的参考地是一个不同的电平。在图 2.16 中就是输入信号 V_{in} 上面的增加 (+)，和内部地上面的减 (-)。由于内部地带了 V_{GND} 的噪声信号，在接收电路上面看到的实际电平为：

$$\text{Input circuit sees: } V_{in} - V_{GND} \quad [2.47]$$

因为输入电器只对它的正向输入和反向输入的差值作出响应，它不可能知道噪声脉冲 V_{GND} 是否已经加到反向输入端或者在正向输入端被减掉。也就是说，对于输入电路来说， V_{GND} 脉冲看起来象直接叠加在输入信号上的噪声。

如果一个芯片 N 个输出同时连到 N 个对应的容性负载，那么这个电流就会增大 N 倍， V_{GND} 也会增大 N 倍。

地弹电压值跟通过地脚的电流变化率成正比。如果驱动负载是容性的，我们希望电流的变化跟电压的二次微分一样。按照图 2.14 的分析，电压的二次微分是一个双峰波形，首先是一个上升波形，接着一个下降波形。

2.4.1.2 地弹怎样影响你的电路

图 2.17 示意了一个地弹的例子，一个 8 门的 D 触发器，有一个输入时钟驱动 32 个存储芯片。每个的容性负载为 5pF，因此每条线的负载电容是 160pF。

假设数据输入到 D，建立时间足够，有 3nS，但是保持时间比较小，只有 1nS。假设输入信号是符合我们的 TTL 触发器的需求的。

在时钟沿 A，触发器锁住数据 FF，在时钟边沿 B，触发器锁住数据 00。在两个地方，触发器的延时 3nS 稍微比数据需要的保持时间长一点点。

在点 C，数据变为任意的 XX。点 C 在时钟沿 B 后 1nS，在这一点触发器已经锁住了数据 00，但是输出数据还没有从 FF 翻转到 00。

倒数第二个曲线示意的是 V_{GND} ，在点 A 之后，当 Q 输出为正时，负载电容从 V_{cc} 充电，因此在 V_{GND} 上面的影响很小。在点 D，所有输出由高变为低，在 V_{gnd} 上面会出现一个比较大的噪声。这个噪声会导致系统出错，称为：双时钟。

双时钟的产生是由于时钟电路里面的输入变化导致的。在触发器内部，时钟输入引脚测量芯片输入引脚与地之间的电平。图 2.17 的最后一根曲线示意了它的变化。它在沿 B 时的时钟是很好，没有噪声，但是后面紧跟的是一个毛刺，这个毛刺是由于地线上的信号电流导致的。在这个毛刺脉冲上，触发器会被重新触发。

如果在时钟 D 处，数据输入已经被改变了，那么触发器的输出将被修改为 XX。也就是说在 D 处，触发器的输出会由正确数据突然变为错误状态。

但是对于时钟的外部观察是看不出来有任何问题的，只是逻辑封装内部出了问题。

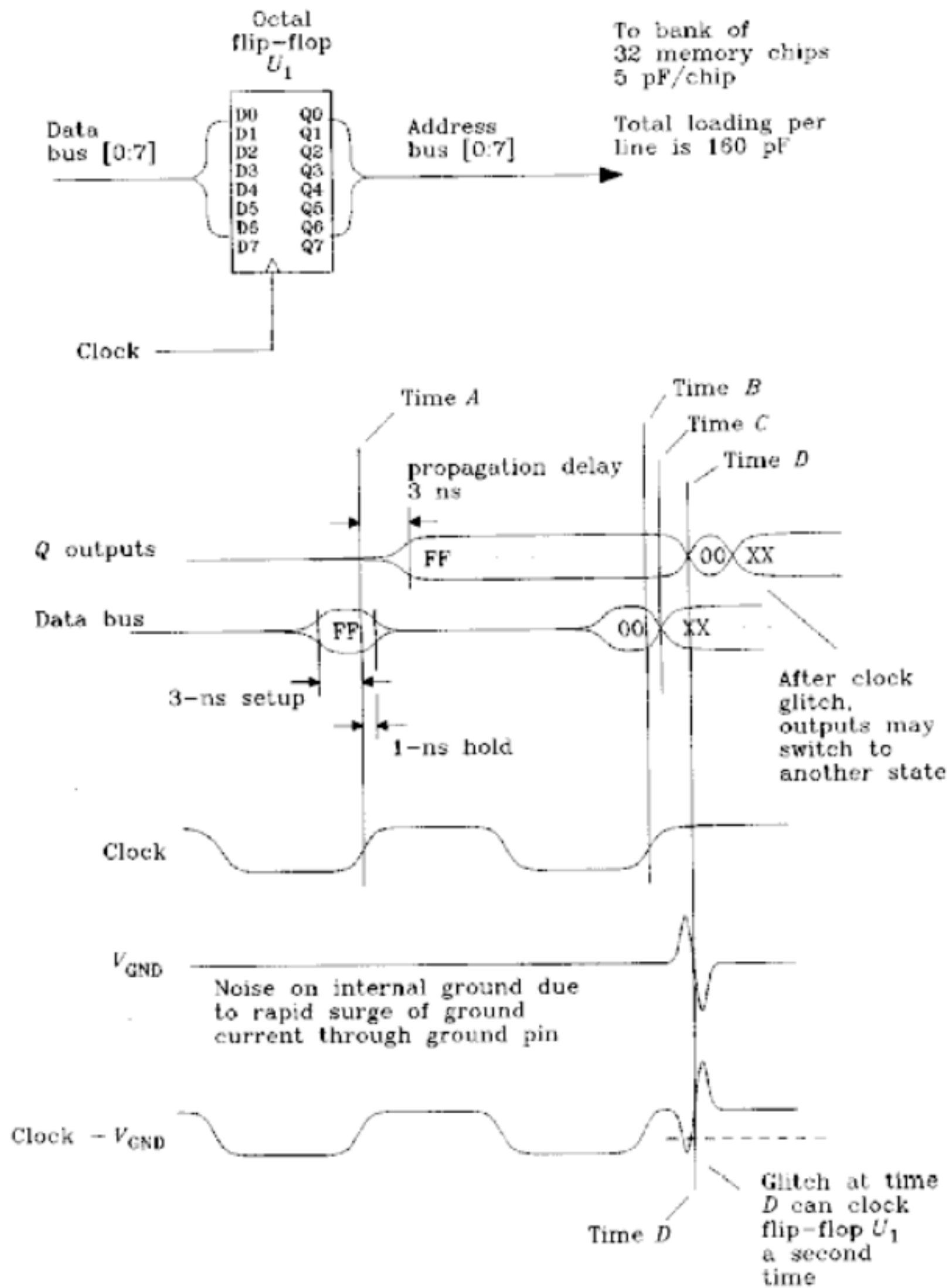


Figure 2.17 Example of ground bounce.

图2.17 地弹实例

双时钟的产生一般是在 DIP 封装的触发器快速驱动负载很大的时候，对于 FCT 锁存器，DIP 封装也会有同样的问题。对于表贴的封装，由于引脚比较短的缘故，发生这种问题的可能比较小。以后的触发器器件速度会越来越快，我们将会不断的改变器件的封装以避免这种问题的产生。

给输出驱动和参考输入提供不同的电源 /地引脚也可以很好的解决地弹问题。因为如果地线的电流很小，就不会产生地弹。大部分的 ECL 器件和许多的门阵列，使用分离的电源引脚，就是这个道理。

对于边沿敏感的电路比如复位、中断等信号线也很容易受到地弹的影响。

2.4.1.3 地弹的大小

我们看一个实例就可以知道地弹的数量级可以到多少了。

例子 2.6：地反射的测量

本次试验里我们采用一个 74HC174 4门的触发器，其中三个在不断地翻转，第 4个保持为恒定的低电平。有效的三个门输出驱动的负载是 20pF。本实验可以显示出在有负载和有重负载的时候地反射的强度。因为第 4个门出于不变的状态的缘故，我们可以有一个窗口测出内部地的电平。

由图 2.18可以看出，在时钟和异步复位信号不断地翻转输出信号的时候，我们接上负载，得到图 2.19的波形，当 Q为高时， V_{GND} 有一个小的毛刺，Q输出低时，大的毛刺就出现了，大概有 150mv左右。

虽然这个毛刺不算太大，但是我们要考虑以下几个方面状况：

- 1、对于 HCT 的电平裕值范围只有 470mv。
- 2、如果有 8个门电路一起翻转，那么它的幅值会增大 8/3倍。
- 3、如果存在了地弹，那么在其它的干扰产生的时候，电路就会变得异常敏感。

同样的测试，我们可以得到一个 400mv 的地弹毛刺。

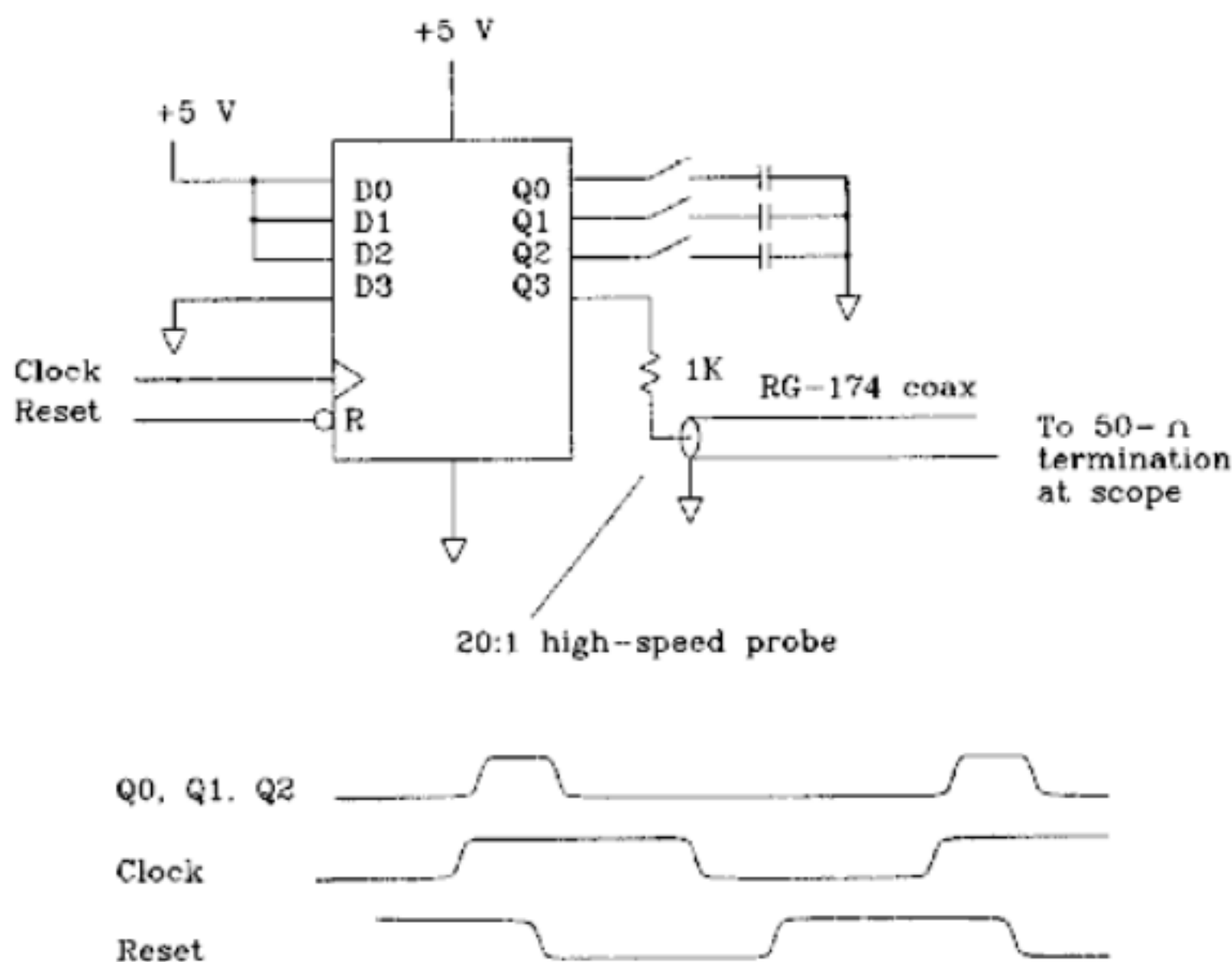


Figure 2.18 Measuring ground bounce.

图2.18 地弹测量

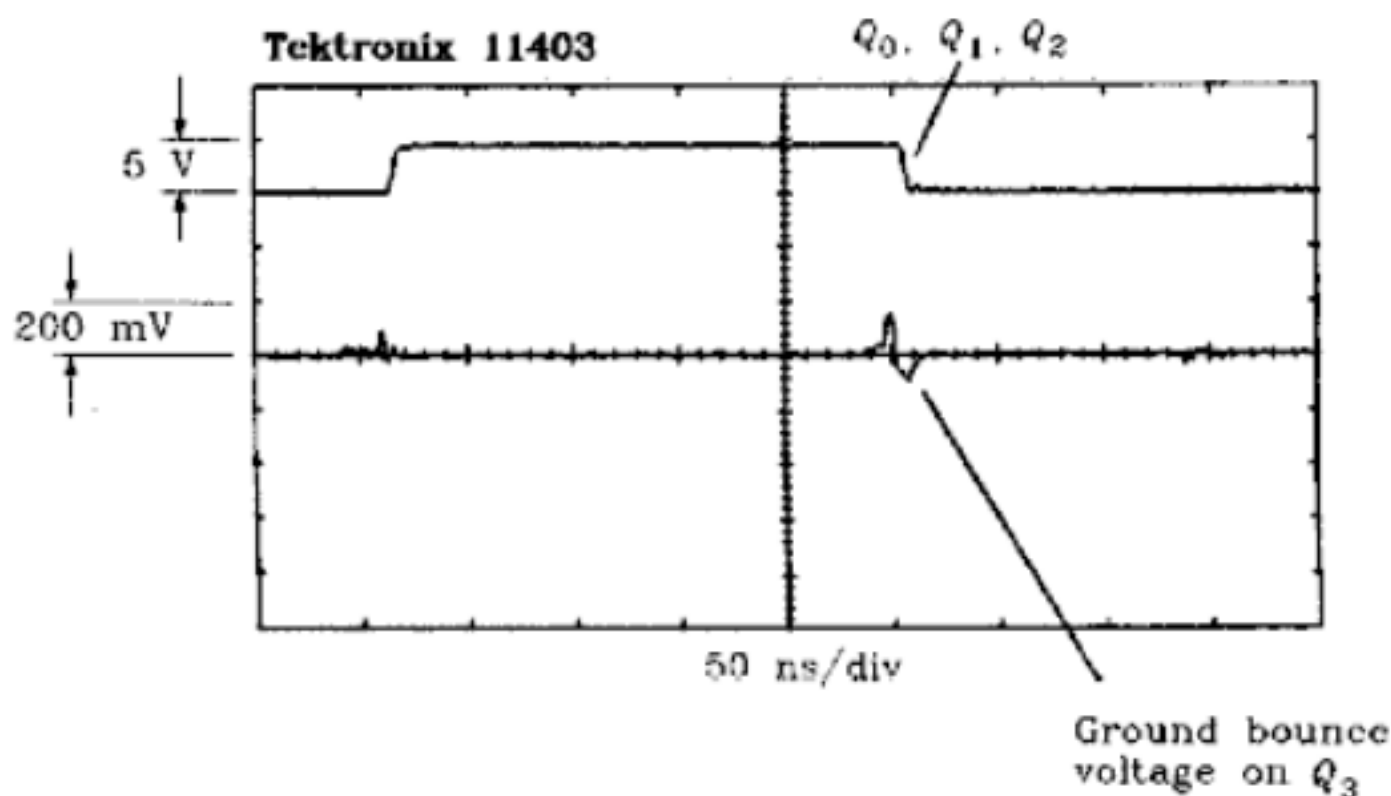


Figure 2.19 Ground bounce on 74HC174 with three loads of 20 pF.

图2.19 74HC174三个门翻转负载电容为 20pF时的地反射

2.4.1.4 地弹大小的估计

为了对地弹数值进行有效的估计，我们需要知道 4个方面的数据： 10 - 90%的逻辑翻转时间，负载电容 /负载电阻，引脚电感，翻转电压。

对于电阻 R ，我们用公式 2.41可以计算电流变化率，用公式 1.17电感定义可以计算地弹幅值：

$$|V_{GND}| = L \frac{\Delta V}{T_{10-90}} \frac{1}{R} \quad [2.48]$$

对于电容 C ，我们用公式 2.42可以计算电流变化率，用公式 1.17电感定义可以计算地弹幅值：

$$|V_{GND}| = L \frac{1.52 \Delta V}{T_{10-90}^2} C \quad [2.49]$$

式子中的 V 和 T_{10-90} 与器件系列有关，以下是一些典型值：

TABLE 2.2 SWITCHING CHARACTERISTICS OF FIVE LOGIC FAMILIES

	74HCT CMOS	74AS TTL	10KH ECL	10G GaAs	NEL GaAs
ΔV_{max} (V)	5	3.7	1.1	1.5	1.0
T_{10-90} (ns)	4.7	1.7	0.7	0.15	0.05

地引线电感受封装类型的影响很大，大的封装引线电感也大。有内部地平面的器件电感比较小，但是不能消除地弹。宽的，低感值的内部地平面结构有引线连接外部地和内部地。

能够很好的减小地线电感的技术有三种： WIRE BOND 、 TAB(TAPE AUTOMATED BONDING) 和 FLIP-CHIP 。这三种技术都能缩短芯片与外部 PCB的地连线。如图 2.20。

WIRE BOND 技术就是采用一个未开启的模放在 PCB上面，然后把焊盘和 PCB 细线绑定焊接起来，随后再滴上树脂或者用器件塑封把整个芯片连同 PCB密封好。

TAB 方式就是用大转接板代替引线绑定的方法。用来使器件与 PCB内部连接的引线首先印制在一个基片上，这个基片可能会有几层，包括地层可以控制阻抗。它上面还有焊盘，芯片通过回流焊与基片焊在一起，然后芯片正面就加上了基片，然后再把这个基片与印制板回流焊在一起。随后再滴上树脂或者用器件塑封把整个芯片连同 PCB密封好。

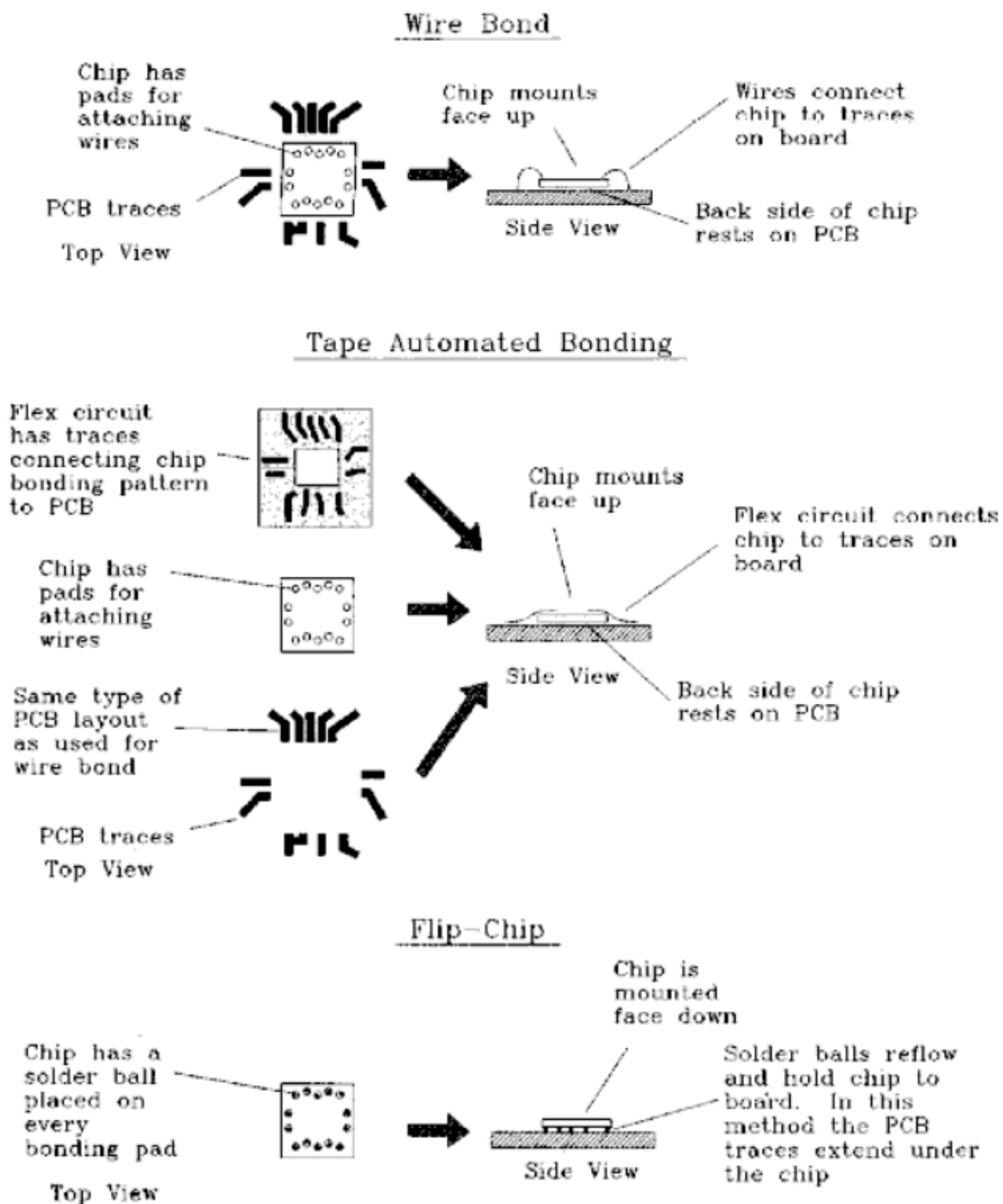


Figure 2.20 Methods of direct chip attachment.

图2.20 芯片绑定的方法



TABA 方式绑定，是一种块操作技术，快速。它的优点是能够提供连续的地，并且可以为芯片内核与 PCB 提供一个机械支撑。它的引线间距可以到 0.08mm(300 引脚/英寸)。它的缺点是不同的芯片内核需要不同的绕线电路，如果芯片变化或者 PCB 变化那么这个绕线电路几片也要随着变化。

FLIP-CHIP 技术首先在芯片内核上面加上焊接球，然后正面朝下，通过回流焊焊接在 PCB 基板上。通常它需要一个镶嵌材料一方面用来封装硅芯片器件，另外一方面用来散热。

在电器连接上，FLIP-CHIP 方式是最为理想的方式，因为它的绑定引线是最短的，所有与封装有关的问题它是最少的。但是在机械结构和散热方面它较差，在它的芯片内核和 PCB 板间没有机械弹性容限，只是用于连接的焊锡球有限的一点弹性，这就要求芯片内核与 PCB 的热膨胀系数必须非常一致。

在散热方面也很有问题，因为它的芯片内核与它的基板是分立的，我们的其它两种方式 WIRE-BOND 和 TAB 都是芯片内核的背面粘在基板上，所以他们的散热会非常好。

下表罗列了不同封装的引脚电感数值：

TABLE 2.3 LEAD INDUCTANCE OF LOGIC PACKAGES*

14-pin plastic dual in-line package (DIP)	8 nH
68-pin plastic DIP	35 nH
68-pin surface-mount plastic leaded chip carrier (PLCC)	7 nH
Wire bonded to hybrid substrate	1 nH
Solder bump to hybrid substrate	0.1 nH

*Much of this data is taken from H. B. Bakoglu, *Circuits, Interconnections, and Packaging for VLSI*, Addison Wesley, Reading, Mass., 1990, Table 6.2. Reprinted by permission of Addison-Wesley Publishing Co., Inc., Reading, MA.

2.4.1.5 减小地反射的方法

降低输出翻转时间是一个好办法。10K、CMOS、FCT 和一些新的总线驱动器件采用内嵌的电路设计，在对传输延时影响最小的前提下降低翻转速度。

有的厂家还采用了围绕器件分布很多地线的方法。如果地线在封装内分布均匀，这是一个很好的方法。一根线变成两根，自然使电感减小了一半，但是还是增加了两根线之间的影响。把地线分布放开的方法比把地线连在一块的方法好得多。

采用分离的专门参考地的方法也很好。分立的参考地由于电流很小，因此他不会有地反射。分离地的芯片要注意使每个地线能够有直接到地平面的最短路径。如果把他们两根连起来走线，则效果全无。

使输入各异的方法也是一个好方法。

2.4.2 引脚电容

逻辑引脚间的分布电容会使噪声耦合到敏感的输入引脚。图 2.21 示意了两个引脚间的分布电容 C_m 的情况：

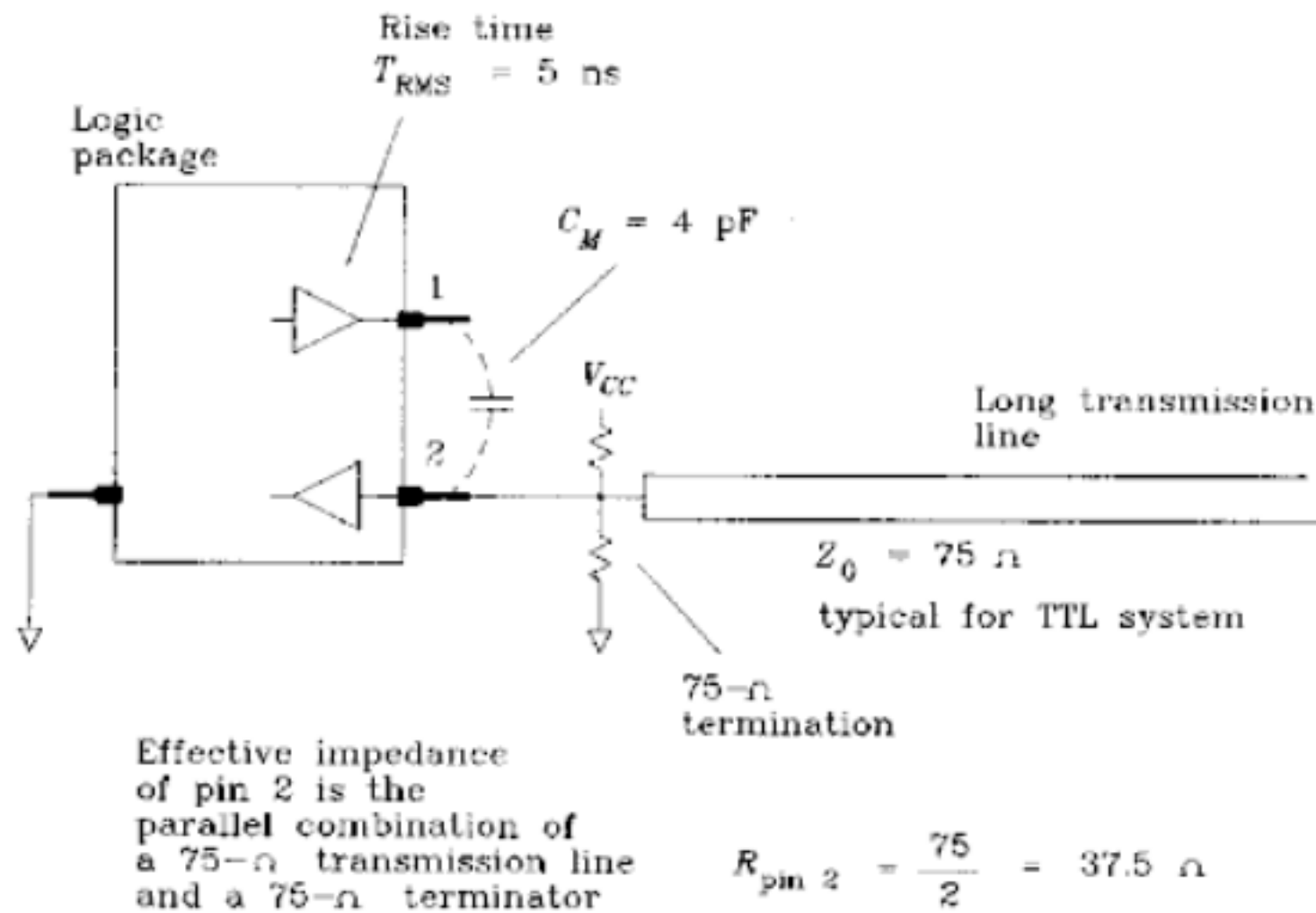


Figure 2.21 Stray capacitance between pins on a logic package.

图2.21 逻辑器件引脚间的分布电容

我们可以用公式 1.30来计算电路 1在电路 2上引起 的百分比串扰 (percentage crosstalk) :

$$\text{Crosstalk} = \frac{R_2 C_M}{T_{10-90}} \quad [2.50]$$

where $C_M = 4 \text{ pF}$ (mutual capacitance of circuits 1 and 2)

$R_2 = 37.5 \Omega$ (parallel impedance of 75- Ω long transmission line and 75- Ω terminator)

$T_{10-90} = 5 \text{ ns}$ (voltage rise time of signal on pin 1)

在这个例子里线路串扰是 0.03(3%)

输入的电阻越高，上升时间越短，则串扰就会越严重。

图2.22显示了一个高输入电阻的问题，ASIC 产生一个时钟 and debounce a switch input，在没有 C_1 和 C_2 的时候， R_1 和 R_2 很大，我们认为存在电容串扰问题。用公式 2.50我们得到的串扰因子是8。这意味着，引脚 1上面的时钟直接会出现在引脚 2上。

加上电容 C_1 和 C_2 以后，降低了接收电路的高频阻抗，消除了串音，效果非常明显，串扰因子百分比等于电容比值：

$$\text{Crosstalk} = \frac{C_M}{C_1} \quad [2.51]$$

如果 C_1 取值 0.01 μF ,则串扰因子降低到了 0.0004，这个值已经很小了。时间参数 $R_1 C_1$ 的值是 0.1mS。不会有多大影响。

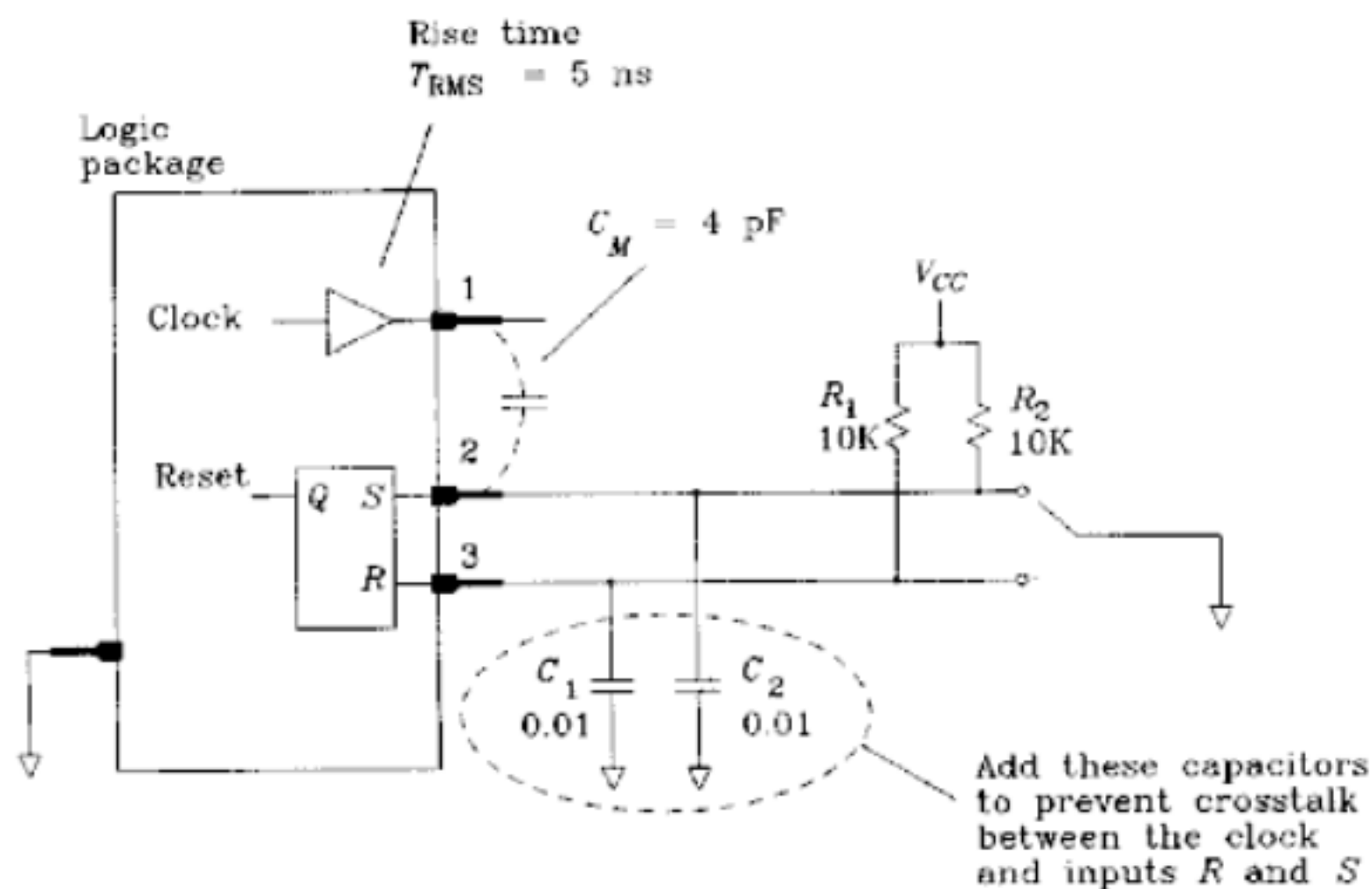


Figure 2.22 Fixing a stray capacitance problem on a debouncing circuit.

图 2.22 设置分部电容消除串音

表2.4列出了不同封装相邻管脚间的分布电容的数值：

TABLE 2.4 ADJACENT LEAD CAPACITANCE OF LOGIC PACKAGES*

14-pin plastic dual in-line package (DIP)	4 pF
68-pin surface-mount plastic leaded chip carrier (PLCC)	7 pF
Wire bonded to hybrid substrate	1 pF
Solder bump to hybrid substrate	0.5 pF

*Much of this data is from H. B. Bakoglu, *Circuits, Interconnections, and Packaging for VLSI*, Addison Wesley, Reading, Mass., 1990, Table 6.2.

2.4.3 热传导 - V_{JC} 和 V_{CA}

在这里我们做一个实验，把一个 14DIP 封装的器件剖开，把其中的硅晶片挖掉，放进一个 1 欧姆的电阻和一个温度传感器，然后再把封装重新装好。在芯片的 7 脚和 14 脚接上电源，这样可以控制电阻消耗的功率，同时把 1、2 脚的温度传感器接到设备上。把这样的装置放进一个室温为 30 摄氏度的温控箱。

然后慢慢调节器件的功耗，我们可以测出随着功率消耗对应的器件温升的一组对比数值。根据这组数值我们得到一条曲线如图 2.23。

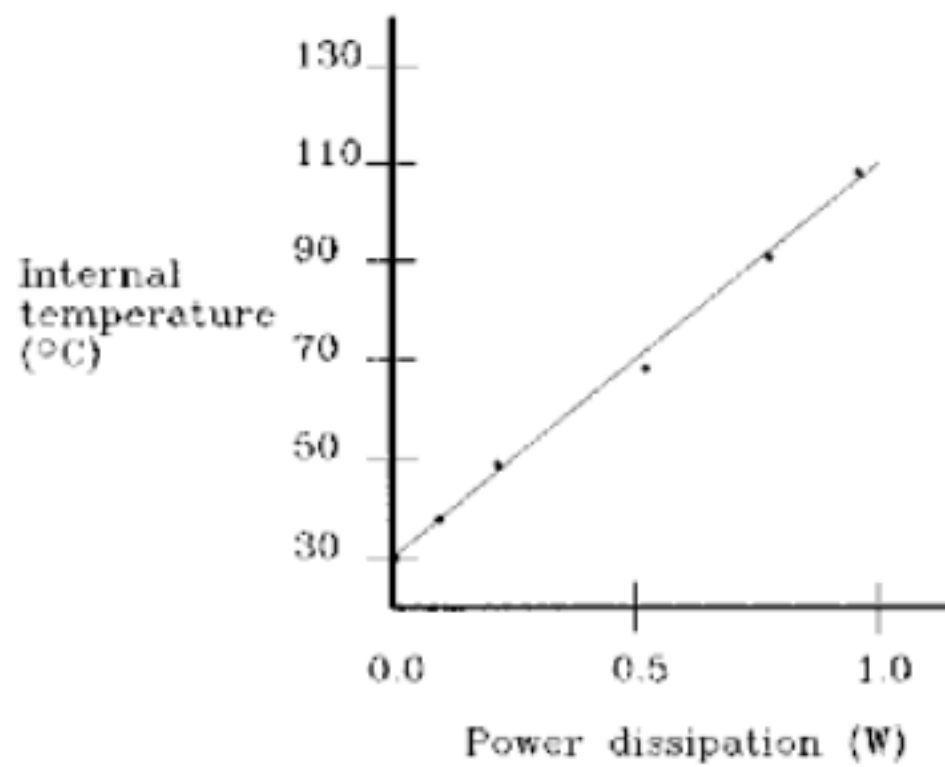


Figure 2.23 Internal temperature versus power dissipation inside a 14-pin plastic DIP package.

图2.23 14DIP 塑料封装器件内部温度与功耗对比曲线

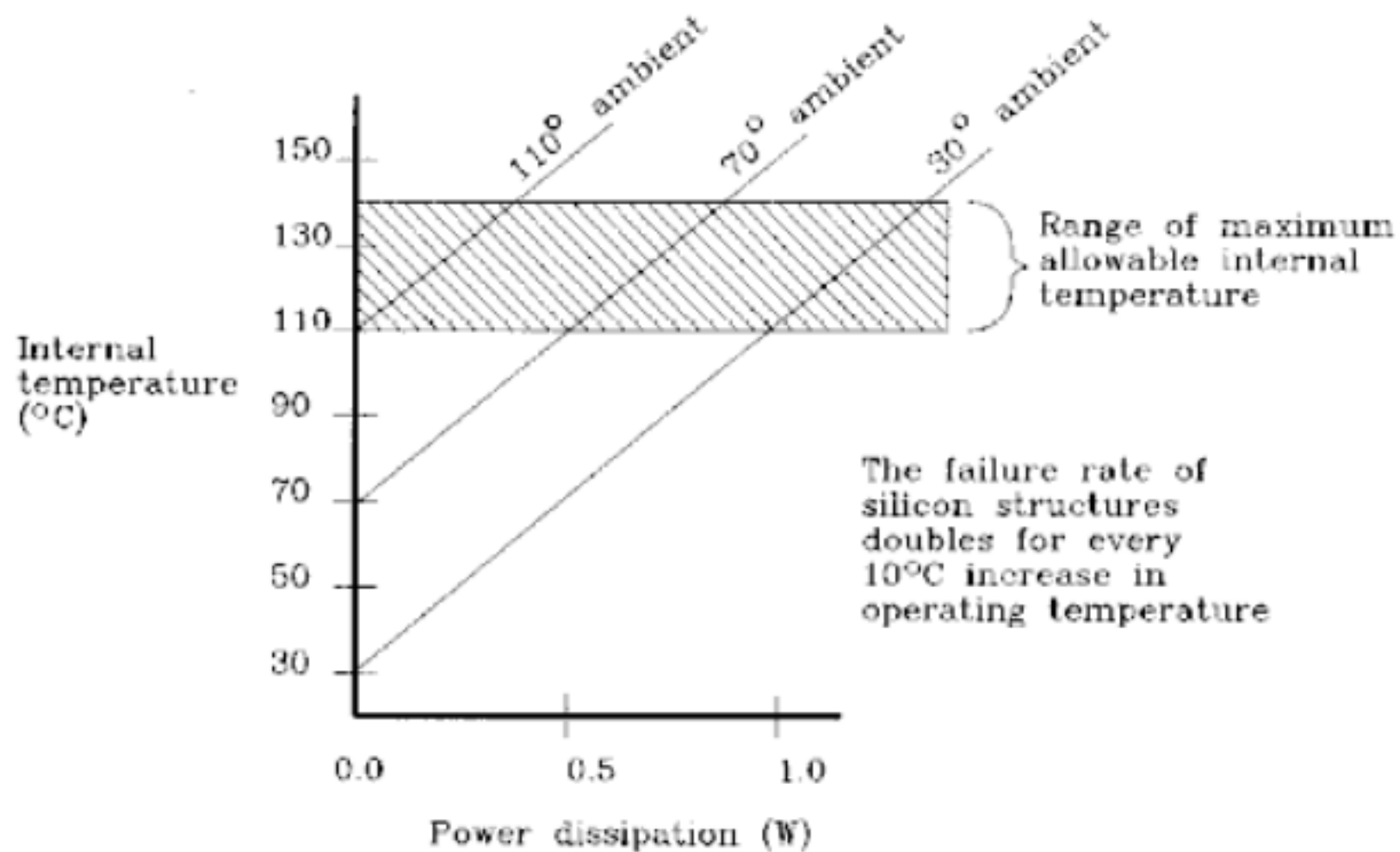


Figure 2.24 Internal temperature versus power dissipation and ambient temperature (14-pin plastic DIP package).

图2.24 14DIP 塑料封装器件内部温度与功耗对比曲线
随环境温度的变化时候的曲线

由图中可以看出来，这也就是一条直线。我们在调节环境温度分别去 30、70、110等几组不同的值，作同样的试验，得到如图 2.24的曲线，可以看出，只是曲线的起点不同而已，仍然是几组平行的直线。

由此可以得出温度随着器件功耗变化的公式：

$$T_{\text{junction}} = T_{\text{ambient}} + \Theta_{JA} P \quad [2.52]$$



其中，

T_{junction} ：结温

T_{ambient} ：环境温度

V_{JA} ：温阻；封装晶片与外部环境的温阻常数

V_{JA} ：温阻，是封装晶片与外部环境的温度传导的常数，他取决于：封装绑定的方式、材料、大小以及其它与温度传导有关的方面，比如散热设置，管脚设置等。

厂家一般把 V_{JA} 分解为两部分，一部分是从晶片到器件的常数 V_{JC} 和器件到环境的常数 V_{CA} ，通常 V_{JC} 我们是没有办法控制的，而 V_{CA} 我们却可以通过散热装置来改善。

$$V_{JA} = V_{JC} + V_{CA} \quad [2.53]$$

通常我们要估计一个设计中器件的结温，则要知道厂家提供的 V_{JC} 和散热器厂家提供的 V_{CA} ，以及知道器件的功耗，然后就可以估计芯片结温了。

2.4.3.1 温阻 - V_{JC} ：JUNCTION TO CASE（晶片到封装）

下表列出了一些不同封装的典型 V_{JC} 数值：

TABLE 2.5 Θ_{JC} JUNCTION TO CASE THERMAL RESISTANCE

16-pin plastic dual in-line package (DIP)	34°C/W
16-pin ceramic DIP	25°C/W
40-pin ceramic leaded chip carrier (LCC) with 10K square mil die	5.5°C/W
132-pin ceramic LCC with 50K square mil die	1.4°C/W

从中可以看出，封装越大，它的温阻就越小。一般理解是这样的：封装越大，晶片与封装的接触面积就会越大，因而使得温阻变小。这里我们要区分一点：封装变大的时候，晶片也变大。如果同样的封装，则晶片越小，温阻就越大。

工程师现在更感兴趣的是晶片本身的温阻、绑定方式、寻找芯片内部优良的热传导材料（陶瓷比塑料好）以及寻找更好的封装形式（平的、窄的好过厚的方的）等。

2.4.3.2 温阻 - V_{CA} ：封装与环境间的温阻

下表列出了一些不同封装的典型 V_{CA} 封装与环境间的温阻数值：

TABLE 2.6 Θ_{CA} CASE TO AMBIENT THERMAL RESISTANCE

16-pin dual in-line package (DIP) in still air	80°C/W
16-pin dual in-line package (DIP) in 400 ft/min air flow	35°C/W
72-pin ceramic pin grid array (PGA) in still air	34°C/W
72-pin ceramic pin grid array (PGA) in 400 ft/min air flow	18°C/W
72-pin ceramic pin grid array (PGA) in 400 ft/min air flow with heat sink	10°C/W

实际上，器件周围的风速对这一参数的影响非常大，因此在表中还列出了风速数值。

图2.25示意了 MOTOROLA 72 脚 BGA 封装的一个器件在不同风速和不同的散热条件下的 V_{CA} 外部温阻对比，在图中固定的内部温阻 V_{JC} 为 4°C/W 。可以看出，风速越大， V_{CA} 就会越小。

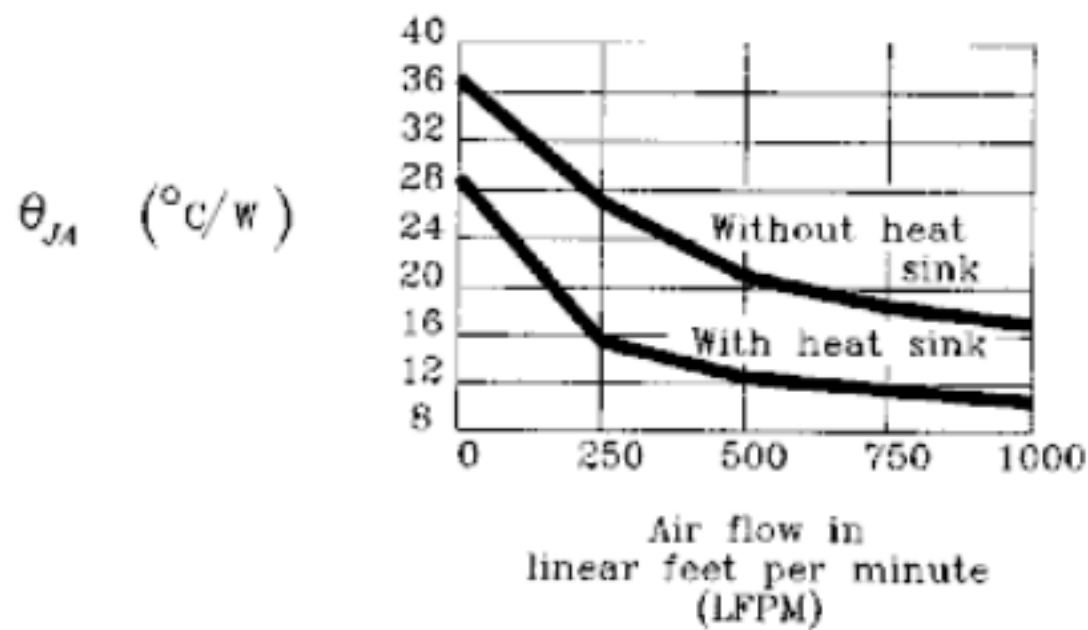


Figure 2.25 Typical thermal resistance versus air flow for a Motorola 72-lead pin grid array (PGA package). (Data courtesy of Motorola Inc.)

图2.25 MOTOROLA 72 脚BGA 封装在不同风速和不同的散热条件下 V_{CA} 的外部温阻对比

图2.26示意了三个不同厂家的散热器在静态风速以及风速为 1000英尺/分钟的时候的器件外部温阻 V_{CA} 的数值，由图中可以看出，风速的影响还是比不过散热器对器件温阻的影响那么显著。

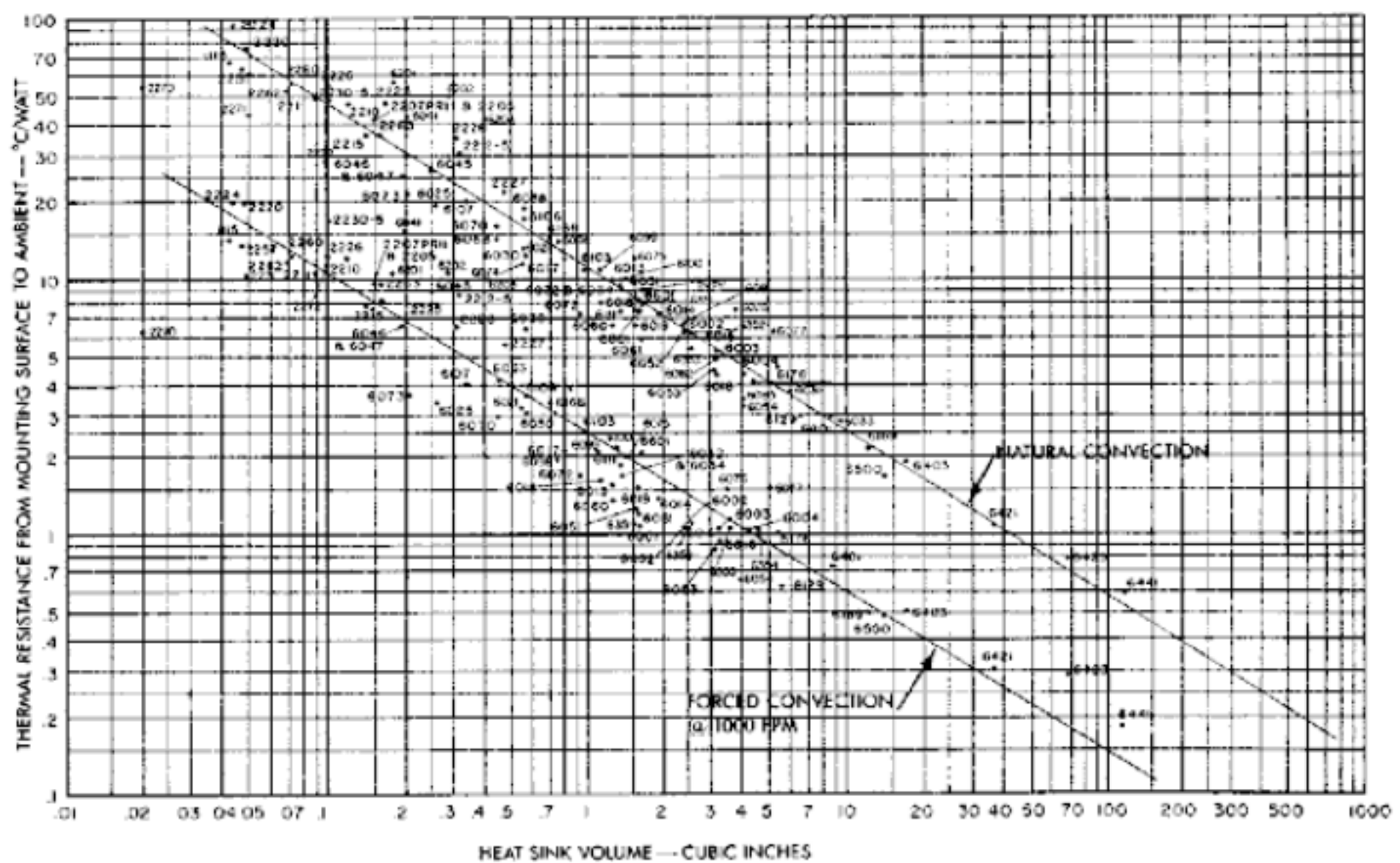


Figure 2.26 Typical thermal resistance, case to ambient, of thermalloy heat sinks. (Scatter plot courtesy of Thermalloy, Inc.)



图中直线的斜率是 $-2/3$ ，说明散热器的效率提高了原来值的 $2/3$ 次幂 (this means that the heat sink efficiency goes up as the $2/3$ power of volume, which is the same as the square of linear size)。也就是说，散热器的三维尺寸增大 40% 可以使外部温阻降低一半。

2.4.3.3 400英尺/分钟的风速有多大？

很多散热器厂家都在散热器的参数上面要求风速是 400英尺/分钟，或者更高，以保证散热器达到正常的性能。那么 400英尺/分钟究竟是多大？事实上，这已经是一个很大的值，一般的设计很难达到。

我们可以转换一下，400英尺/分钟也就是 4.5英里/小时，只是微风而已。可是在我们的设备中却是很难达到，需要一个很大的风扇。因为我们的设备空间非常有限，风扇吹出来的风，速度又减小的很快，因此如果风速太小，就会形成一些死角，永远也吹不到风。

我们 PC 机风扇的提供的风速大约是：150英尺/分钟。

本节要点：

在高速情况下，逻辑器件的封装电感的影响很关键。

输出翻转电流流向地线的时候，会产生地弹，产生的毛刺会使触发器误触发。

热量从晶片传到封装表面，再从封装表面到外面环境的温阻公式是：
$$V_{JA} = V_{JC} + V_{CA}$$

400英尺/分钟的风速是很大的。