

高速数字电路设计教材

拟制:	_____	日期:	_____yyyy-mm-dd_____
审核:	_____	日期:	_____yyyy-mm-dd_____
审核:	_____	日期:	_____yyyy-mm-dd_____
批准:	_____	日期:	_____yyyy-mm-dd_____



华为技术有限公司
版权所有 侵权必究



目 录

前言	2
第 1 章 基本原理	4
1.1 频率和时间	4
1.2 时间和距离	7
1.3 集中式系统和分布式系统	8
1.4 关于 3-dB 和 频率均方根值 的注意点	10
1.5 四种类型的电抗	11
1.6 普通电容	12
1.7 普通电感	18
1.8 估算衰减时间的一个更好的方法	22
1.8.1 在响应曲线下测试覆盖面积	22
1.8.2 图 1.15 的应用	24
1.9 共模电容	24
1.9.1 共模电容和串扰的关系	25
1.9.2 终端电阻之间的共模电容	26
1.10 共模电感	27
1.10.1 共模电感和串扰的关系	29
1.10.2 翻转磁耦合环	32
1.10.3 电容耦合和电感耦合的比值	33

前言

这本书是专门为电路设计工程师写的。它主要描述了模拟电路原理在高速数字电路设计中的分析应用。通过列举很多的实例，作者详细分析了一直困扰高速电路路设计工程师的铃流、串扰和辐射噪音等问题。

所有的这些原理都不是新发现的，这些东西在以前时间里大家都是口头相传，或者只是写成应用手册，这本书的作用就是把这些智慧收集起来，稍作整理。在我们大学的课程里面，这些内容都是没有相应课程的，因此，很多应用工程师在遇到这些问题的时候觉得很迷茫，不知该如何下手。我们这本书就叫做“黑宝书”，它告诉了大家在高速数字电路设计中遇到这些问题应该怎么去解决，他详细分析了这些问题产生的原因和过程。

对于低速数字电路设计，这本书没有什么用，因为低速电路中，'0'、'1'都是很干净的。

但是在高速数字电路设计中，由于信号变化很快，这时候模拟电路中分析的那些影响会产生很大的作用，使得信号失真、变形，或者产生毛刺、串扰等，作为高速数字电路的设计者，必须知道这些原理。这本书就详细的解释了这些现象产生的原理以及他们在电路设计中的应用。

书本中的公式和例子对于那些没有受过专业模拟电路设计训练的读者也是有用的。在线性电路原理理论课程中只接受了第一年的培训的读者，也许能更好地掌握本书的内容。

第1章——第3章分别介绍了模拟电路术语、逻辑门高速特性和标准高速电路测量方法和技巧等内容。这三章内容构成了本书的核心，应该包括在任何高速逻辑设计的学习中。

其余章节，第4章——第12章，每一章都讲述了一个高速逻辑设计中的专门问题，我们可以按照自己的需要选择学习。

附录A收集了本书各部分的要点，列出了所提出的最重要的思想和概念。它可以作为我们进行系统设计时的一个检查要点（CHECKLIST），或者碰到问题时可作为本书内容的索引。

附录B详细给出了各种上升时间测量形式背后的数学假设。它有助于把本书的结论跟相关术语的标准及来源联系起来。

附录C是列举物理结构中的电阻、电容和电感计算的标准公式。这些公式已经在MathCad上实现并可以从作者处获得。

第1章 基本原理

摘要:

高速数字电路设计跟低速数字电路设计不同的是：他强调组成电路的无源部件对电路的影响。这些无源器件包括导线、电路板和组成数字产品的集成电路。在低速设计中，这些部件单纯的只是电路的一部分，根本不用多做考虑，可是在高速设计中，这些部件对电路的性能有着直接的影响。

高速电路设计研究的主要内容是以下几个方面：

- 1、无源电路单元是如何影响信号传输的（振铃和反射）。
- 2、信号间的相互影响（串扰）。
- 3、与周围环境间如何影响（电磁干扰）。

我们在下面的几个小节里面首先介绍一下频率、时间和距离相互之间的一些关系。

1.1 频率和时间

在低频电路里面，我们可以随便直接使用一个导线把两个电路连接起来，但是在高频电路中我们不能这样做，我们只能使用一个宽一些并且是平整的物体才可以把两个电路短接起来。这是因为在低频电路中没有什么影响的导线，到了高频电路中，就变成了一个电感。

这是一个普遍的现象吗？难道真的是一个电路不能在可变化的频率范围内工作？电路的参数真是对频率敏感的吗？

是的。如果我们给一个电路画出以频率为底的对数曲线，没有一个电路参数能够在频率增加10倍或者20倍以后保持不变的。因此必须考虑每个电参数的有效频率范围。

我们先来研究一下在频率很低（周期很长）的电路中的电路特性，然后我们再来研究在高频时电路会有什么变化。

如果一个正弦波的频率是10—12 HZ，也就是说他完成一个周期需要30000年。这样的一个波形在TTL电平里每天的变化不会超过1微伏，这样的频率确实太低了，不过他还没有等于0。

这个时候我们用示波器来观察这个波形，实际上我们观察不到任何变化，因为它的周期太长了，要等到他变化完成一个周期，设备都已经风化了。

相反我们再来考虑一下如果频率是10+12 又会如何？

这时候，参数变化太大了，本来在低频时候是0.01欧姆的电阻，当频率到了1GHZ 时，由于趋肤效应，变成了1欧姆，不但如此，还增加了一个50欧姆的感抗。

频率到底在多大的范围内会对高速电路设计造成影响？图1.1是一个随机数字脉冲与它的频谱重要部分的关系图，回答了这个问题。

图1.1 的数字信号是一个触发器的输出，它的时钟频率是F_CLOCK，每个时钟对应的数据输入是随机的。在这个例子中10-90%上升时间叫做 Tr，是时钟周期的1%。

这个信号的功率密度谱如图1.1，在时钟的整数倍时是非常小的值，并且从Fclock开始直到Fknee（拐弯频率）以斜率 -20dB/10倍频 下降，越过了拐弯频率以后频谱线下降的速度急剧增加，大大快于-20dB/10倍频。在拐弯频率位置，频谱幅值是正常下降速率点再往下降-6.8dB。对于任何电路，拐弯频率的值与电路信号沿的上升时间Tr（或下降时间）有关，与时钟频率无关：

$$F_{knee}=0.5/Tr \quad \text{公式1.1}$$

式中中：

Fknee: 拐弯频率

Tr: 脉冲上升时间

可见上升时间越短，拐弯频率越高，上升时间越长，拐弯频率越低。

数字信号的时域特性主要取决于Fknee以下的频谱特性。由此我们可以定性的推出数字电路的两个重要特性：

推论1、所有对低于或等于Fknee 的频率响应都是均匀的电路，能够不失真的传输相应的数字信号。

推论2、当频率高于Fknee时，对数字信号的处理会有一定的影响。

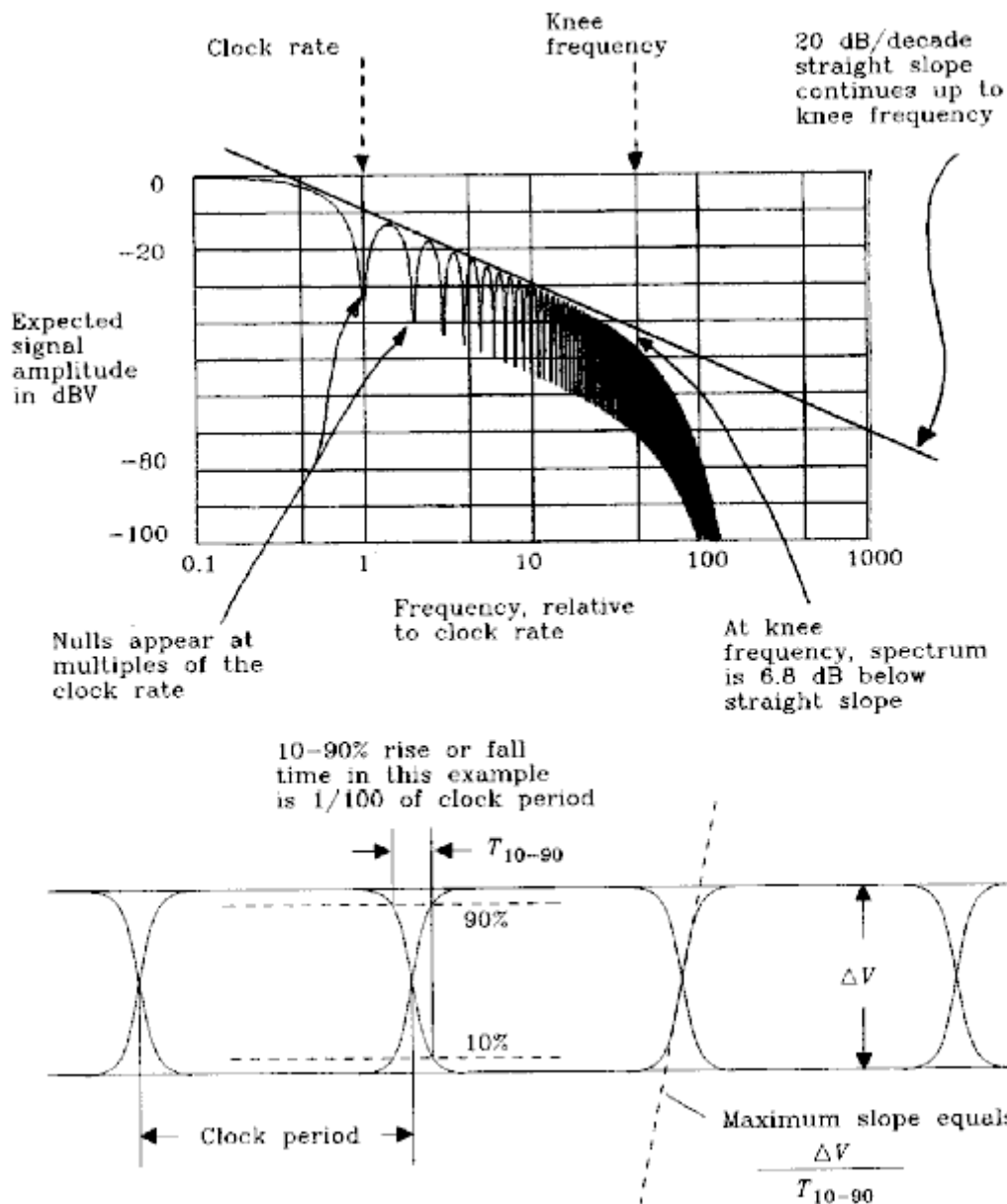


Figure 1.1 Expected spectral power density of a random digital waveform.

图1.1 随机脉冲波形的功率密度频谱

请注意我们这里的 F_{knee} 只取决于 T_r ，而跟电路的其它频域参数没有任何直接联系。这样简单的一个定义易用也易记。

当我们使用 F_{knee} 的时候，我们也要记住：这个值不是非常精确的。但是可以作为一个指示特征，我们可以通过他来区分频率敏感的影响，那些是无关紧要的，那些是破坏性的，那些是令人担心的问题，实际上在设计中我们想知道的也就是这些内容。

当然， F_{knee} 也是有限制的，他并不能够精确的确定系统的性能。实际上它并没有精确定义怎样测量上升时间。它不能代替成熟的傅立叶分析。也不能估计电磁辐射，它取决于频率在 F_{knee} 以上的的频谱特性。

同时，对于数字信号， F_{knee} 方便有效地确定了时间与频率之间的关系。在这本书中我们全部使用 F_{knee} 作为数字信号频谱的上限。附件B附加了一些上升时间和频率测试的不同方法，有兴趣可以看一下。

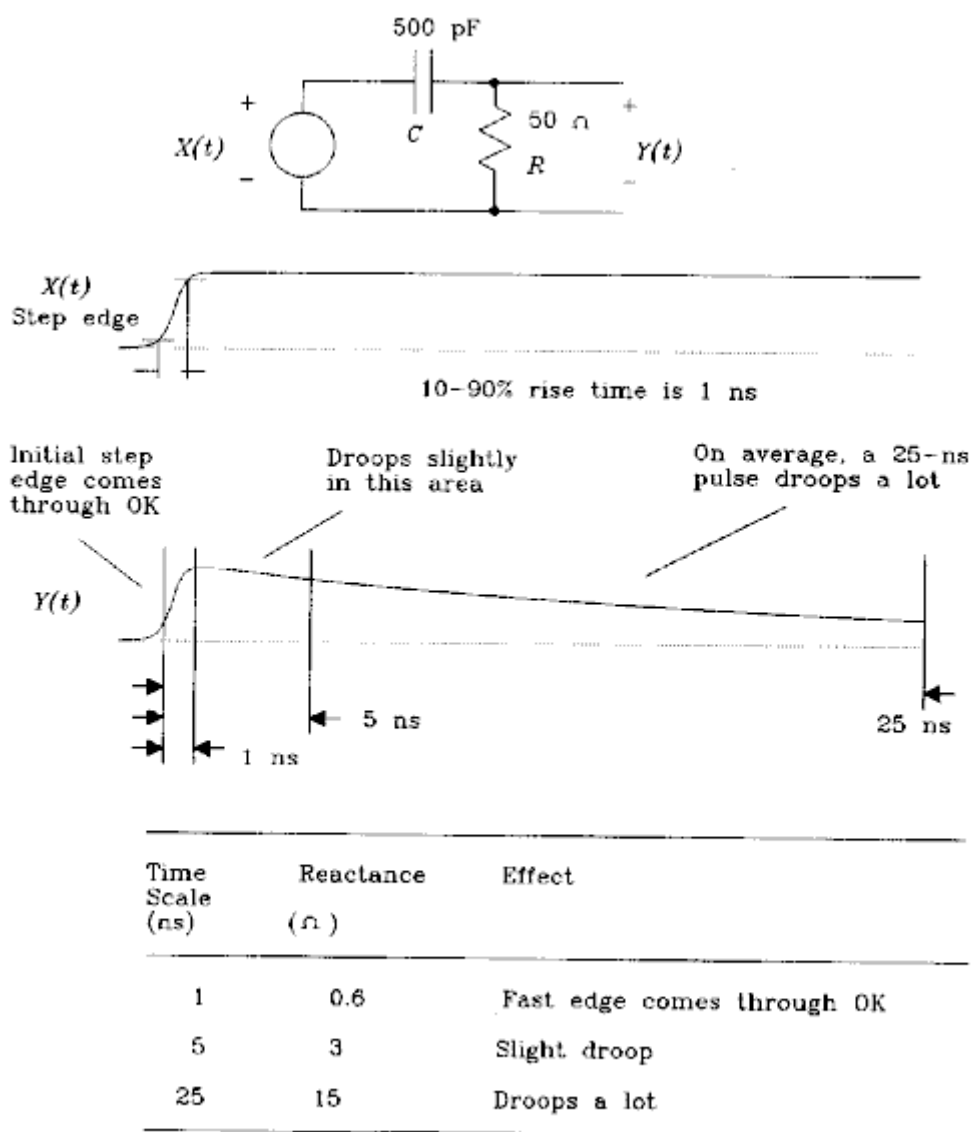


Figure 1.2 Time domain analysis of a simple RC filter.

图1.2 一个简单RC滤波器的时域分析

按照上面的推论（1），如果一个系统在低于 F_{knee} 时的频率响应是非均匀的，他会是怎样影响电路信号的呢？以下是一个实例：

我们知道一个电路的高频响应影响它的瞬时事件处理（比如上升时间）。而低频响应则影响电路的长时间事件处理（比如一个长的稳定脉冲）。图1.2显示了一个电路的高低频响应特性。对于这个电路，他是通高频，阻低频的。

我们从特殊频率点 F_{knee} 分析图1.2，在频率 F_{knee} 时电容C的电抗是： $1/C2 \pi F_{knee}$ 。我们可以利用这个公式来计算电抗值：

$$X_c = 1/C2 \pi F_{knee} = T_r/C2 \pi = 0.06 \text{ 欧姆} \quad [1.2]$$

T_r = 阶跃输入的上升时间，秒

F_{knee} = 阶跃输入的最高频率，HZ

C = 电容值，F

公式1.2表示了如何用拐点频率 F_{knee} 或上升时间来估计电容的电抗。

图1.2的电路中0.6欧姆的电抗是一个虚短路，在 F_{knee} 处的上升沿幅值会对电容造成很大冲击。

当时钟周期超过25ns的时候，比如20MHZ，电容的容抗会上升到15欧姆，将会使耦合信号明显下降。

本节要点：

- ◆ 一个电路的高频响应影响它的瞬时事件处理（比如上升时间）。
- ◆ 一个电路的低频响应影响电路的长时间事件处理（比如一个稳定的长时脉冲）。
- ◆ 数字脉冲的大部分能量集中在低于 F_{knee} 的频率范围内：
- ◆ $F_{knee} = 0.5 / T_r$
- ◆ 电路在 F_{knee} 处的特性决定了它对变化沿（STEP EDGE）的处理。
- ◆ 电路在高于 F_{knee} 时候的频率特性对数字信号几乎没有影响。

1.2 时间和距离

电信号在传输线或者PCB线路上面的传输速度取决于周围的环境。传输延时的单位是ps/inch（皮秒每英寸），传输速度的单位是inch/ps（英寸每皮秒），它们是倒数关系。

传输延时与导线周围媒体的绝缘参数的平方根成正比。同轴电缆厂家通常使用泡沫塑料或者有皱纹的材料作为绝缘材料，以减小电缆的有效绝缘常数，从而减小传输延时和传输损耗。表1.1中列出了两个同轴电缆的不同绝缘材料区别。

PCB板的传输延时与绝缘材料的绝缘常数和PCB线路的形状有关。常用的电路板材料FR-4的绝缘常数在低频时是 $4.7 \pm 20\%$ ，在高频下会恶化到4.5，计算传输延时的时候使用高频数值4.5。

TABLE 1.1 PROPAGATION DELAY OF ELECTROMAGNETIC FIELDS IN VARIOUS MEDIA

Medium	Delay (ps/in.)	Dielectric constant
Air (radio waves)	85	1.0
Coax cable (75% velocity)	113	1.8
Coax cable (66% velocity)	129	2.3
FR4 PCB, outer trace	140–180	2.8–4.5
FR4 PCB, inner trace	180	4.5
Alumina PCB, inner trace	240–270	8–10

表1.1 电信号在不同媒体中的传输延时

线路的几何形状决定了电场是停留在板上还是传播到空气中，如果停留在板上，材料的绝缘常数会增大使得传输速度降低。封闭在地层之间的 PCB 走线周围的电场是全部都在板上的，因而使得FR-4 的绝缘系数典型值为4.5。而最外层PCB走线由于与空气接触使得绝缘系数在1和4.5 之间。所以PCB外层布线比内层布线传输速度快。

特殊陶瓷材料氧化铝用于高密多层板（可到50层），它的一个优点就是温度膨胀系数小而且机械加工性能好，可以到很薄，可是太贵。微波工程师也喜欢氧化铝材料是因为他可以减小谐振腔的机械结构。

本节要点：

- ◆ 传输延时与导线周围介质的绝缘常数的平方根成正比。
- ◆ 信号在空气中的传输延时是85ps/inch。
- ◆ PCB 外层布线的信号传输速度要比内层的高。

1.3 集中式系统和分布式系统

一个传导系统对一个输入信号的响应很大程度上取决于这个系统是大于还是小于信号最快电特性的有效长度。

跟上升沿一样，电特性的有效长度取决于特征持续时间和传输延时。比如，我们分析一个10KH ECL信号的上升沿，这些门的上升时间约为1.0ns，当信号在FR-4内部走线上传输时，上升沿长度是5.6inch:

$$l = \frac{T_r}{D} \quad [1.3]$$

where l = length of rising edge, in.

T_r = rise time, ps

D = delay, ps/in.

图1.3画出了一系列沿着10英寸直导线的传输电位图。在左边输入一个1ns的上升沿，脉冲信号在导线传输的过程中，各点的电压是不一样的。这个系统沿着这根导线传输的脉冲响应是分布式的，我们把它成为分布式系统。在第4ns得到的上升沿的物理长度是4.5inch。

一个物理上足够小的系统，小到每一点的响应都可以认为是几乎同时的时候，我们就称之为集中式系统。图1.3示意了一个1英寸导线响应同一个1ns上升沿时，作为一个集中式系统的响应，可以看出，在每一点，变化几乎是同步的。

一个系统是集中式系统还是分布式系统取决于通过它的信号的上升时间，把系统大小和上升时间大小比值作为区分特征。对于PCB点对点总线走线，如果线长度小于信号传输有效长度的1/6，就可以看作是一个集中式系统。

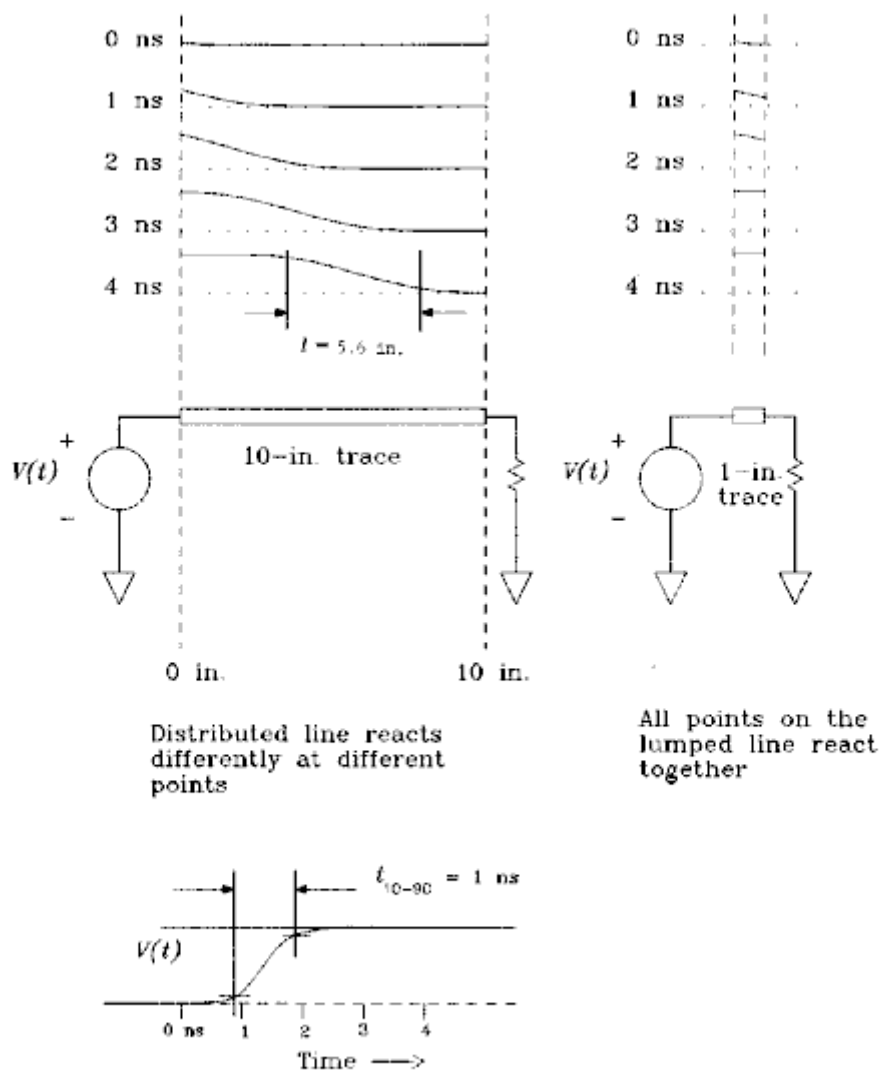


Figure 1.3 Snapshots in time of the electric potential on distributed and lumped transmission lines.

图1.3 分布式和集中式系统传输线上对上升沿响应不同时间各点电位示意图

本节要点:

$$\text{Length of rising edge } l = \frac{\text{Rise time (ps)}}{\text{Delay (ps/in.)}} \quad [1.4]$$

- 上升沿长度: $L = \text{上升时间/传输延时}$
- 如果线长度小于信号传输有效长度的1/6, 那么我们就把他看做是一个集中式系统。

1.4 关于3-dB 和 频率均方根值 的注意点

与模拟领域的规范不同, 在数字领域, 通常把频率响应转换为上升时间。

例如示波器厂家对垂直放大器引入一个操作带宽, 而对每一个探针又引入一个相应的最大带宽。根据不同的厂家可能引入的概念是3-dB 带宽或者 RMS带宽 (等价噪音)。不管是那种情况, 带宽和上升时间的转换据决定于示波器的频率响应曲线的形状。

幸好我们并不是需要每回都要计算出精确的上升时间。鉴于这本书的目的, 我们建议了一种易用的方式, 我们可以忽略频率响应形状的细节。附录B对比了几种不同的脉冲类型的计算, 说明了这种方法的正确性。

下面的式子中我们把频率转化为10—90%上升时间。正如附录B中的说明, 对于我们做测试和数字电路的维修所需要的精度, 不管是定义上升时间为10—90% (示波器脉冲中间点斜率的倒数) 还是用标准的偏差法, 都没有什么关系。

$$F_{3dB} \approx \frac{K}{T_r} \quad [1.5]$$

$$T_r \approx \frac{K}{F_{3dB}} \quad [1.6]$$

where F_{3dB} = frequency at which impulse response rolls off by 3 dB

T_r = pulse rise time (10–90%)

K = constant of proportionality depending on exact pulse shape;

$K = 0.338$ for gaussian pulses; $K = 0.350$ for single-pole exponential decay

对于高斯脉冲, $K=0.338$; 对于单极指数衰减脉冲, $K=0.350$ 。对于大多数的数字信号, 这种小变化是没有什么关系的。

如果厂商引入RMS带宽或者等价噪声带宽, 下面的关系式可以算出子系统的10—90%上升时间, 这里的常数 K 从0.36变化到0.55, 取决于不同的脉冲类型, 跟3.6式子比起来有稍微增大:

$$T_r \approx \frac{K}{F_{RMS}} \quad [1.7]$$

where F_{RMS} = RMS bandwidth

T_r = rise time (10–90%)

K = constant of proportionality depending on exact pulse shape;

$K = 0.361$ for gaussian pulses; $K = 0.549$ for single-pole exponential decay

通过示波器来观看一个非常快的上升沿（远快于示波器的响应速度），可以区分它是单极响应还是高斯类型响应。如果响应的上升沿非常陡，下降的拐弯非常急，然后是长长的尾巴，它可能是单极脉冲响应（SINGLE-POLE）；如果脉冲沿比较平缓，上升和下降是比较对称的，估计就是高斯脉冲。如果介于两者之间，则K取值为：0.45。

1.5 四种类型的电抗

四个电路概念区分了高频数字电路和低频数字电路的研究：电容、电感、共模电容、共模电感。这四个概念有助于我们对高速数字电路元素的描述和理解。

研究电容和电感的方法非常多，微波工程师用麦克斯维方程式进行研究，控制系统的设计师使用拉普拉斯变换，一种专门的 SPICE 仿真使用线性微分方程，而数字工程师则一般使用阶跃响应的方法。

阶跃响应的方法显示了我们需要的东西：一个脉冲输入到一个电路元素时的响应。这样我们就可以得电路元素的阻抗—频率曲线。在这个意义上，阶跃响应法至少与频域的阻抗测量方法一样有效。

我们对电容和电感的研究将集中在电路元素的阶跃响应。

图1.4 示意了一个双端器件的典型的阶跃响应测量方法。用一个输出阻抗为 R_S 欧姆的阶跃源，并联到测试电压响应的设备。实际测试中，我们一个接一个地发阶跃脉冲，然后在示波器上面就可以同步的看到响应波形。

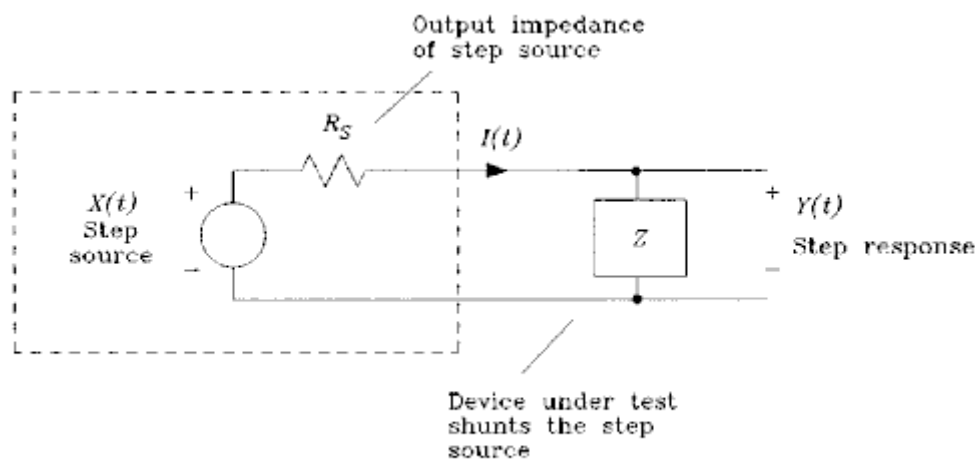


Figure 1.4 Step response test for a two-terminal device.

图1.4 双端器件阶跃响应测试

通过观察阶跃响应和使用以下3个法则，任何人都可以马上得到器件的特性：

- 1、电阻的阶跃响应是均匀的，在0时刻，输出即可以上升到固定值并且保持稳定。
- 2、电容响应是一个上升的阶跃响应，在0时刻阶跃输出也为0，但是不久就可以上升到满幅度。
- 3、电感的响应是一个下降的阶跃响应，在0时刻，输出会上升到满幅度，但是不久就会衰减到0。

我们可以分析电路的响应（它是一个时间函数）的特性是不变的？还是上升的？还是下降的，把器件分为阻性、容性和感性。

电抗性质的影响（包括电感和电容）又可以进一步分为普通和共模两类，普通容抗和感抗描述了独立器件（双端器件）的特性，共模容抗和感抗概念描述了两个电路之间的相互影响。在数字电路里面，共模容抗和阻抗通常产生我们所不期望并设法减小的串扰。普通的电容和电感是有帮助的，要视乎电路的实际情况而定。

我们将使用一种特殊的阶跃响应的方式来测试共模容抗和感抗电路的特性。

我们只研究集中式系统的以下特性：

- 普通电容
- 普通电感
- 共模电容
- 共模电感

1.6 普通电容

如果两个导体充上不同电位的电荷，就会产生电容，这两个导体之间会存在电场，这些能量是由驱动电路供给的。由于驱动电路的驱动源能量是一定的，因此，经过有限的时间以后，电容两端的电压差就可以上升到一个稳定值。这种在外部有一个能量冲击的时候阻止电位上升很快，或者下降很快的特性就称作电容。在有一定的低电压的时候就能够保持大量电场能量的结构，比如两个并列的电极片，就会存在比较大的电容。

图1.5示意了一个电容在30欧姆源驱动下的理想的电流和电压波形（TTL门输出阻抗约30欧姆）。电容的阶跃响应曲线是时间的函数。当阶跃电压瞬间加载电容两端的时候，会有一个很大的电流产生来建立电场，此时由于电流比较大， $Y(t)/I(t)$ 就会很小。电容是瞬间短路的。

经过一定的时间以后， $Y(t)/I(t)$ 变大，电流会变到很小，此时电容可以看做是开路的。最后，当电场完全建立起来以后，只会剩下一个很小的漏电流，这个值的大小决定于电极之间绝缘体的绝缘特性。这个时候 $Y(t)/I(t)$ 非常大。

有的电路对于阶跃响应，在某个时段看起来像是容抗特性，在另外一个时段看起来又像是感抗特性，反之亦然。比如，电容两端的引脚在频率很高时就有电感特性，它的阶跃响应在零时刻的几百个皮秒之内会看到一个脉冲，然后迅速降到0，后面在按照正常的电容曲线显示。

如果阶跃源的上升时间比较长，那么可能会由于示波器扫描时间比较慢的缘故我们将看不到感抗脉冲。有趣的是我们可以通过调节阶跃冲击源的上升时间和扫描时基来确定一个频率范围，这样就可以很好的观察电路的特性。

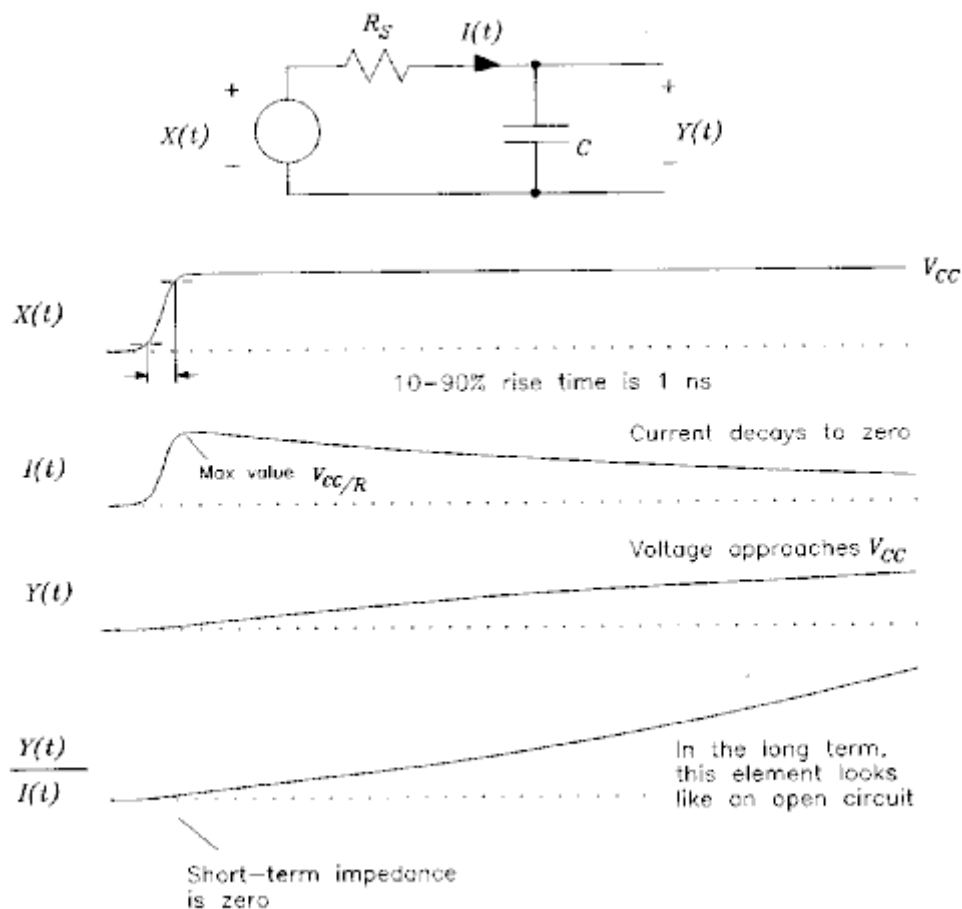


Figure 1.5 Step response of a perfect capacitor.

图1.5 理想电容的阶跃响应

一般说来，如果上升时间是 T_r ，0时刻的阶跃响应与电路在频率 F_A 的阻抗值有关：

$$F_A \approx \frac{0.5}{T_r} \quad [1.8]$$

where T_r = rise time of step source

F_A = approximate analysis frequency

取一段时间阶跃响应的平均值，我们可以估计低的频率时的阻抗，用公式1.8我们可以估算出对应于平均时间 T_r 的分解频率。

阶跃响应的最终值表示了DC的阻抗值。

只根据上升时间是 T_r ，没有办法推断器件远高于 F_A 时候的特性。我们一定要保证阶跃源足够快从而我们可以很好的看到我们需要的东西。

图1.6是一个可以测试pF级别电容在几个纳秒时间内特性的装备，可以用来测试PCB走线、门输入、旁路电容以及其它一些数字电路的容性特性。

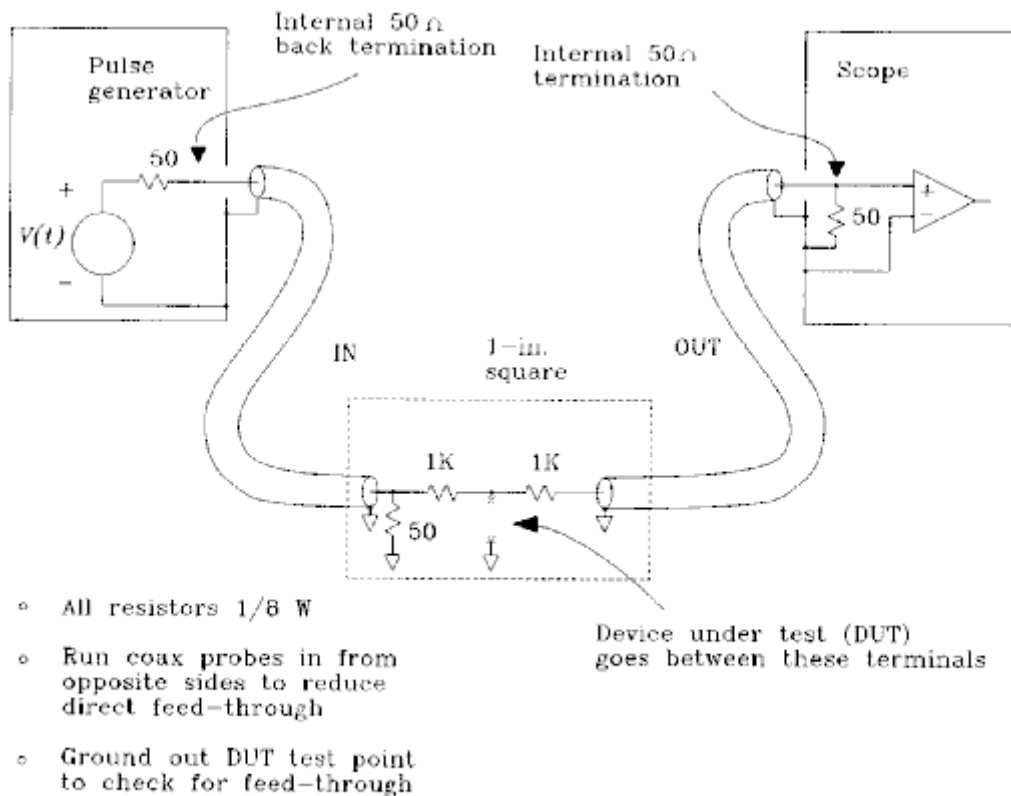


Figure 1.6 A 500-Ω lab setup for measuring capacitance.

图1.6 测试电容的500欧姆试验装置

这个装置使用驱动被测电容的脉冲源阻抗是已知的，通过测量响应波形的上升时间，我们可以推断出电容值。相对我们使用音频的方法来说，这个方法要复杂一些。它的复杂来源于高频时候很难保持和传递电磁场能量。同轴电缆用来把测试信号和测量结果传递进出1平方英寸大小的固体地平面，这个平面是测量进行的地方。限制测量区域为1平方英寸以保证所测电路是集中式系统。

例子：1.1 测量到地的小电容

图1.6实例中的待测设备（DUT）是一个并列金属片电容，0.5英寸*0.75英寸，是印制在地层之上0.008英寸高的FR-4印制电路板上面1.5-oz铜皮。这种结构形成了一个寄生电感非常小的电容。

测试装备由输入和输出两个RG-174的同轴电缆构成，输入电缆对地加了一个50欧姆终端电阻，同时还串了一个1K电阻来驱动DUT。1K电阻把DUT和信号源隔离开来了。使得驱动源的输出阻抗在各种阻抗DUT下都是保持恒定的。驱动阶跃源的上升时间和幅值也不会受DUT负载阻抗影响。

脉冲发生器提供一个类似于实际电路的上升时间和幅值的信号，当测量无源器件时，脉冲发生器的DC分量是无关紧要的。但测量一个输入门的时候，我们要不断调整脉冲源使其跨越输入开

关范围，并把能量传递到被测门，使被测门进入测试的操作范围，如果输入门要求的电流比较大的话，源电阻要比1K小一些。

如果你的信号发生器有一个50欧姆Back-termination特性，能减小输入电缆上的反射，它是在信号发生器的输出串50欧姆的电阻，降低由于Test jig与信号源输出阻抗不可避免的失配而导致的在源电缆上的来回反射。使用back termination可以削弱源信号的反射，首先是在它从test jig反射回来的时候，然后是从信号源的back termination 电阻反射并返回测量设备时。back termination 虽然减小信号源输出的幅值为原来的一半，但是它改善了系统的阶跃响应。

输出电缆通过一个1K电阻单独连接被测电路，在示波器的内部有50欧姆的终端匹配。1K的电阻作为21:1的探头，这样安排的好处在后面的示波器探头一节中有介绍。输入输出电缆的长度都是3英尺。

在DUT断开时，这个开环电路的在2.6V阶跃冲击下的响应波形如图1.7，上面的波形时基是5ns/格，下面波形的时基是500ps/格。

使用的示波器是TEK 11403,自动记录的波形10-90%上升时间是818ps，测得的幅值是63mV（测得的峰值是67mV），算出来得到的DUT处幅值为1.3v,是冲击源的1/2。

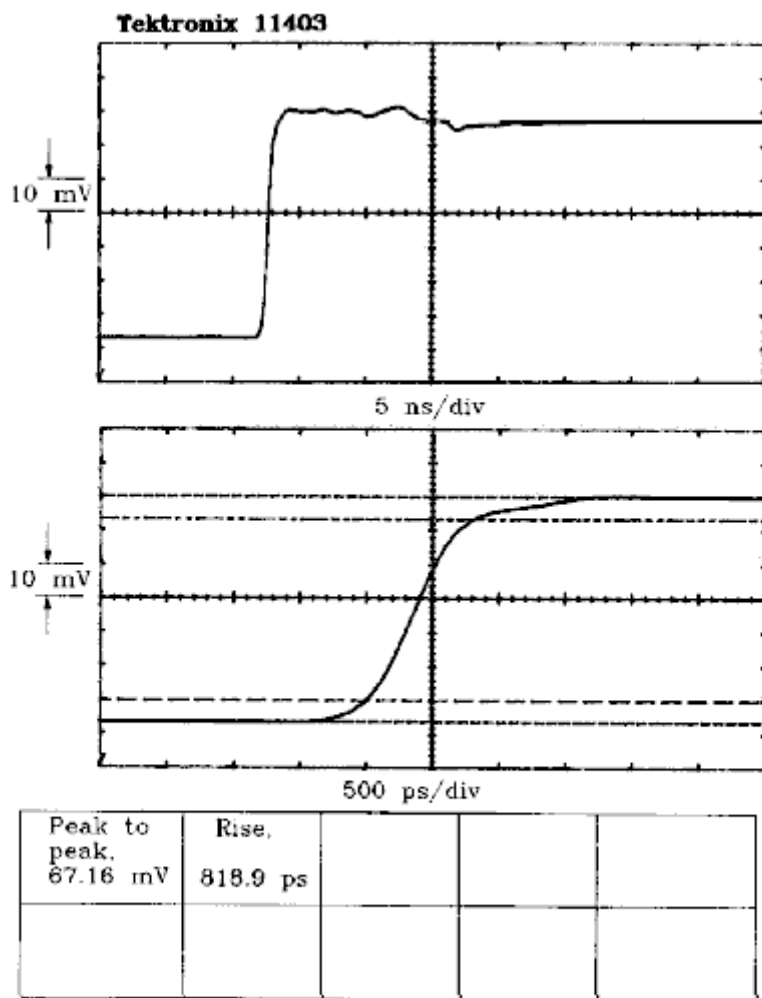


Figure 1.7 Open-circuit response of a 500-Ω capacitance test setup.

图1.7 500欧姆电容测试装置的开环电路响应

图1.8是测试装置的等价戴维南电路，在这个电路里面把系统总的上升时间合进了冲击源，这对测试是没有影响的，只要知道这个测试的比例就可以了。

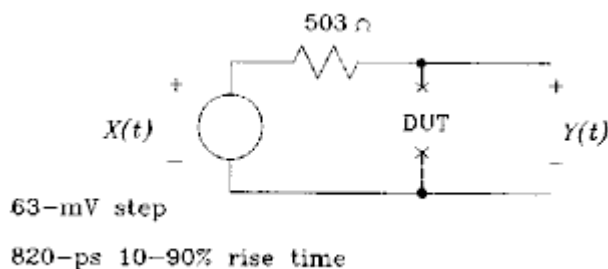


Figure 1.8 Thevenin equivalent of a 500-Ω capacitance test setup.

图1.8 500欧姆电容测试装置的戴维南等价电路

源阻抗是503欧姆，在输出关闭的时候可以用万用表测出来，也可以算出来。

把DUT接上去以后，得到的波形是一个的容性负载波形，一开始较低，然后上升。把保存的开路时候的波形打出来作对比。从整个800ps~40ns的时间里，DUT显示了很好的容性。

图1.9 的光标是波形的63%上升时间处，可以读出来，从开始到这点的时间是23.5ns，由于驱动电阻是503欧姆，可以算出DUT电容是 $C=t/R$:

$$C=t/R=23.5\text{ns}/503\text{欧姆}=46.7\text{pF} \quad \text{公式1.9}$$

$$C = \frac{23.5 \times 10^{-9} \text{ s}}{503 \, \Omega} = 46.7 \text{ pF} \quad [1.9]$$

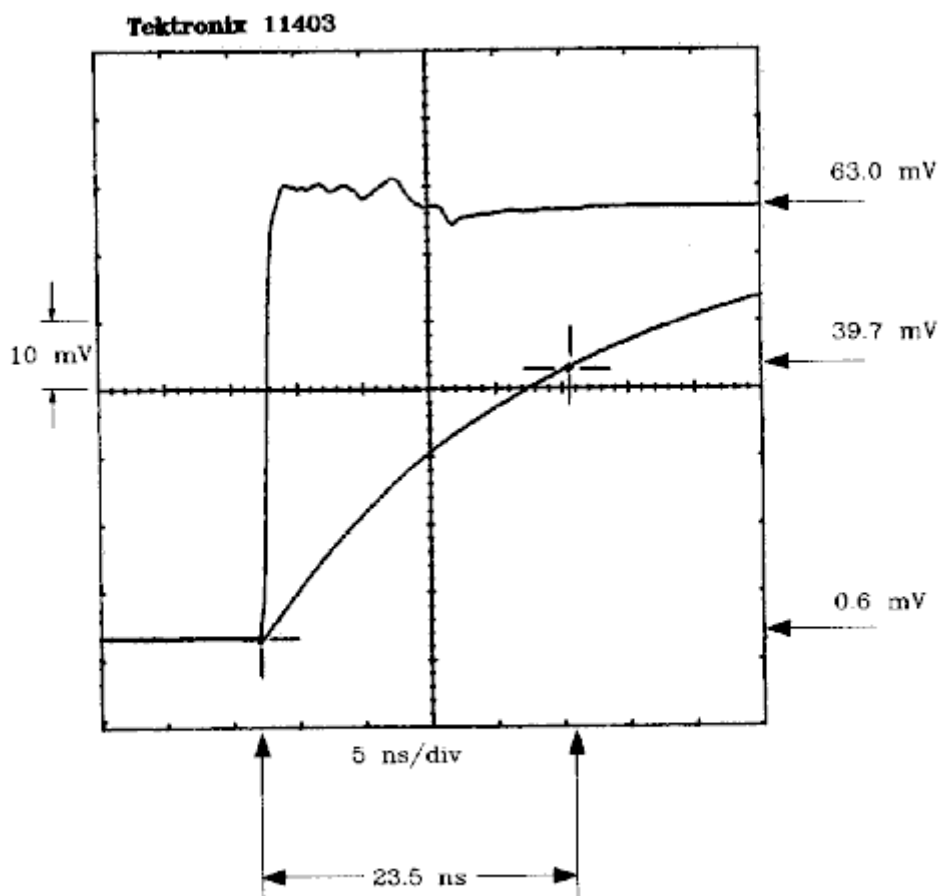


Figure 1.9 Finding a time constant using the 63% method.

图1.9 使用63%的方法找出时间常数

可以用上升时间和频率之间的关系，通过观察电容的数字波形的上升时间而了解到电容的容抗。这个关系在我们分析容抗使得数字波形失真的时候非常有用。

$$X_C = \frac{T_r}{\pi C} \quad [1.10]$$

对于3ns上升时间的阶跃响应，例子1.1的电容电抗是20.44欧姆，它会使带有30欧姆输出阻抗的TTL驱动器的输出波形在3ns的上升沿发生明显的畸变。

任一时刻通过电容电流的大小总是跟它两端电压的上升时间有关的：

$$I_{\text{capacitor}} = C \frac{dV_{\text{capacitor}}}{dt} \quad [1.11]$$

使用公式1.11可以计算两个电路间的电容导致的串扰。

本节要点：

- ◆ 使用脉冲源和示波器我们可以很容易的建立电容的测试装备。

1.7 普通电感

如果有电流存在，就会产生电感，电流产生磁场，这些能量是由驱动电路供给的，由于驱动电路的驱动源能量是一定的，因此，经过有限的时间以后，电流就可以上升到一个稳定值。这种阻止电流上升或下降等变化趋势的特性就称为电感。

图1.10示意了一个电感在30欧姆驱动下的理想的电流和电压波形（TTL门输出阻抗约30欧姆）。电感的阶跃响应曲线是时间的函数。当阶跃电压瞬间加载电感两端的时候，0时刻电流几乎没有，因此 $Y(t)/I(t)$ 会非常大，电感是瞬间是开路的。

经过一定的时间以后， $Y(t)/I(t)$ 变小，电流会变大，最后电压几乎会降至0，此时电感相当于一个短接电路。最后，当电感周围磁场完全建立起来以后，电流值只受电感的直流电阻影响。 $Y(t)/I(t)$ 非常小。

图1.11示意了一个可以测试nH电感特性的理想装置，可以用来测试PCB地线或者一般端连接线的感性特性。

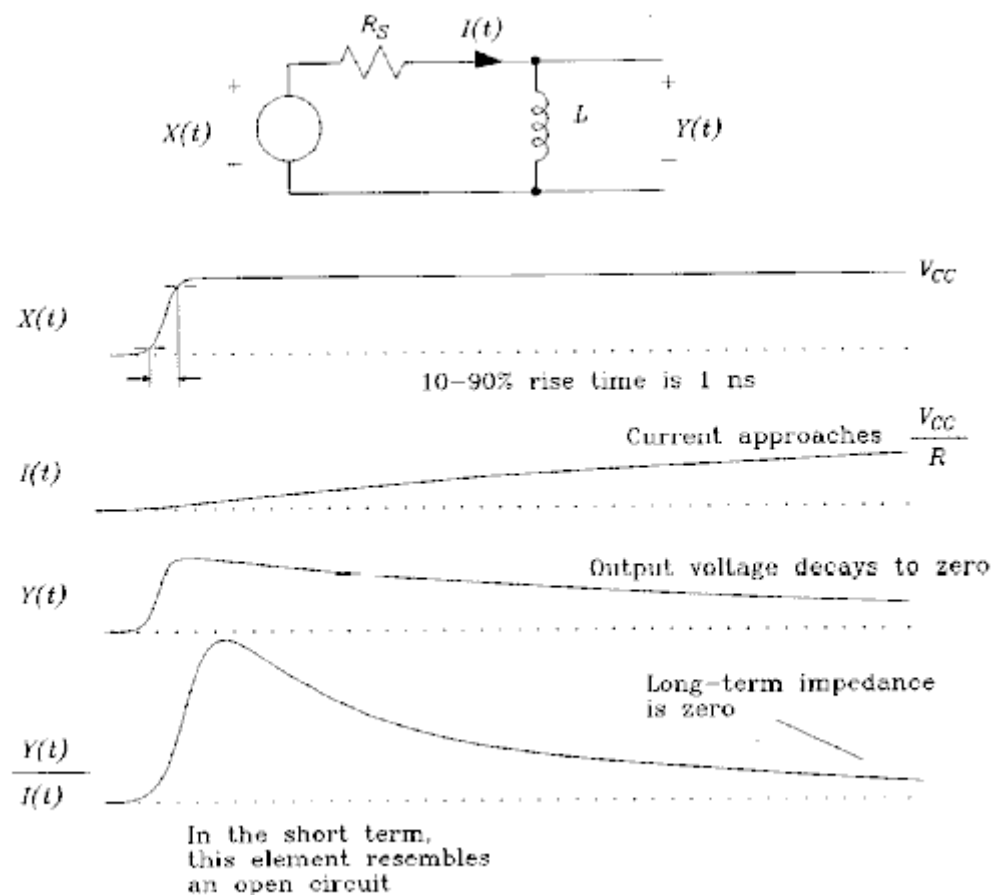


Figure 1.10 Instantaneous resistance of a perfect inductor.

图1.10 理想电感的瞬间阻抗

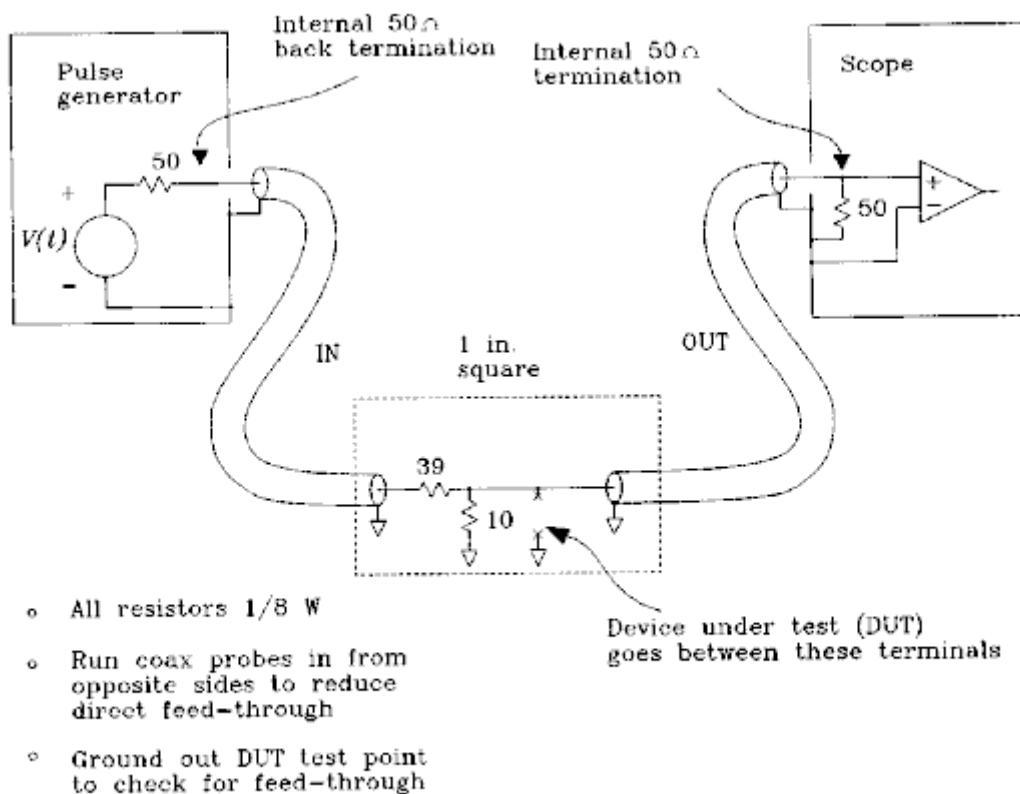


Figure 1.11 A 7.6-Ω lab setup for measuring inductance.

图1.11 理想电容的阶跃响应

例子：1.2 测量到地的小电感

图1.11实例中的待测设备（DUT）是一个1英寸长的印制线，是印制在地层之上0.008英寸高的FR-4上面1.5-oz铜皮，宽度是0.010英寸，它的远端通过一个直径为0.035英寸的过孔与地相连，这个结构在开路的时候会有一个2pF的寄生电容，当远端短接的时候，此值会下降一半。算出来的电感值大约是9nH。

如果使用一个800ps的上升沿来测试电路特性，这一速度下的寄生容抗比我们要观察的感抗大的多：

$$X_C = \frac{T_r}{\pi C} = 254 \Omega \quad [1.12]$$

$$X_L = \frac{\pi L}{T_r} = 35 \Omega \quad [1.13]$$

大约是8倍的关系，这个电容的影响是：它会使L/R观察值增大12%。

测试装备由输入和输出两个RG-174的同轴电缆构成，输入电缆对地加了一个49欧姆的终端电阻，同时还并了一个10欧姆的电阻到地。这个测试装备冲击源跟DUT进行隔离不及容性测试装备好。驱动源的输出阻抗在各种阻抗DUT负载下范围在39欧姆—49欧姆之间。为了使我们的电路不受反射影响，不要忘记加上匹配电阻。

脉冲源信号是没有DC分量的，不管怎样电感的短路特性会把直流分量消除掉。

在输出关闭但是终端匹配加上的情况下在DUT端可以测到信号源阻抗是7.6欧姆，这是几个电阻并联的结果。

这里在DUT使用了一个小的驱动阻抗以增大L/R衰减时间，如果我们戴维南等效源阻抗为500欧姆的测试装备，期望L/R时间只有0.08ns，但是如果是7.6欧姆，那么L/R衰减时间是1.2ns。

输出电缆通过直接与DUT连接，再与示波器的输入端相连，示波器的终端加了50欧姆的匹配。输入输出电缆的长度都是3英尺。

7.6欧姆的测试装备，2.4V输入的阶跃响应波形如图1.2，示波器自动计算出来10—90%上升时间是788ps，阶跃幅值是417mV，探头的衰减为1:1，所以测得值是实际值。

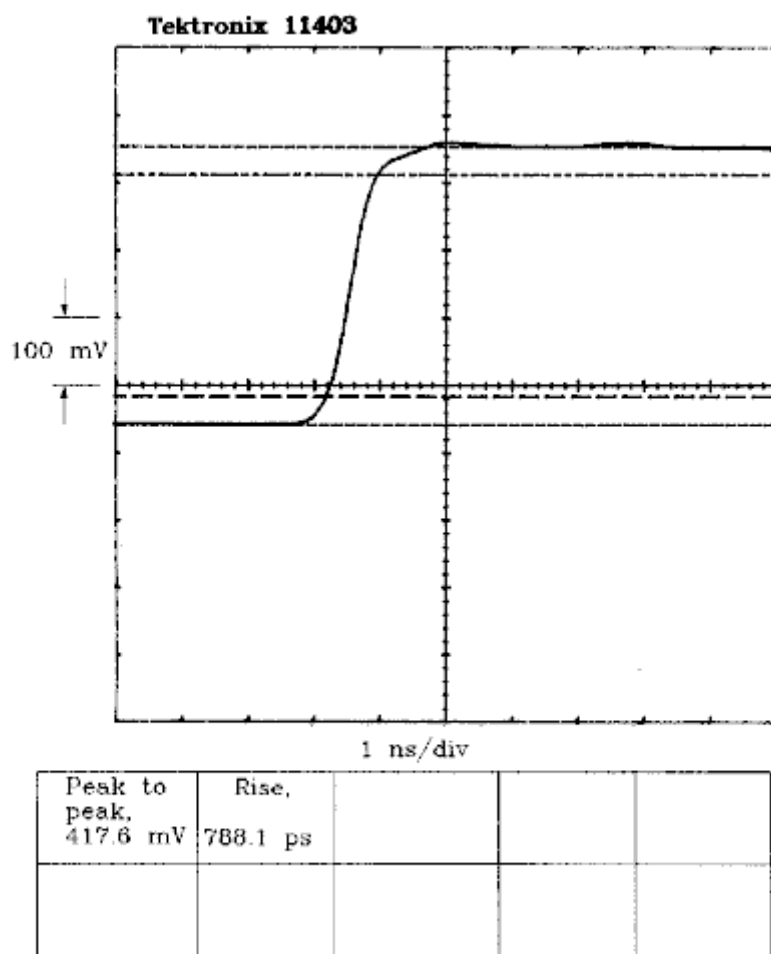


Figure 1.12 Open-circuit response of a 7.6- Ω inductance test setup.

图1.12 500欧姆电容测试装置的开环电路响应

图1.13是7.6欧姆测试装置的戴维南等效电路。

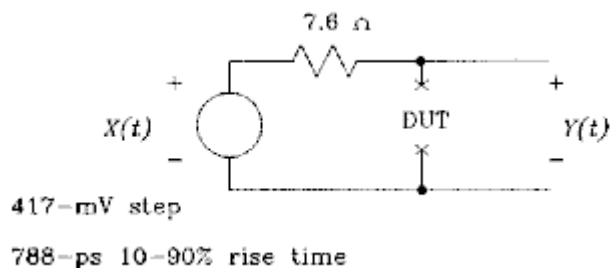


Figure 1.13 Thevenin equivalent of a 7.6-Ω inductance test setup.

图1.13 7.6欧姆测试装置的等价戴维南电路

当我们把DUT接上去以后（如图1.14），电压波形表现出感性特征，随着输入信号上升很快，然后下降，最后到0。在800ps到7ns的范围里，观察到的DUT是感性的。按照我们图中两个乘法因子e对应的光标位置测量出来的指数衰减时间是1.36ns。

根据测得的衰减常数，利用关系式 可以算出DUT的感抗：

$$L = (1.4 \times 10^{-9}) (7.6 \, \Omega) = 10.6 \, \text{nH} \quad [1.14]$$

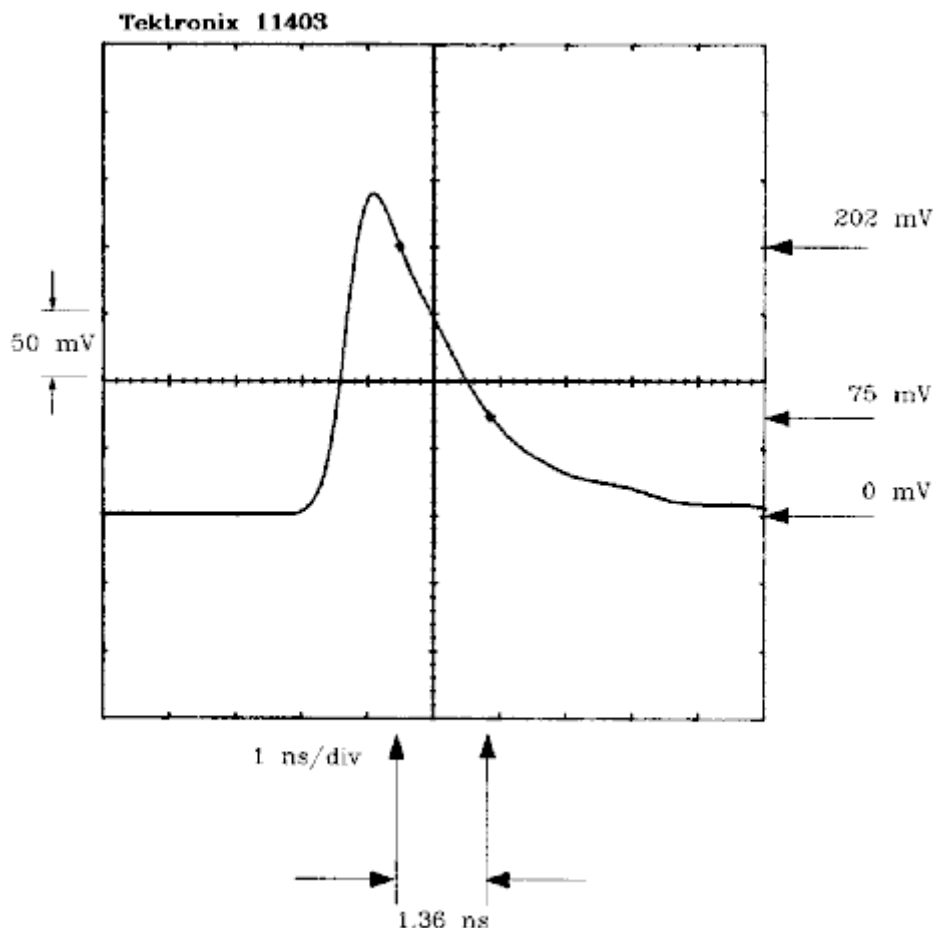


Figure 1.14 Decaying exponential response of a 7.6-Ω inductance test setup.

图1.14 7.6 欧姆 测试装置的衰减指数响应

利用上升时间和频率之间的关系，观察电感的数字波形的上升沿可以了解到电感的感抗。这个关系在分析恶劣的接地情况下寄生电感对地反射的影响时非常有用。

$$X_L = \frac{\pi L}{T_r} \quad [1.15]$$

对于3ns上升时间的阶跃响应，例子1.2中1英寸的走线阻抗是9.4欧姆，如果把它用来接50欧姆的终端匹配到地，它的合成的阻抗将会被削弱20%，如果用他来给8个50欧姆匹配组接地，并联电阻为50/8=6欧姆，比导线阻抗还小。如果8个线路一起翻转，这时候匹配电阻完全不起作用。

任一时刻电感两端电压的大小常常是跟通过它的电流上升时间有关的，关系如下：

$$V_{\text{inductor}} = L \frac{dI_{\text{inductor}}}{dt} \quad [1.16]$$

在后面我们将可以使用公式1.16来计算两个电路间的电感导致的串扰。

当讨论什么是或者不是一个理想的短路设置时，考虑两种数字线接地的方法：刀片短路和镊子短路。

在测试中，经常要短路一些信号以验证我们的假设，如果短路导体的感性太强的话，窄脉冲将会通过而不被短路，时钟线和同步中断线特别容易受到这种窄脉冲的影响。

假设是刀片短路了一个距离为0.300英寸的电路，它的感值约为2nH，对于1ns的上升脉冲，阻抗约为6欧姆（公式1.15）。

如果使用镊子短接同样的电路，它就会有10—20nH左右的感值，拐了一个弯的电流产生的电感会大的多。同样对于1ns的上升沿，他会有30欧姆的感抗，要用它来短路TTL的短脉冲就显得太大了。

1.8 估算衰减时间的一个更好的方法

在感抗测试装备中，期望特性衰减时间与测试装备的开路上升时间的比值不是很大：

$$\frac{T_{L/R}}{T_{\text{open}}} = \frac{1 \times 10^{-09}}{0.8 \times 10^{-09}} = 1.2 \quad [1.17]$$

低比率意味着：初始化的阶跃响应上升还没有结束，测试波形已经开始衰减。测试到的波形并非是一个完全的指数曲线，而是一个更复杂的曲线。仔细观察图1.14可以发现实际上波形峰值只有250mv，而开路的渐近值有417mv。这说明例子1.2中的指数时间常数并没有精确的反映电感特性。如果我们在离开初始化过程远一些的地方，进一步从波形中测量衰减常数，实际的波形将更加接近指数衰减。不幸的是，实际上不可能做得更深入，当我们试图观察屏幕右方的波形时，会发现由于寄生耦合、反射和其它的噪音的影响，波形上的干扰太大。

1.8.1 在响应曲线下测试覆盖面积

我们需要一个更加可靠的方法来是用图1.14的曲线估算电感，这就要找出一个代表整个曲线的参数，这个参数应该能够不受测试设备和较短上升时间导致波形失真的因素的影响。方法就是测试在响应曲线下测试覆盖面积来估计感值。

图1.15使用了一个TEK 11403的测试特性来测试曲线面积，得到的面积单位是皮伏/秒，图1.14的面积是495.7pVs。实际中我们也可以使用梯形细分的方法来手工计算出曲线面积——把曲线范围细分成多个梯形，计算各部分面积，求和即可。

下面我们再来讨论面积和L之间的关系。

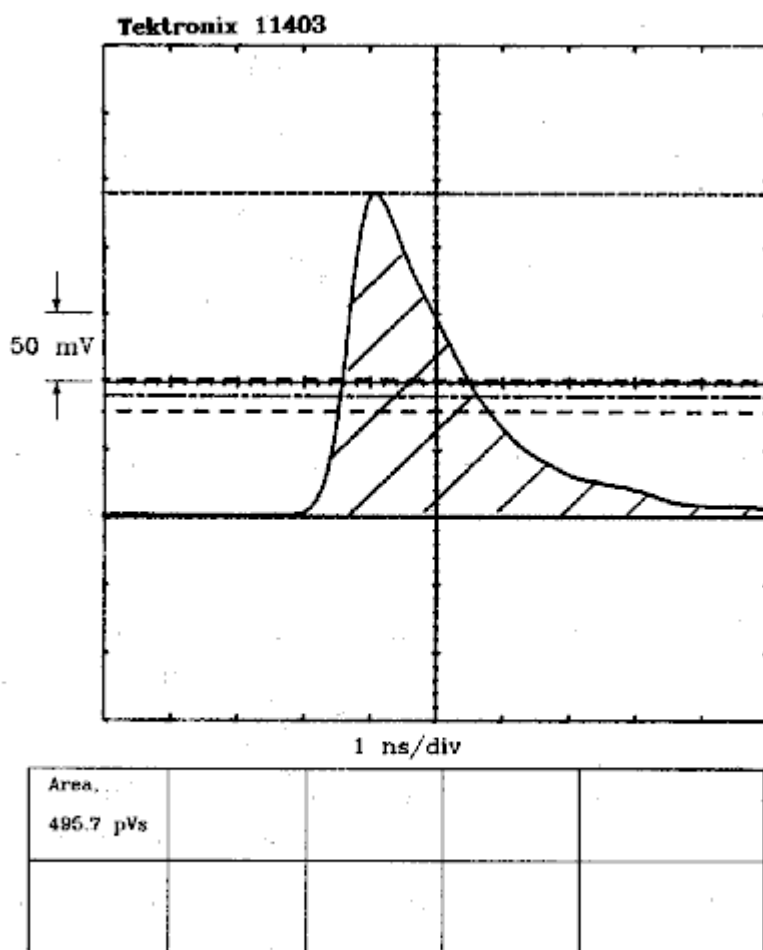


Figure 1.15 Area under the response of a 7.6-Ω inductance test setup.

图1.15 7.6 欧姆电感测试装置响应脉冲面积

首先，电感两端电压与通过它的电流变化率关系有关，关系式如下：

$$[1.18]$$

把上面的公式求积分得到，做一些详细的推导后（推导过程略），将可以得到：

$$[1.23]$$

1.8.2 图1.15的应用

对于图1.15 的实例，我们得到：

[1.24]

由于使用整个面积的方法与选取两个基准点的方法相比，它受噪音和波形失真的影响更小。原理很简单：噪音的平均值为0，积分后被抵消。

消除波形失真影响的原理是基于一个比较有趣的特性的：不管测试装备的阶跃响应是什么波形，响应曲线下的面积不变。

本节要点：

- ◆ 使用L/R指数衰减曲线的面积可以精确的计算出衰减时间常数。
- ◆ 使用我们的测试装备，慢脉冲源上升时间和低速显示波形，都不会改变我们测量的面积。

1.9 共模电容

有两个电路存在的地方就会有共模电容。一个电路上面的电压产生电场，这个电场影响另一个电路。两个电路间互相干扰的电特性，随着距离的增大，干扰系数快速减小。两个电路之间的干扰系数就叫做“共模电容”。单位是法拉，或者“安培一秒/伏特”，两个电路之间的电容耦合，其实就是电路A和电路B连接的寄生电容。

A共模电容 注入到电路B的电流 与电路A的电压变化成正比，公式如下：

[1.25]

公式1.25是一个对实际耦合噪声电流简化的算式，详细的算式考虑了电路A、B之间的电压和两个电路上共模电容 负载影响。这个简化算式的使用是基于以下假设的：

- 1、CM耦合电容中的电流比主电路A中的电流要小的多，这样CM不会给电路A造成负载了。
- 2、电路B中的耦合电压比电路A中的信号电压小得多，这样在计算噪音电流时就可以忽略这个电压同时可以认为A和B之间的电压差是 。
- 3、假设电容的阻抗与电路B对地的阻抗相比是大的，这样我们计算耦合噪声电压时就可以直接用 乘以对地阻抗即可。这个假设忽略了其它电路对共模电容的影响。

当耦合噪声电压小于信号阶跃幅值的10%，所得的结果可以精确到小数点后一位，足以判断哪种影响值得研究。如果大于10%，那么计算结果误差将比较大。然而到了这个时候，电路已经基本上不能正常工作，精确的计算也没什么意义。

1.9.1 共模电容和串扰的关系

给出共模电容为 C_m ，固定的上升时间为 t_r ，接收电路B的阻抗为 Z_B ，可以估计出串扰大小，它是驱动信号电压 V_A 的一部分。

我们先获得电路A的最大单位时间变化量 $\frac{dV_A}{dt}$ ，和驱动信号波形的上升时间 t_r ，然后得到：

$$[1.26]$$

然后用公式1.27计算从电路A流到电路B的共模电容电流：

$$[1.27]$$

乘以 Z_B 得到干扰电压，在除以 V_A 就得到串扰值（干扰程度）：

$$[1.28]$$

如果在周围有多个电路干扰源，那么把每个电路的干扰计算出来以后再加起来就可以得到在这个电路上的总干扰。假设每个干扰是2%，旁边共有5个干扰源，那么TTL电路中的干扰电压可达500mv，这已经超过TTL的典型噪声容限，会引起严重问题。

实例1.3 共模电容的测试

图1.16示意了一个有共模电容耦合的环境。两个1/4W碳膜电阻焊接在0.063英寸厚的环氧树脂PCB板上，中心距离是0.1英寸。PCB只在焊接面有一个地层，而在元器件一侧是空的。从电阻R2的一端输入测试信号，在R3的另外一端测试耦合电流。这样就可以把输入和输出分割开了，减小了直接的串扰反馈。终端匹配电阻R1是1/8W的电阻，焊接在焊接面。末端匹配电阻是一个示波器匹配。

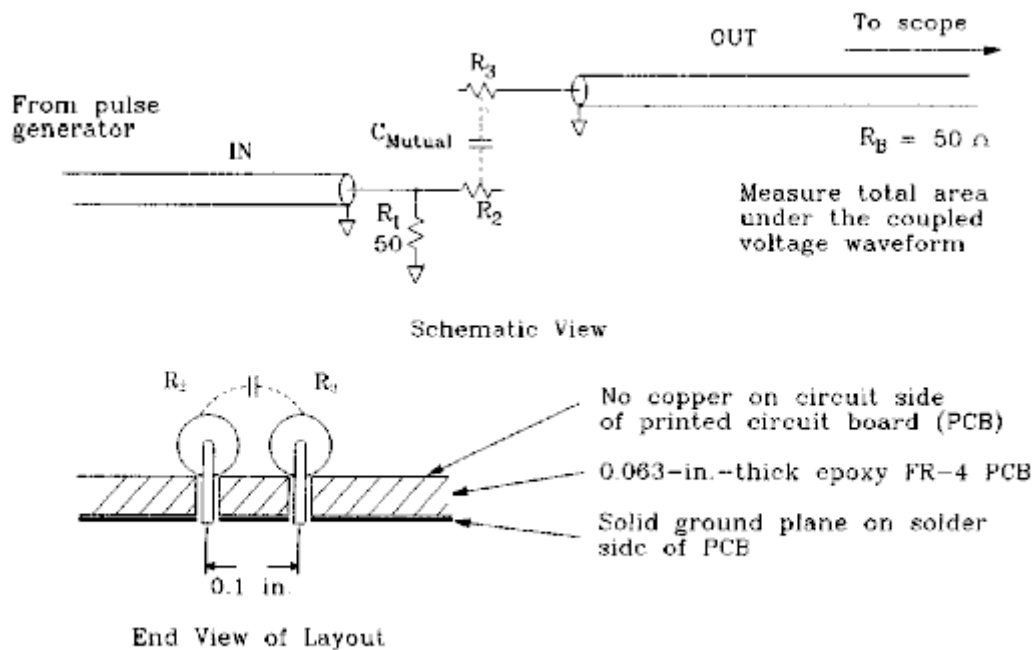


Figure 1.16 Mutual capacitive coupling.

图 1.16 共模电容耦合

图1.17显示了这个试验的测试结果。上面的示波器波形显示了驱动波形（1V/格）和耦合波形（20mV/格），时基是5ns/格，驱动波形的上升时间是800ps，下面的图形只显示了耦合波形（500ps/格）。

我们可以利用面积公式1.23来估计共模电容的大小，集成电流是面积，这个值等于阶跃电压乘以共模电容。共模电容等于：

$$C_M = \frac{\text{area}}{R_B \Delta V} = \frac{56.48 \text{ pV} \cdot \text{s}}{(50 \Omega)(2.7 \text{ V/div})} = 0.4 \text{ pF} \quad [1.29]$$

在使用公式1.28我们可以得到对于800ps上升沿的峰值干扰强度：

$$\text{Crosstalk} = \frac{R_B C_M}{T_r} = \frac{(50)(0.4) \text{ pF}}{800 \text{ ps}} = 0.025 \quad [1.30]$$

对比一下只用实测波形的计算面积得到的串扰：

$$\text{Crosstalk} = \frac{(3.8 \text{ div})(20 \text{ mV/div})}{(2.7 \text{ div})(1 \text{ V/div})} = 0.028 \quad [1.31]$$

1.9.2 终端电阻之间的共模电容

如果把例子1.3中的电阻接地会如何？

如果把例子1.3中的每个电阻的一端接地，那么这个时候的电容耦合噪音幅值大约会只到原来的1/6。很直观的我们可以直接把共模电容看做是一个从电阻中心连接出来的一个横跨电容，如果电阻RA接地，那么电容两端的电压会被分压成一半；如果另外一端接地，那么这时候会有

2/3的电流直接流向地，另外的1/3走另外一端通过示波器流向地。一半电压，1/3电流，得到的结果便是1/6的幅值。对于图1.16我们得到的串扰便是 $0.025/6=0.004$ 。

后面的讨论我们将看到，对于数字电路共模电感的影响比共模电容的影响要大的多。

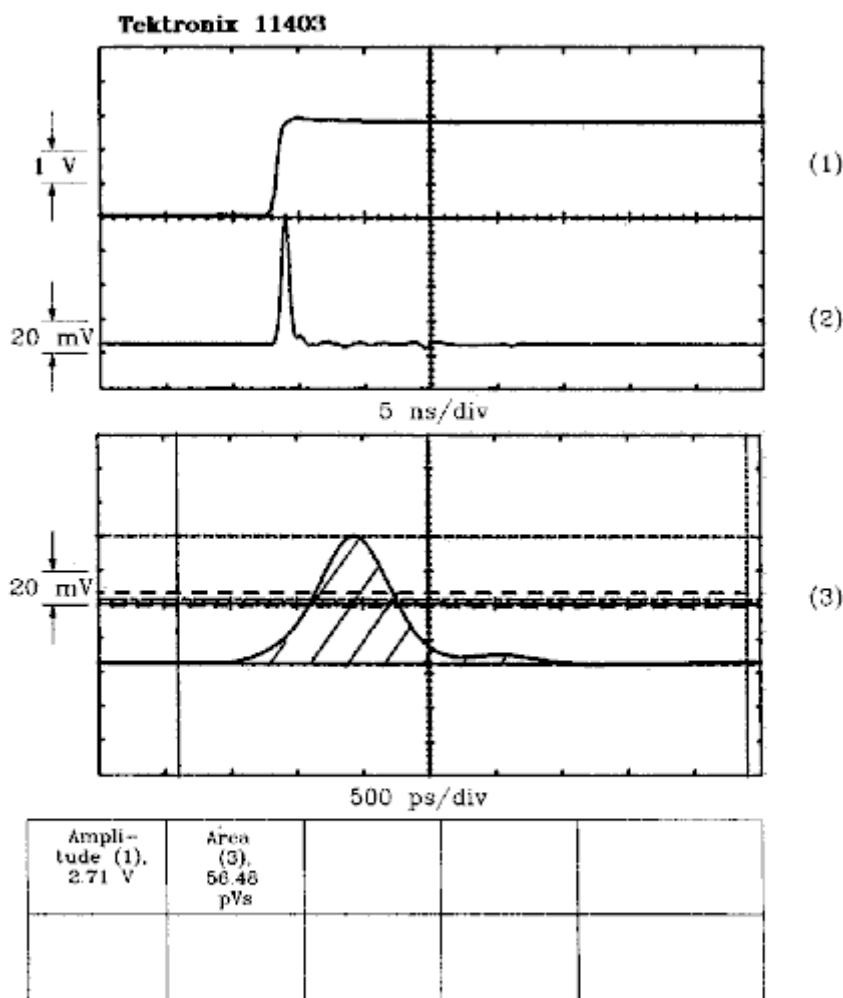


Figure 1.17 Mutual capacitance of two 1/4-W resistors.

图1.17 两个1/4w电阻的共模电容

1.10共模电感

有两个电流环存在的地方就会有共模电感。一个电路上面的电流会产生磁场，这个磁场会第二个电路。两个电路间互相干扰的电特性，距离越远，干扰系数就会越小。两个电流环之间的干扰系数就叫做“共模电感”。单位是亨利，或者“伏特一秒/安培”，两个电流环之间的电感耦合，就像是在两个电路之间接了一个变压器，如图1.18，两个电流环就像分别是主次级线圈。

共模电感 注入到电路B的电压Y与电路A的电流变化成正比，公式如下：

$$Y = L_M \frac{dI_A}{dt} \quad [1.32]$$

电路A中的电流变化越大，那么在电路B中耦合的电压也就会越大，这说明在高速数字电路设计中共模电感的影响是很严重的。

公式1.32是一个简化的算式，详细的算式应该和电路A、B上的电流差值和负载影响都有关系。这个简化算式的是基于以下的前提的，与公式1.25的前提相似：

- 1、LM耦合电感中的电压比主电路A中的电压要小的多，这样就不要考虑电路A这个负载了。实际上耦合电压常常也是小于源信号的。
- 2、电路B中的耦合电流比电路A中的信号电流小得多，B中的耦合电流很小，可以忽略，同时可以认为A和B之间的电流差是 I_A 。
- 3、假设电感的阻抗比电路B对地的阻抗小得多，这样我们噪音电压时就可以直接用噪音电压加上电路B电压即可。这个假设忽略了电感之间的影响和其它电路对共模电感的影响。

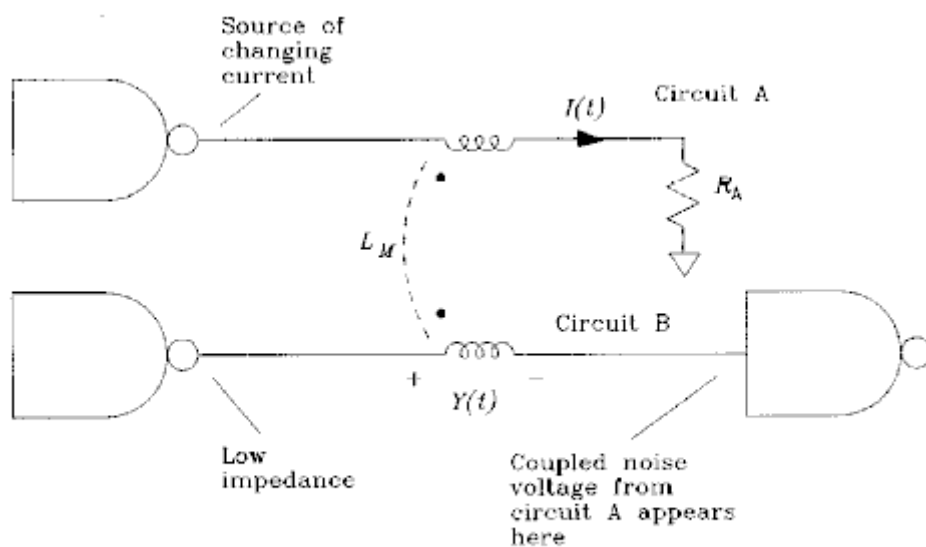


Figure 1.18 Mutual inductance lumped-circuit model.

图1.18 共模电感集中式电路模型

在数字电路里面，共模电感和共模电容一样，会给电路带来我们不希望的串扰。

- 1、电流环A中的电流会产生磁场，电流越大，在环A周围环绕的磁场就越强。
- 2、在电流环B中我们可以计算出由A过来的磁场大小，穿过B的磁场强度成为“磁通量”，它是A/B之间的距离、面积、相对方向和A中电流的一个函数。A中的电流越强，B的磁通量会越大。
- 3、如果A中的电流发生变化，那么通过B的磁通量也会发生变化。
- 4、根据法拉第守则B中的感应电压会跟通过它的磁通量的变化率成正比。

联系起来看，我们会发现，实际上B中的感应电压跟A中的电流变化率成正比。这个比例系数就是A/B之间的共模电感值。

图1.19示意了共模电感的耦合过程：

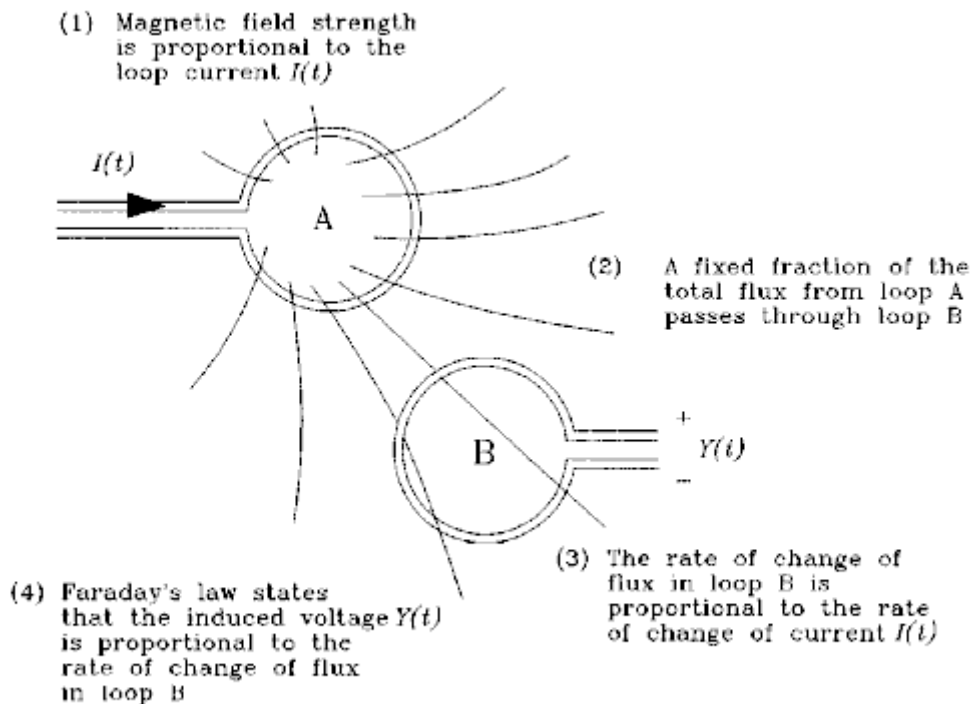


Figure 1.19 Four-step process of mutual inductance coupling.

图1.19 共模电感的耦合过程的4个步骤

由于磁场是一个方向量，环路B翻转会使磁通量的极性也翻转。感应噪声电压极性也会发生翻转。对于A也是一样。如果通过B的磁通量正好与B的方向平行，这时候通过B的磁通量会是0，在B中也就不存在耦合电压。归纳一下：共模电感的耦合，跟共模电容的耦合不同，它会产生与驱动信号极性相反的串扰，而且方向敏感性很强。

1.10.1 共模电感和串扰的关系

给出共模电感，固定的上升时间，驱动电路A的阻抗，我们将可以估计出串扰大小，它与驱动电压相关。

首先推出 的单位时间变化量，其中 是驱动波形的阶跃幅度， 是上升时间：

$$\frac{dV_A}{dt} = \frac{\Delta V}{T_r} \quad [1.33]$$

然后我们假设电路A是阻性的，那么它的电流和电压会成正比，这跟变压器是一样的。这样我们就可以得到电流变化与电压变化的关系式：

$$\frac{dI_A}{dt} = \frac{\Delta V}{R_A T_r} \quad [1.34]$$

把公式1.34代入1.32我们可以得到共模感应在电路B上的串扰Y：

$$Y = L_M \frac{\Delta V}{R_A T_r} \quad [1.35]$$

再除以 就得到串扰值（干扰程度）：

$$\text{Crosstalk} = \frac{L_M}{R_A T_r} \quad [1.36]$$

如果在周围有多个电路干扰源（例如多条走线共用一条路到地），那么把每个电路的干扰计算出来以后再加起来就可以得到在这个电路上的总干扰。假设每个干扰是2%，旁边共有5个干扰源，那么TTL电路中的干扰电压可达500mv，这已经超过TTL的噪声容限，会引起严重问题。

实例1.4 共模电感的测试

图1.20示意了对共模电感的简单测试。跟例子1.3一样是两个碳膜电阻中心距离是0.1英寸。他们的右端接地，左边分别接输入输出同轴电缆。RA连接上升时间是800ps的信号源。

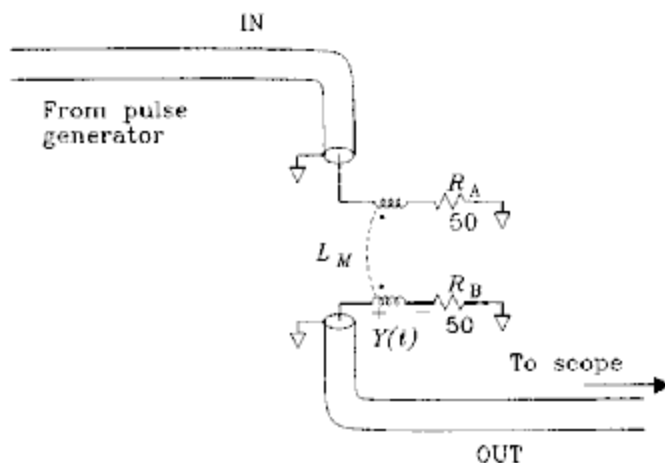


Figure 1.20 Measurement setup for mutual inductance.

图 1.20 共模电感测试

电缆与电阻的输入和输出连接都是直角的，这样可以最大限度的使电缆分离，互不干扰，减小了直接的串扰反馈。脉冲源的末端匹配有效。

图1.21显示了从电阻 发射出来的磁场形状，有的磁力线环绕 ，有的没有。从RA出发环绕 的磁通量是一个常数，它只与电阻的距离以及物理尺寸有关。

磁力线穿过 实际指的是磁力线环绕 ，这个环从RB右边的地开始，通过电阻RB，到电阻左边，然后通过探针，走到示波器内部，穿过示波器内部的测试电阻RT，然后出来，沿着地线回到探针的地线上面，再回到RB。任何穿过这个环的磁力线发生的任何改变都会在这个环上产生感应电压。

如果电阻 和 的阻值是一样的，感应电压在它们上面平均分配，那么示波器上只能观察到实际值的一半。如果 的直为0，那么示波器上就可以观察到全部感应电压。

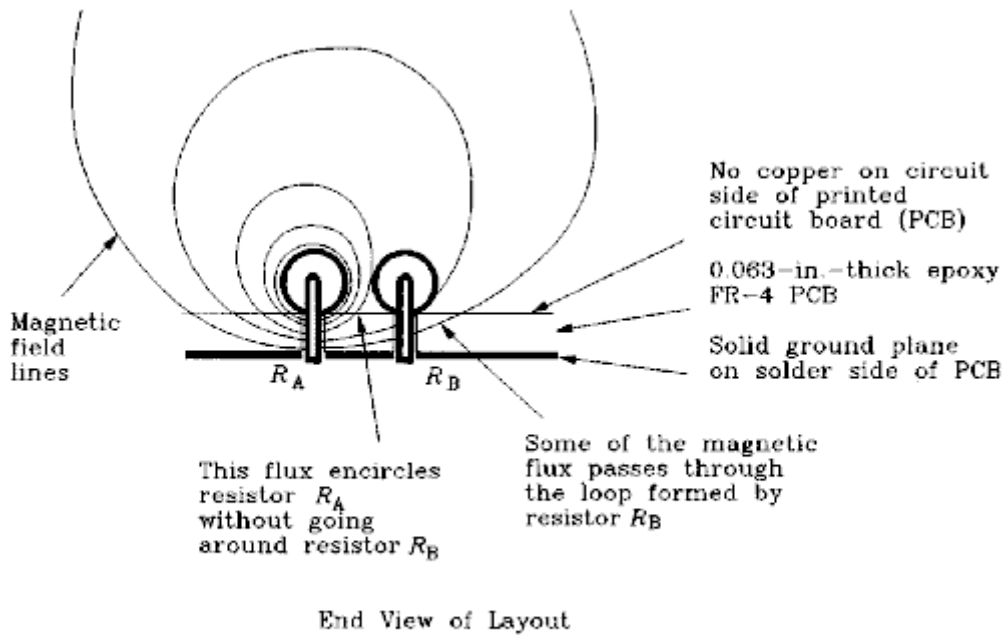


Figure 1.21 Example of mutual inductive coupling.

图1.21 共模电感耦合实例

根据图1.22的结果，我们可以利用面积公式1.23来估计共模电感的大小（假设前提都是一样的），因为接收到的信号只是原来的一半，所以记得要把所得的结果乘以2，就可以得到实际值：

$$L_M = \frac{(\text{area})(2R_A)}{\Delta V} \approx 3.0 \text{ nH} \quad [1.37]$$

where area = 80 pVs (from Fig. 1.22)

$\Delta V = 2.7 \text{ V}$ (from Fig. 1.22)

$R_A = 50 \Omega$ (from Fig. 1.20)

对于更精确的测量，我们需要减去这里面包含的共模电容耦合包含的面积，根据例子1.3我们知道由于两个电阻都接地的缘故，实际共模电容耦合面积为56/6pVS，因此实际面积为：

$$\text{area}' = 80 - \frac{56}{6} = 71 \text{ pVs} \quad [1.38]$$

因此校正后的电感为：

$$L_M = \frac{(\text{area}') (2R_A)}{\Delta V} = 2.6 \text{ nH} \quad [1.39]$$

我们现在回去看一下我们是否可以估计图1.22中的串扰的峰值。使用公式1.38，不要忘了考虑RB/RT的分压，我们的结果要除以2。

$L_M = 2.6 \text{ nH}$ (from Equation 1.39)

$T_r = 800 \text{ ps}$

$R_A = 50 \Omega$

$$\text{Crosstalk}_{\text{induc}} = \frac{L_M}{2R_A T_r} = 0.032 \quad [1.40]$$

加上例子1.3的共模电容的串扰（已经用因子6修正过）：

$$\text{Crosstalk}_{\text{cap}} = \frac{0.025}{6} = 0.004 \quad [1.41]$$

$$\text{Crosstalk}_{\text{total}} = \text{Crosstalk}_{\text{induc}} + \text{Crosstalk}_{\text{cap}} = 0.036 \quad [1.42]$$

可以对比一下下面基于被测面积计算结果和图1.22中的峰值串扰：

$$\text{Crosstalk} = \frac{(4.6 \text{ div})(20 \text{ mV/div})}{(2.7 \text{ div})(1 \text{ V/div})} = 0.034 \quad [1.43]$$

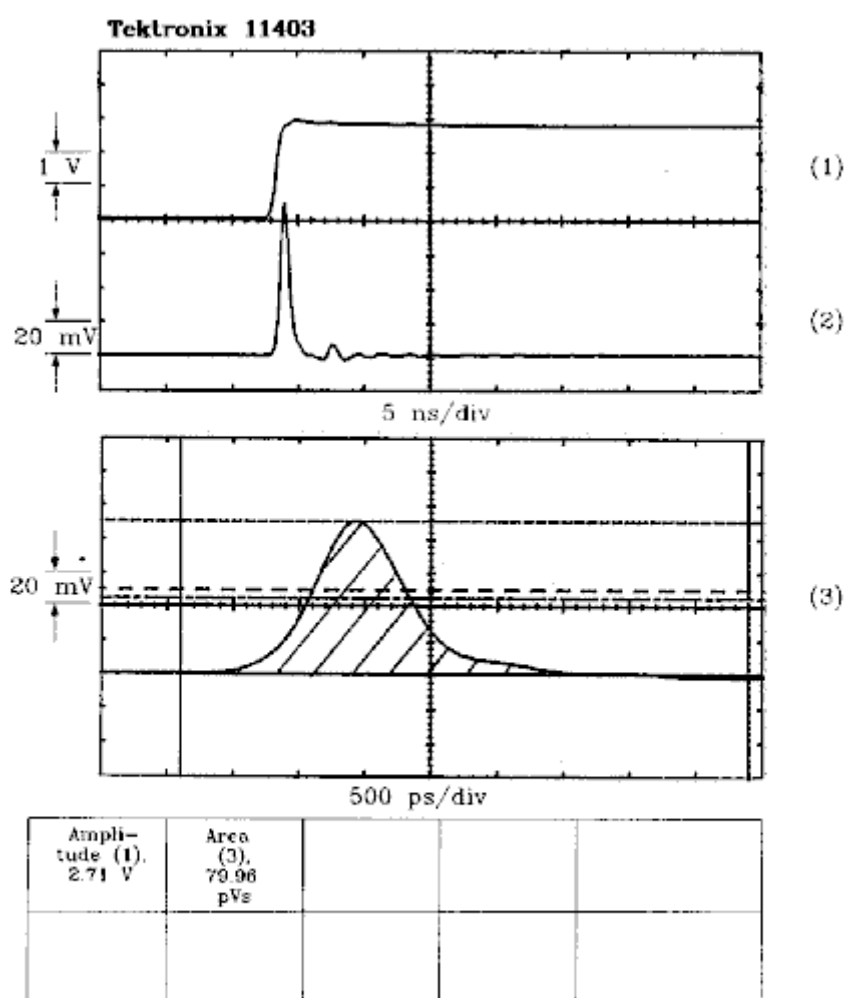


Figure 1.22 Mutual inductance of two 1/4-W resistors.

1.10.2 翻转磁耦合环

我们可以验证一下我们的理论：如果磁耦合环翻转过来，耦合串扰会改变符号。

首先，在图1.20中，我们把电阻RB的右边接地改为左边接地，这样感应环就翻过来了。

图1.23显示了测试结果：我们得到一个负脉冲，面积为59pVs，这个面积等于1/2电感耦合面积减去1/6电容耦合的面积（注意：这里因为反过来了，所以是减去）。这样我们这里为了校正正确的电感耦合面积，应该再把电容耦合面积加回去：

$$\text{area}' = 59 + \frac{56}{6} = 68 \text{ pVs} \quad [1.44]$$

这样我们得到校正后的耦合电感值：

$$L_M = \frac{(\text{area}') (2R_A)}{\Delta V} = 2.5 \text{ nH} \quad [1.45]$$

这个值与前面公式1.39的2.6nH很接近。

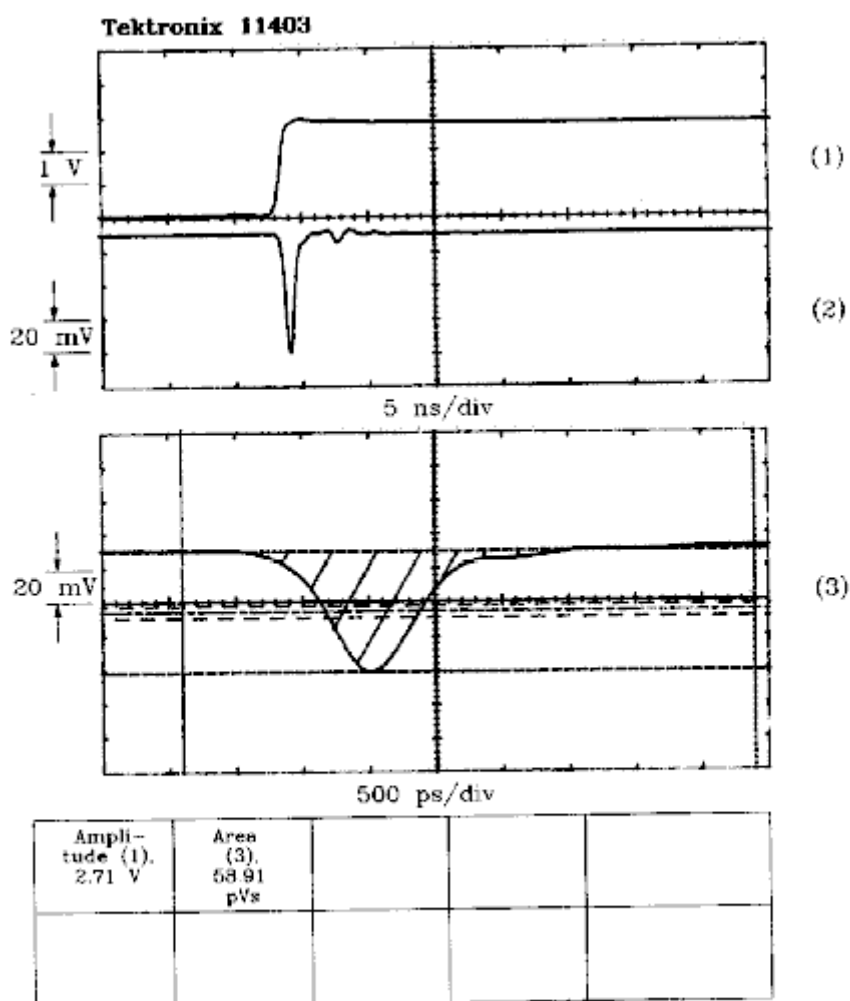


Figure 1.23 Reversing the inductive pickup from Figure 1.22.

1.10.3 电容耦合和电感耦合的比值

当两个电阻都接地的时候，相对电容耦合量是0.004，而电感串扰是0.032。对于50欧姆阻抗的电路这是一个典型值。如果是高阻抗的电路，在dV/dt更大同时相对地 dI/dt更小的时候，电容耦合串扰会相对大一些。

如果某个门输出的阻抗很小，它直接驱动某个信号，这时候电感耦合串扰的影响会被放大，这些情况下，总的感性耦合信号能量在远的末端耗尽，而不再是例子1.4我们试验装置中的1/2分压的关系。

本节要点：

- ◆ 在高速数字电路里面，共模电感导致的问题比共模电容导致的问题大的多。

高速数字电路设计教材

拟制:	_____	日期:	_____
审核:	_____	日期:	_____
审核:	_____	日期:	_____
批准:	_____	日期:	_____



华为技术有限公司
版权所有 侵权必究

目 录

第 2 章 逻辑门的高速特性	2
2.1 一种古老数字技术的发展史	3
2.2 功耗	4
2.2.1 静态耗散与动态耗散的对比	5
2.2.2 驱动容性负载时候的动态功耗	5
2.2.3 偏置电流变化导致的动态耗散	6
2.2.4 输入功耗	8
2.2.5 内部耗散	9
2.2.6 驱动电路功耗	10
2.2.6.1 推挽式输出电路的静态功耗	11
2.2.6.2 推挽式输出电路的动态功耗	13
2.2.6.3 射极跟随器驱动电路的静态功耗	15
2.2.6.4 分立匹配下拉	18
2.2.6.5 射极跟随器输出的动态功耗	19
2.2.6.6 TTL或者CMOS集电极开环输出的功耗	19
2.2.6.7 电流源驱动电路功耗	20
2.2.7 输出功耗	22
2.3 速度	23
2.3.1 电压突变的影响 dV/dT	23
2.3.2 电流突变 dI/dt 的影响	24
2.3.3 底线——电压裕值(Bottom Line---Voltage Margins)	26
2.4 封装	29
2.4.1 引脚电感	29
2.4.1.1 不期望的地线电压——为什么会发生“地反射”	29
2.4.1.2 地弹怎样影响你的电路	30
2.4.1.3 地弹的大小	32
2.4.1.4 地弹大小的估计	33
2.4.1.5 减小地反射的方法	35
2.4.2 引脚电容	35
2.4.3 热传导一和	37
2.4.3.1 温阻一： JUNCTION TO CASE（晶片到封装）	39
2.4.3.2 温阻一： 封装与环境间的温阻	39
2.4.3.3 400英尺/分钟的风速有多大？	41

第2章 逻辑门的高速特性

在数字设备的设计中，功耗、速度和封装是我们主要考虑的3个问题，每位设计者都希望功耗最低、速度最快并且封装最小最便宜，但是实际上，这是不可能的。我们经常是从各种型号规格的逻辑芯片中选择我们需要的，可是这些并不是适合各种场合的各种需要。

当一种明显优于原来产品的新的技术产生的时候，用户还是会提出各方面设计的不同需求，因此所有的逻辑系列产品实际上都是功耗、速度与封装的一种折中产品，当然所有的厂家都在努力的使自己的产品最好。

下面可以看一个叫做金属弹性继电器的比较老的数字技术的发展过程，就可以看到这些不同的要求的折中是如何实现的，金属弹性继电器是在逻辑设备中电子管产生之前的最好的（也是最后的）一代产品。

2.1 一种古老数字技术的发展史

金属弹性继电器是20世纪40年代产生的，当时用于西方电子的自动电话交换，它的出现代表早期继电器的一个大的质的飞跃。金属弹性继电器的接触点是一个长的金属片的末端，也利用这个金属片自己的弹性来工作。由于他的体积小、可以集成多路而且简单，使得他好用，又便宜，很快替代了传统的有很多部件做成的继电器，金属弹性继电器很快就扫除了其它竞争产品。西方电子利用金属弹性继电器生产的矩阵交换机产生于1965年。

金属弹性继电器技术包含的意义不止是继电器设备，他对整个系统的结构都带来了革命。这些新的继电器被封装在一个长方形的盒子里面，这个盒子就包含了所有的矩阵电联接点，金属弹性继电器就这样一个一个并排插在一起组成这些矩阵，节省了很大的空间。

有了标准的继电器封装，厂家就可以做成很多种产品，根据他背面引脚的样式不同用在不同的场合，这些比起原来每生产一个设备都要对各个继电器的弹簧、驱动杆等机械结构进行复杂的调整要方便多了，金属弹性继电器的出现把系统的机械部分和电子部分的设计和制造分开了。他的这种封装也简化了设计，节省了成本。

虽然标准封装节省成本，可是也减少了设计的灵活性。金属弹性继电器的标准封装没有超过12路多刀多掷（12PDT），因此用户经常不得不把多个组合封装拆开来用，因为每个单元都要消耗不小的功耗。拆装的效率非常的低。

出于成本的考虑，西方电子的工程师没有选择集成了散热器的继电器，而是在整个电路上面加散热装置，这样一来就限制了每个封装里面继电器的最大功耗，就因为这个限制，再加上标准封装空间的限制，使得西方电子的每个封装里面最多只能装得下两个驱动线圈，最大密度的金属弹性继电器只能做到5DPT。

金属弹性继电器的工作电压是48V，一般使用的驱动线圈有两种：750欧姆和2400欧姆。为什么要两种呢？这是因为750欧姆的线圈吸合快，但是功耗大，而2400欧姆的线圈则相反。功率的限制间接决定了工作速度和逻辑密度。

所有这些限制因素：速度、封装和功耗仍是现在硬件设计的一些难题，在这几个因素上面我们只能取得一个平衡。

综上，得出以下结论：

(1) 逻辑器件的标准封装节省成本，但是减少了灵活性。

(2) 标准封装限制了器件的门数和管脚数，设计人员在开发时不得不把大系统分解为小单元，可是由于器件间的信号传送会使得速度变慢，因此限制了系统的性能，而且增加了系统的功耗。

(3) 封装结构和器件的散热设计决定了器件的最大允许功耗。器件的散热特性与半导体在封装中的位置无关。散热特性越好的器件一般成本会越高。

(4) 单个逻辑门在不断的缩小使得每个封装中的门数越来越多，可是这样一来，功耗也会增大，器件允许的最大功耗决定了每个封装中的最大门数。

(5) 速度要求和功耗要求是相互限制的，一般速度越快，功耗就会越大，所以器件的允许功耗成了速度提高的瓶颈。

下面将要详细介绍在现代的逻辑系列中速度和功耗间的相互关系。

本节要点：

- ◆ 跟以前的继电器设计一样，功耗和封装对系统的性能影响很大。

2.2 功耗

逻辑器件的实际功耗仅仅与数据手册中的工作电流 I_{cc} 间接相关，厂家提供的器件功耗往往忽略了器件的速度以及大的负载驱动带来的功耗增加，这些影响有时候会导致 I_{cc} 大大超过厂家参数。

下面讨论的是高速逻辑的功耗，可以分解为包括4类来讨论：

- 1、输入功率
- 2、内部功耗
- 3、驱动电路功耗
- 4、输出功率

以上每一类功耗又可以再一步分为静态功耗和动态功耗两种，如下图：

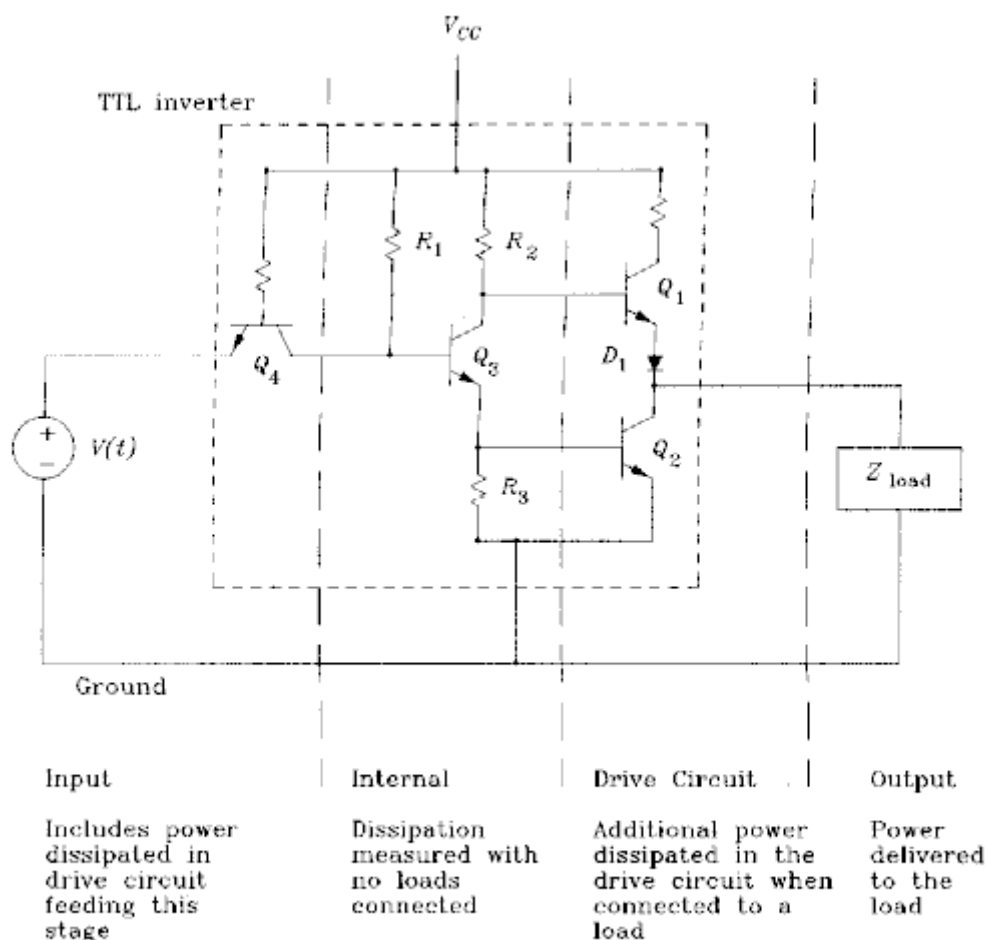


Figure 2.1 Categories of power dissipation in and around a logic device.

图2.1 逻辑器件内外功率耗散分类

2.2.1 静态耗散与动态耗散的对比

静态耗散是指使逻辑电路保持一个逻辑状态时候消耗的功率，每个阻性单元的两端电压 V 和电流 I 直接相乘（ $V \cdot I$ ）得到，所得的结果相加即得到器件功耗，这是没有任何负载时候的器件功耗，我们在手册中经常提到的一般是这个值。

下面的例子中，我们用到的静态功耗一般是指保持逻辑0和保持逻辑1时候的静态功耗的平均值，如果在实际的情况中某种状态可能出现的几率大一些的话我们可以取加权平均值，或者取最坏值。

2.2.2 驱动容性负载时候的动态功耗

当逻辑状态进行切换的时候，它消耗的功耗会比平时的静态功耗大，如果切换周期一定，计算公式如下：

$$\text{Power} = (\text{cycle frequency})(\text{excess energy used per cycle}) \quad [2.1]$$

决定动态耗散的两个因素是：负载电容大小和偏置电流变化。

图2.2描述了一个容性负载工作的情况：在时间 T_1 的时候，开关A关闭，电容充电至 V_{CC} ，电容充电的时候，电流流过驱动电阻，有功率消耗；在时间 T_2 的时候，开关B关闭，电容通过放电电阻放电，电流流过驱动电阻，也有功率消耗，周期反复时，这两个功耗和等于：

$$\text{Energy per cycle} = CV_{CC}^2 \quad [2.2]$$

where C = capacitance, F

V_{CC} = charging voltage, V

如果以频率 F 重复，驱动电路上的对电容的充放电过程消耗的能量是：

$$\text{Power} = FCV_{CC}^2 \quad [2.3]$$

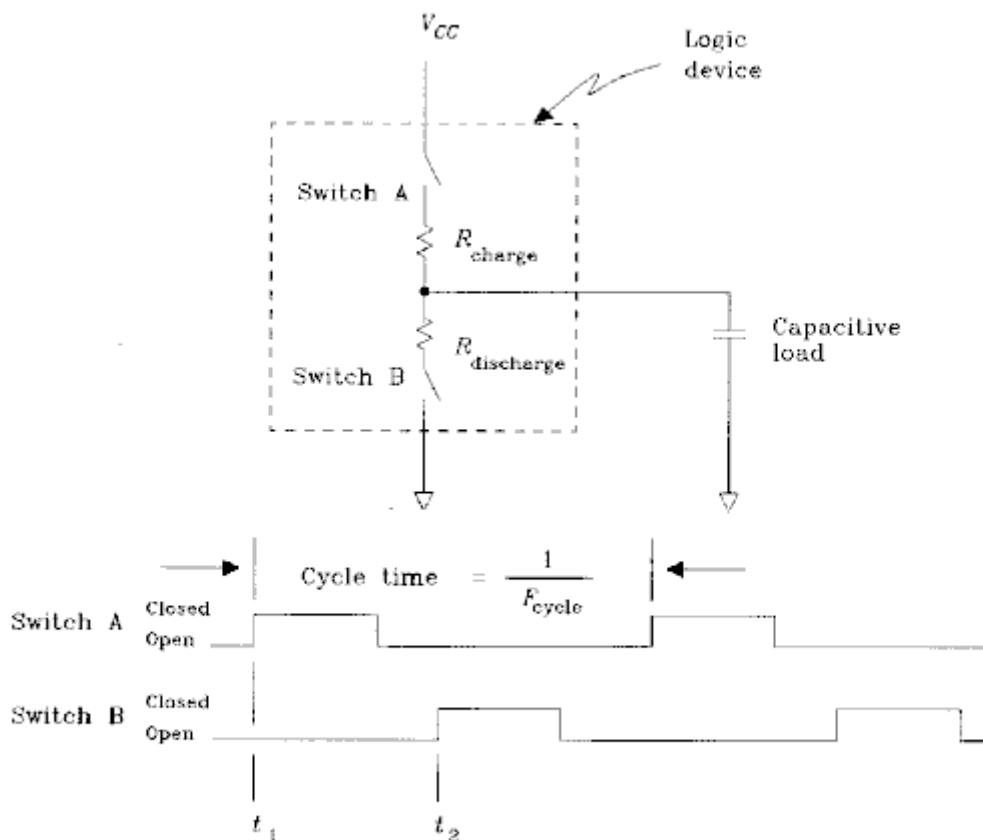


Figure 2.2 Active power dissipated when driving a capacitive load.

图2.2 驱动容性负载时的动态耗散

实际上，所有功率并没有消耗在电容上面，只是消耗在了充放电的电阻上面。公式2.3说明了在CMOS以及TTL 电路中动态耗散计算方法。

2.2.3 偏置电流变化导致的动态耗散

在图2.1中的TTL高低电平转换是通过控制Q1 Q2状态决定的，这样的电路称作为推挽式电路，TTL和CMOS都有推挽式电路。

图2.1中的二极管D1保证了在Q2 Q3全饱和时嵌位输出为低，Q1将完全截止，防止Q1 Q2同时导通刹那的大电流产生，一般的逻辑系列都有这样的推挽式电路来保证状态高低状态切换时候的同时导通。

实验证明TTL电路中高低电平切换时，Q1 Q2 会瞬间同时导通，瞬间电源到地导通的电流消耗能量，在Q1 Q2 中产生热量。

在肖特基TTL产生之前，TTL的电平状态由LO到HI时，Q2会有一段时间维持饱和状态，通过R3拉电流，直到Q1导通之后。基极保留电荷的存在直接导致了交越电流的产生。现在的肖特基电路消除了Q2的饱和态，因此使得交越电流大大减小。

图2.3中的CMOS电路的Q1 Q2 有可能会产生交越电流，主要是看两个晶体管的临界门电压 V_{gs} 。精确的 V_{gs} 参数跟厂家的制造工艺有关，因此通过对少数几个CMOS管的测量来得出它的普遍参数是不合适的。图2.4说明了74HC00门电路作为输入驱动时候的典型DC功耗。对于产生交越电流的CMOS器件，降低输入的切换速度会因为内部电路反应时间变慢，需要较长的时间来上升到所需电平的缘故，交越电流存在时间会变长。

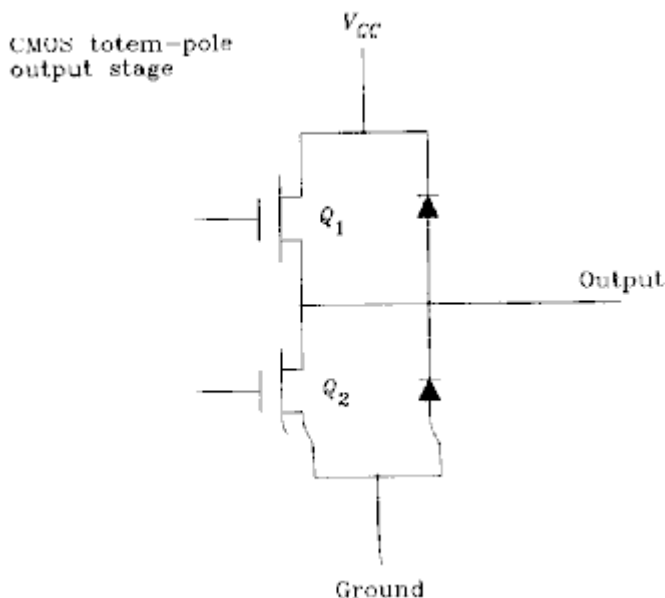


Figure 2.3 CMOS totem-pole output.

图2.3 COMS推挽式输出

输入变得很快时，每个周期都有的交越电流会产生一个持续电流，消耗一定的功耗。交越功耗跟速度是成正比的，与电容负载耗散不同的是，交越电流不会随着输入电压的增大而增大。

由图2.4可以看出，74HC00的交越电流只有1mA左右，与它可以产生的最大驱动电流10-20mA比起来，不算太大。

但是对于TTL电路，交越电流就比较大。你可以把一个反相器的INPUT 和OUTPUT 接起来，这时候就会有很大的交越电流产生，芯片迅速发热。因此TTL器件并不适合做线性器件和小信号处理器件比如晶体振荡器等，因为它在线性状态的时候会消耗太大电流。发射极耦合逻辑（ECL逻辑）电路就没有这个问题，它在交越的时候不会产生交越电流，因此它是很好的线性器件。

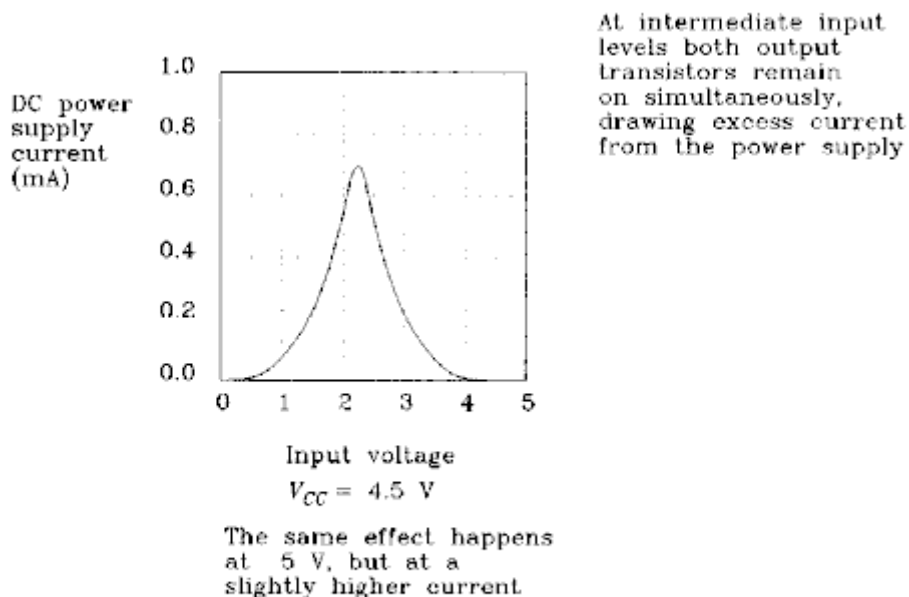


Figure 2.4 DC consumption of Signetics 74HC00-type circuit versus input voltage. (Permission granted by Philips Semiconductors-Signetics.)

图2.4 74HC00 DC电流消耗与输入电压的关系。

2.2.4 输入功耗

输入功耗是由输出器件来驱动的，由它来激活输入电路。

表2.1对比了4种系列逻辑器件的静态和动态输入特性，他们分别是：Signetics的72HCT CMOS，TI的74AS TTL，MOTOROLA 10KH ECL和 GIGABIT LOGIC 的 10G GaAs。

不论那种器件，静态功耗等于驱动电压和输入电流的乘积，它是受驱动逻辑内部的功耗与驱动逻辑功耗之和（此句的意思如何理解？）。

计算动态电流的时候，我们把输入电容，典型的供电电压抖动和工作频率代入公式2.3，这可以计算任何同样输入的驱动电路耗散。

这些输入耗散的数值相对来说是比较低的，只有在网络需要驱动异常多的负载或者系统设计中必须考虑极低功耗时，这个值才有意义。

TABLE 2.1 INPUT CHARACTERISTICS

	74HCT00	74AS00	10H101	10G001
$I_{m\ HI}$ (mA)	0	+0.020	+0.425	+0.400
$I_{m\ LO}$ (mA)	0	-0.500	+0.0005	-0.100
$P_{quiescent}$ (mW)	0	1.3	1.1	1.3
C_{in} (pF)	3.5	3	3	1.5
ΔV_m (V)	5.0	3.7	1.0	1.5
P_{active} (mW)				
$F = 1 \text{ MHz}$	0.09	0.04	0.003	0.003
$F = 10 \text{ MHz}$	0.9	0.4	0.03	0.03
$F = 100 \text{ MHz}$			0.3	0.3
$F = 1000 \text{ MHz}$				3.0

2.2.5 内部耗散

内部耗散是指偏置电流和内部逻辑翻转所耗的功率，同样包括静态内部耗散和动态内部耗散。

静态内部耗散是指内有负载驱动并且输入取随机状态时的功耗，取输入的所有状态所耗功率的平均值。

动态内部耗散常数 是在输出悬空，预设输入频率为 F 时测量得到的。假设测得功耗为，计算公式如下：

$$K_{\text{active}} = \frac{P_{\text{total}} - P_{\text{quiescent}}}{F} \quad [2.4]$$

这个常数告诉了我们工作频率每增加 1Hz 时动态功耗的增量，有了这个参数我们可以估计在各种工作频率 时的器件总功耗。

$$P_{\text{total}} = P_{\text{quiescent}} + F K_{\text{active}} \quad [2.5]$$

公式2.5计算了逻辑里面每个周期所消耗的动态耗散总和，但没有考虑带动负载时的功耗（因为输出没有接负载）。

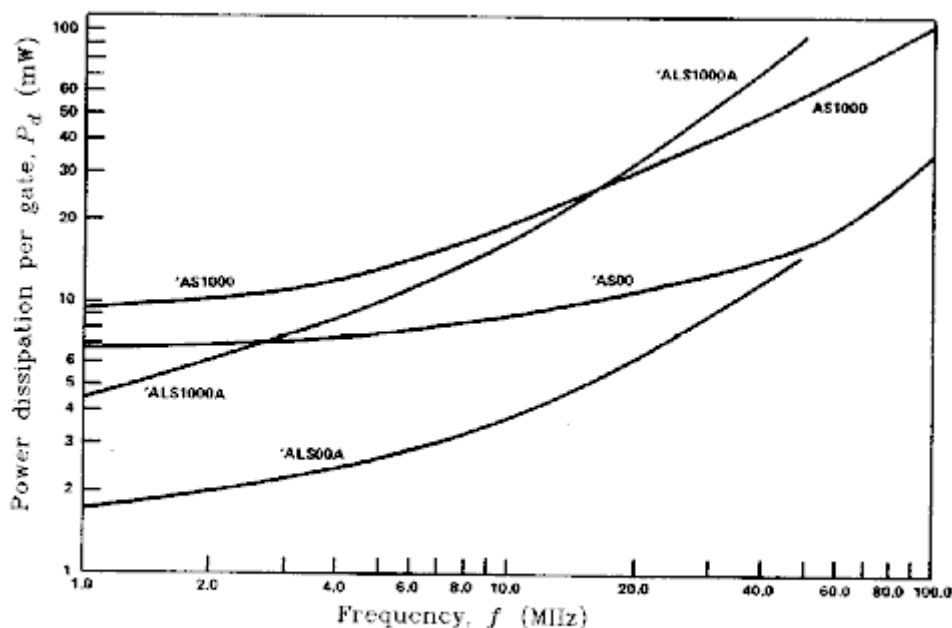


Figure 2.5 Internal power dissipation per gate versus frequency. (Reprinted by permission of Texas Instruments.)

图2.5 单门内部耗散与工作频率对比

CMOS器件的内部耗散与频率的关系曲线在很大的范围内都是线性的，而且一般值都很小。TTL的曲线也是一样的，但是由于静态耗散太大的缘故，只有在操作频率很高的时候，线性的特性看起来才比较明显。由图2.5可以看出TTL逻辑器件的特性。1M以下时比较平滑，10M以上时功耗随频率增加才比较明显。

ECL和GaAs类的器件，翻转的电平范围比TTL和CMOS器件要小的多，因此它的功耗随频率增加也比较小。在式子2.3中的电压摆幅V是取平方值的，因此ECL的1V摆幅消耗的功率比TTL的5V摆幅消耗的功率就会小很多。公式2.6-2.8显示了它们之间的差别会有多大：

$$P_{\text{active ECL}} = FC(\Delta V_{\text{ECL}})^2 = FC(1.0)^2 \quad [2.6]$$

$$P_{\text{active TTL}} = FC(\Delta V_{\text{TTL}})^2 = FC(5.0)^2 \quad [2.7]$$

where F = cycle rate, Hz

C = capacitance, F

ΔV_{ECL} = ECL switching voltage, V

ΔV_{TTL} = TTL switching voltage, V

ECL 的动态功耗和TTL 的动态功耗比值是：

$$\frac{P_{\text{active ECL}}}{P_{\text{active TTL}}} = \frac{FC(1.0)^2}{FC(5.0)^2} = \frac{(1.0)^2}{(5.0)^2} = 0.04 \quad [2.8]$$

ECL和GaAs类器件的动态功耗与他们的静态功耗比值，也比TTL或者CMOS小得多。

有些CMOS器件的工作电压范围很宽，这类数据手册称呼此类器件的内部功耗为等价电容，此时CMOS的内部功耗可由下式计算出来：

$$\text{CMOS internal dissipation} = C_{PD}V^2F \quad [2.9]$$

where C_{PD} = equivalent power dissipation capacitance, F

V = switching voltage, V

F = switching frequency, H

上面的这个式子把影响内部功耗的两方面因素都考虑进来了：内部容值功耗和交越功耗，尽管交越电流的影响并非与电压的平方成正比。

2.2.6 驱动电路功耗

逻辑器件的功率消耗主要部分是在输出驱动部分。驱动电路功耗的大小由输出配置决定：逻辑电平、输出负载、工作频率等。我们这里讨论4种常用的输出电路：

- A、推挽式驱动
- B、射极跟随器
- C、集电极开路
- D、电流源

考虑到这些输出电路的特性对后面我们讨论传输线的特性非常重要，这里我们将对他们做仔细的分析。

2.2.6.1 推挽式输出电路的静态功耗

当推挽式输出电路完全翻转后，它的静态功耗就等于它的拉电流（或者灌电流）乘以驱动晶体管上的剩余电压。可以计算得到LO和HI两个值，及它们的平均值。

从图2.6中电路中的可以看出理想的TTL驱动器的LO和HI两种状态的功耗，标准TTL的低电平是Q2的饱和压降0.3V，肖特基电路稍高一些，约0.4V。HI（高电平）时，输出压降

（ ）是由Q1的基极压降 和前向偏置二极管D1（上面压降约为1.4V）共同决定的。由于Q1的基极电压不会比集电极高，因此它不会饱和。肖特基TTL器件驱动电路的平均静态功耗大约是：

$$P_{\text{quies}} = \frac{0.4I_{\text{sink}} + 1.0I_{\text{source}}}{2} \quad [2.10]$$

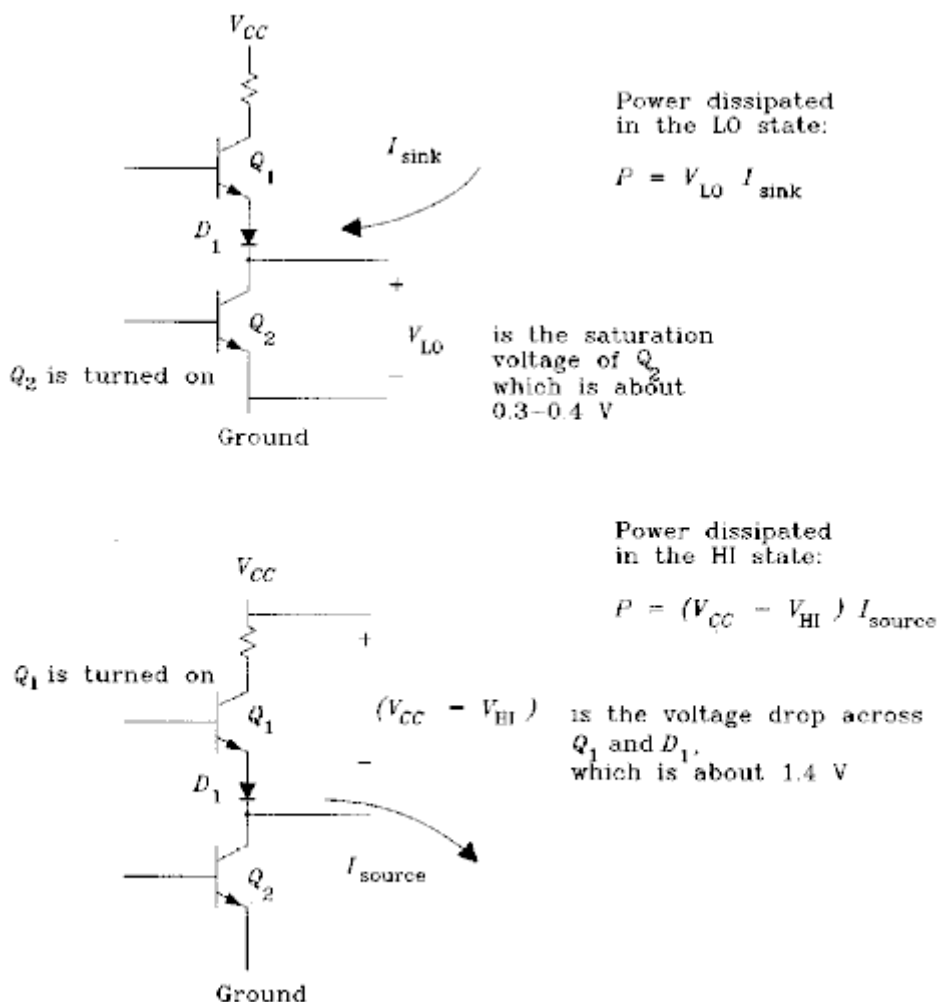


Figure 2.6 Quiescent power dissipated in a TTL totem-pole output circuit.

图2.6 TTL推挽式输出电路的静态功耗

CMOS驱动器类似于如图2.7的电路，CMOS手册上面通过计算输出电压除以输出电流，我们可以得到 R_A 和 R_B 两个参数的基本值，例子2.1将做进一步描述。

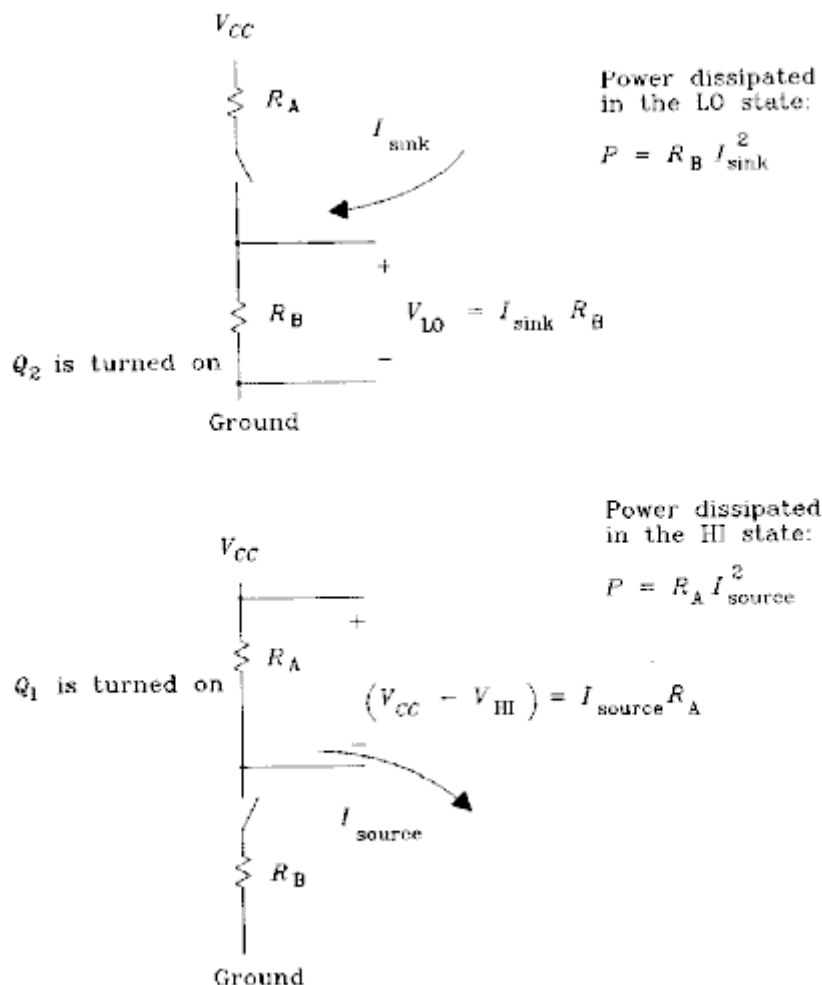


Figure 2.7 Quiescent power dissipated in a CMOS totem-pole output circuit.

图2.7 CMOS推挽式驱动电路的静态功耗

例子2.1：CMOS驱动器输出电阻的计算

Signetics 的HCT 系列器件的输出驱动电路在4.5V供电的时候的电参数如下（4.5V只是一个大概值，一般电路的供电值都会比5V略小）：

$V_{OL} (I_0 = 4.0 \text{ mA})$	
Typical at 25°C	0.15
Max. -40 to +85°C	0.33
$V_{OH} (I_0 = -4.0 \text{ mA})$	
Typical at 25°C	4.32
Min. -40 to +85°C	3.84

低电平的压降是0.15V-0.33V，电流是4mA，因此低电平输出电阻是：

$$R_{\text{low state typ}} = 0.15 / 0.004 = 37 \Omega \quad [2.11]$$

$$R_{\text{low state max}} = 0.33 / 0.004 = 83 \Omega \quad [2.12]$$

高电平相对供电4.5V的压降是0.18V-0.66V，电流是4mA，因此低电平输出电阻是：

$$R_{\text{high state typ}} = 0.18 / 0.004 = 45 \Omega \quad [2.13]$$

$$R_{\text{high state max}} = 0.66 / 0.004 = 165 \Omega \quad [2.14]$$

随着供电电压的变化，CMOS的输出电阻也会随着变动，HC（不是HCT）器件的供电范围是2V-6V，其输出电阻随供电电压的增大而减小，同时翻转也随着变快因此电压越高，HC逻辑翻转得越快。

CMOS 驱动电路的静态功耗大约是：

$$P_{\text{quies}} = \frac{R_B I_{\text{sink}}^2 + R_A I_{\text{source}}^2}{2} \quad [2.15]$$

请注意：在式子里电流项是要取平方的。

2.2.6.2 推挽式输出电路的动态功耗

一般我们设计电路时，会仅仅根据所带动器件的输入直流电流来计算一般推挽式驱动电路的最大扇出驱动门数，这样的一种计算对于CMOS电路来说不是很适合，因为对于CMOS总线，理论上来说它的驱动负载是可以很多的，但实际上总线负载太大时，会带来两个问题：上升响应时间变慢，驱动功耗过大。

例子2.2将说明随着驱动负载增多时总线负载比较大时，CMOS驱动电路的上升沿以及功耗的计算。

例子 2.2：CMOS总线的性能

如图2.8所示，我们在一个CPU系统的设计中，20个CPU的共享并行总线，都挂在存储芯片上面，CPU通过这些8位总线来访问RAM。

总线采用的是10英寸长的50欧的传输线，从图2.8可以看出线路的传输延时比74HCT640的上升时间要小的多，因此每一跟线都没有加终端匹配。

我们当然是希望DC扇出参数下面可以轻易的驱动20个门。假设传输延时是9ns，我们的总线速率是33Hz（30ns）。

通过计算每一跟线的负载电容，跟每个三态门的输出电阻进行比较，然后计算出总线的RC上升时间，最后计算出每个输出内部的功率消耗，可以检查出的设计是否合理。

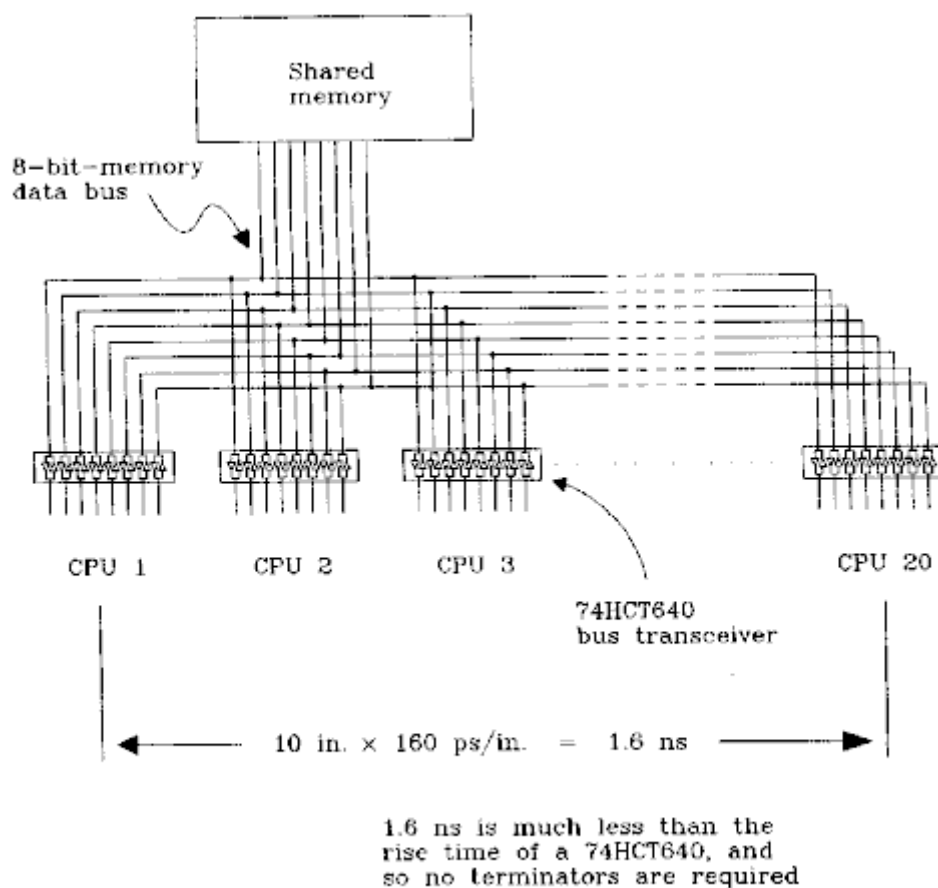


Figure 2.8 Shared-memory bus.

图2.8 存储器共享总线

负载电容：每个门电路在关闭状态的时候，仍然会带有负载电容的，一般厂家手册把这个I/O负载电容值定为10pF。我们的电路有20个负载，也就相当于200pF的容值，再加上线路容值2pF/英寸，最后可以得到总负载电容值：

$$C_{\text{load}} = (10 \text{ pF/driver})(20 \text{ drivers}) + (2 \text{ pF/in.})(10 \text{ in.}) = 220 \text{ pF} \quad [2.16]$$

74HCT640的输出电阻：

《Signetics 高速CMOS数据手册》列出的参数如下：

$$= 4.5 \text{ V}$$

$$= 3.84 \text{ V}$$

$$= 6.0 \text{ mA}$$

HCT总线驱动，高电平时的输出电阻为：

$$\frac{V_{CC} - V_{OH}}{I_{OH}} = 110 \Omega \quad [2.17]$$

RC上升时间:

当输出驱动由低到高时, 充电时间大致等于输出电阻乘以输出电容。

$$T_{RC} = (110 \Omega)(220 \text{ pF}) = 24 \text{ ns} \quad [2.18]$$

的值是指输出从低升高到高电平的63%时所需要的时间, 要上升到90%则需要两倍多时间。对于简单的RC电路10—90%上升时间是 的2.2倍:

$$T_{10-90} = 2.2T_{RC} = 53 \text{ ns} \quad [2.19]$$

令我们非常失望, 我们认为延时最大只需要9ns时间就可以, 实际上却需要53ns, 这样的话如果我们要跑到33Hz, 那么数据信号将来不及达到相应电平。我们只能把频率降到16MHz。

每一个驱动器的功耗:

$V_{CC}=5.5\text{V}$ (最大供电电压)

$C=220\text{pF}$ (负载电容)

$=16\text{Hz}$ (把时钟频率降低了)

$=8\text{MHz}$ (最坏情况数据速率, 是时钟频率的一半)

用公式2.3可以得到每个驱动器的功耗:

$$P_{\text{driver}} = (8.0 \times 10^{-6})(220 \times 10^{-12})(5.5)^2 = 0.053 \text{ W} \quad [2.20]$$

每个器件包含8个门电路, 因此, 功耗乘8:

$$P_{\text{total}} = 8(0.053) = 0.424 \text{ W} \quad [2.21]$$

在2.43节我们会知道这个功耗对于一个20PIN的塑封器件来说是很大了。这个总线设计不太适用, 因为他的速度太慢, 而功耗太大, 他的速率必须降低在16MHz以下使用。

2.2.6.3 射极跟随器驱动电路的静态功耗

图2.9显示了一个ECL或者GaAs射极跟随器驱动电路, 这种电路不论高低电平都是输出电流的。

10KH和10G系列器件的不论高和低电平都是差不多的, 不同的ECL和GaAs射极跟随器系列在温度特性上只会有一点点不同。这些系列供电电压是-5.2V。高电平时是-0.9V, 低电平时是-1.7V。

双射极耦合逻辑一般需要一个下拉电阻下拉到-5.2V或者中间电平-2.0V, 两种情况我们都要做讨论。

当被一个戴维南等效电阻R下拉到 时, 静态功耗为:

$$P_{\text{quies}} = \frac{1}{2} \frac{(V_{CC} - V_{HI})(V_{HI} - V_T) + (V_{CC} - V_{LO})(V_{LO} - V_T)}{R} \quad [2.22]$$

如果ECL的供电电源是-5.2V，下拉电阻也是拉到-5.2V，把值代入上式计算得：

$V_{CC}=0$ （正供电电压）

$=-0.9$ （名义逻辑高电平）

$=-1.7$ （名义逻辑低电平）

$=-5.2$ （下拉电平）

P静态功耗=4.91/R

[2.23]

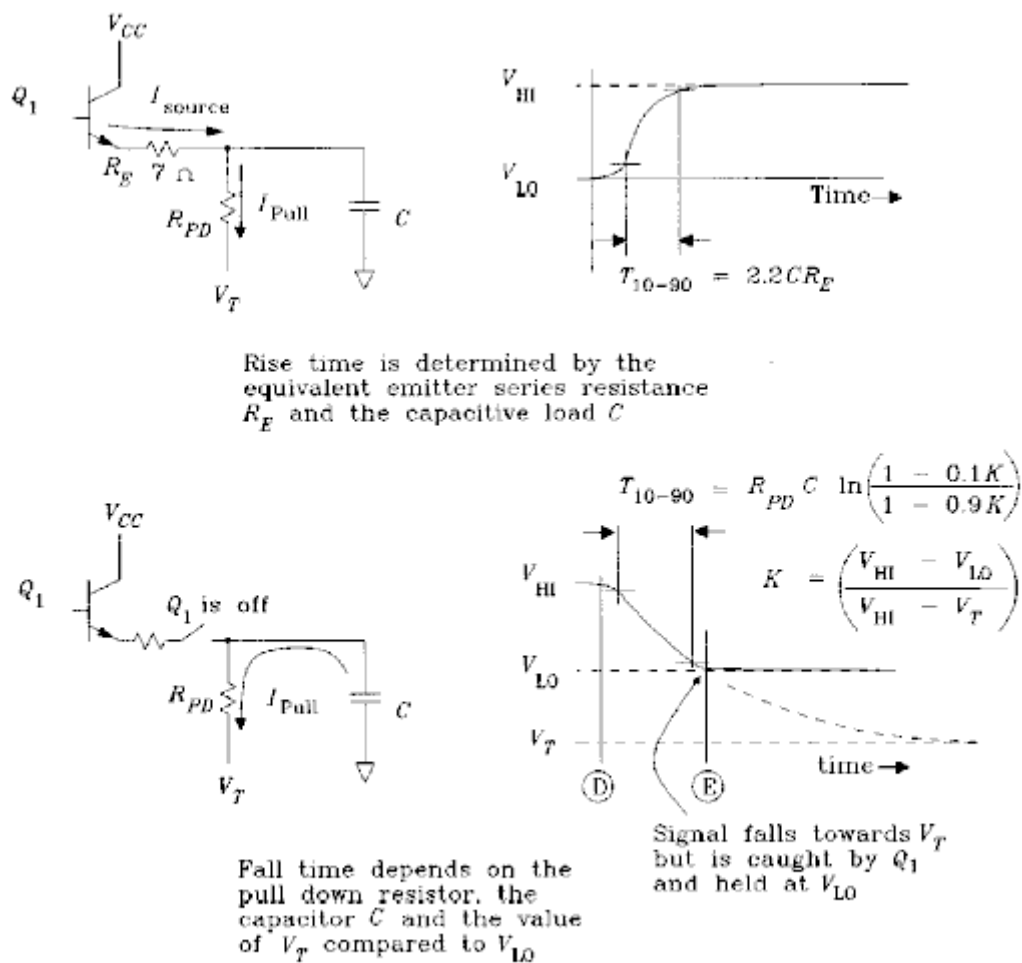


Figure 2.9 Rise and fall times of an emitter follower circuit.

图2.9 射极跟随器的上升和下降时间

如果同样的电路下拉到的电平是-2.0V的话，代入公式2.22得：

$V_{CC}=0$ （正供电电压）

$=-0.9$ （名义逻辑高电平）

$=-1.7$ （名义逻辑低电平）

= -2.0（下拉电平）

$$P_{\text{静态功耗}} = 0.75/R \quad [2.24]$$

由上述式子可以看出来，对于同样的R，下拉到-2.0V消耗的功耗小些，这是因为对于-2.0V，下拉电阻的电流要小些，电流小自然功耗就小，相应的，高电平到低电平翻转的速度也变慢。

对于射极跟随器，上升时间是跟下拉电流无关的。如图2.9 10KH ECL 逻辑 Q1 发射极的等价电阻Re大约是7欧。给负载电容C充电时输出电流远大于下拉电流，因此充电时间参数为：

$$T_{RC} = R_E C \quad [2.25]$$

Trc的值是指输出从低升高到高电平的63%时所需要的时间，要上升到90%则需要两倍多时间。对于简单的RC回路10—90%上升时间有一个算式：

$$T_{10-90} = 2.2T_{RC} = 2.2R_E C \quad [2.26]$$

公式2.26的时间参数通常比Q1的开启时间小，因此我们的输出上升时间一般取值Q1的开启时间。

在下降沿，晶体管Q1关断，发射极没有电流通过，只有下拉电流对负载电容放电。这就是功耗和上升时间与电路的关系：下降时间直接取决于C，功耗直接取决于放电电流。不管我们接的下拉是-2.0V还是-5.2V，我们都要大电流使电容快速放电。

图2.9示意了放电波形，在D时刻，Q1关断，输出以放电参数朝Vt电压逼近，在E时刻，输出降至 ，Q1重新导通，阻止了继续放电，于是输出就保持在 。

如果Q1完全关断的话，10-90%下降时间为：

$$T_{10-90} = R_{PD} C \cdot \ln \left(\frac{1 - 0.1K}{1 - 0.9K} \right) \quad [2.27]$$

Where the constant K is equal to

$$K = \frac{V_{HI} - V_{LO}}{V_{HI} - V_T} \quad [2.28]$$

根据公式2.27，如果时间常数比Q1的关断时间小，那么下降时间大约等于Q1的关断时间。当ECL 的供电电压是-5.20V，下拉电阻Rpd下拉到-5.20V，公式2.27代入数值得到：

Vhi=-0.9（名义逻辑高电平）

Vlo=-1.7（名义逻辑低电平）

Vt=-5.20（下拉电平）

K=0.186（常数K）

$\ln \left(\frac{1 - 0.1K}{1 - 0.9K} \right) = 0.164$

$$T_{10-90} = 0.164 \cdot R_{pd} \cdot C \quad [2.29]$$

当电路由下拉电阻 R_{pd} 下拉到-2.0V，公式2.27代入数值得到：

$V_{hi} = -0.9$ （名义逻辑高电平）

$V_{lo} = -1.7$ （名义逻辑低电平）

$V_t = -2.0$ （下拉电平）

$K = 0.727$ （常数K）

$$\ln \left(\frac{1 - 0.1K}{1 - 0.9K} \right) = 0.987$$

$$T_{10-90} = 0.987 \cdot R_{pd} \cdot C \quad [2.30]$$

要获得同样的时间参数，就要是下拉电阻减小，减小了下拉电阻以后，电流也上去了，所以实际上在功耗和速度上面对-2.0V和-5.20V来说没什么差别，只是电阻值取得不同罢了。

-5.20V下拉的优点在于不需要不同的供电；-2.0V下拉的优点在于它可以作为传输线路终端匹配，使电路工作更可靠。ECL逻辑的-2.0V下拉的值一般取50欧姆到100欧姆，基本上在传输线的实际阻抗范围内。-5.20V的下拉值一般取330欧姆到680欧姆，基本上是6倍。这么大的阻值与传输线的实际阻抗不匹配。

不论什么下拉方法，都是电阻越小，速度越快，但是功耗越大，反之，则速度变慢，功耗便小。

2.2.6.4 分立匹配下拉

ECL电路有时候采用一种匹配方式叫做：分立匹配下拉，如图2.10所示。在实际电路中按照实际阻抗和电压需要来计算分立匹配下拉电阻阻值的公式如下：

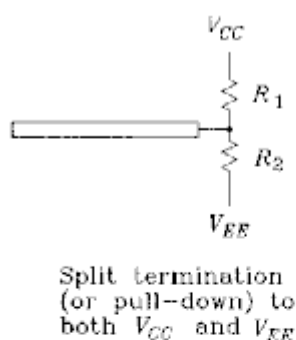
$$\begin{aligned} R_1 &= R_3 \left[\frac{V_{CC} - V_{EE}}{V_T - V_{EE}} \right] \\ R_2 &= R_3 \left[\frac{V_{CC} - V_{EE}}{V_{CC} - V_T} \right] \end{aligned} \quad [2.31]$$

where R_3 = desired composite impedance

V_T = desired effective terminating voltage

R_1 = top resistor (goes to V_{CC})

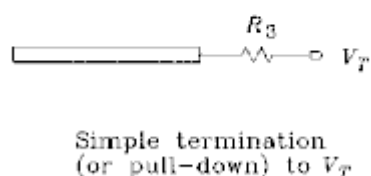
R_2 = bottom resistor (goes to V_{EE})



Find R_1 and R_2
from R_3 and V_T :

$$R_1 = R_3 \left(\frac{V_{CC} - V_{EE}}{V_T - V_{EE}} \right)$$

$$R_2 = R_3 \left(\frac{V_{CC} - V_{EE}}{V_{CC} - V_T} \right)$$



Find R_3 and V_T
from R_1 and R_2 :

$$R_3 = \frac{R_1 R_2}{R_1 + R_2}$$

$$V_T = \frac{R_1 V_{EE} + R_2 V_{CC}}{R_1 + R_2}$$

Figure 2.10 Split termination equivalent circuits.

图2.10 分立匹配下拉等价电路

2.2.6.5 射极跟随器输出的动态功耗

在ECL系统设计中它的影响非常小。用于下拉电阻的功耗（它要保证对所有负载电容都能快速放电）比用于给容性负载充电的动态功耗要大的多。

对于集电极开环输出电路和电流源输出电路也是一样的，容性虽然有利于改善驱动电路功耗，但也带来了下降时间的问题。

2.2.6.6 TTL或者CMOS集电极开环输出的功耗

在TTL或者CMOS集电极开环输出的功耗的计算中有一个类似 公式2.22的算式，当用一个戴维南等效电阻R 上拉到 时：

$$P_{\text{quies}} = \frac{1}{2} \frac{(V_T - V_{\text{HI}})(V_{\text{HI}} - V_{\text{EE}}) + (V_T - V_{\text{LO}})(V_{\text{LO}} - V_{\text{EE}})}{R} \quad [2.32]$$

where V_T = effective terminating voltage for pull-up resistor

R = effective value of terminating resistor

V_{HI} = HI-level output (often equals V_T)

V_{LO} = LO-level output

V_{EE} = supply voltage to emitter (or source) of output transistor

P_{quies} = power dissipated in output driver

BTL系列的发送器采用的上拉电阻是接到+2.0V电压的。采用的逻辑电平是+2.0V和+1.0V。如图2.11，在BTL的输出管脚之前中串进了一个肖特基二极管D1。它可以在Q1关断时相当于一个6.5pF的小电容，BTL技术最大的优点就是低输出容抗。

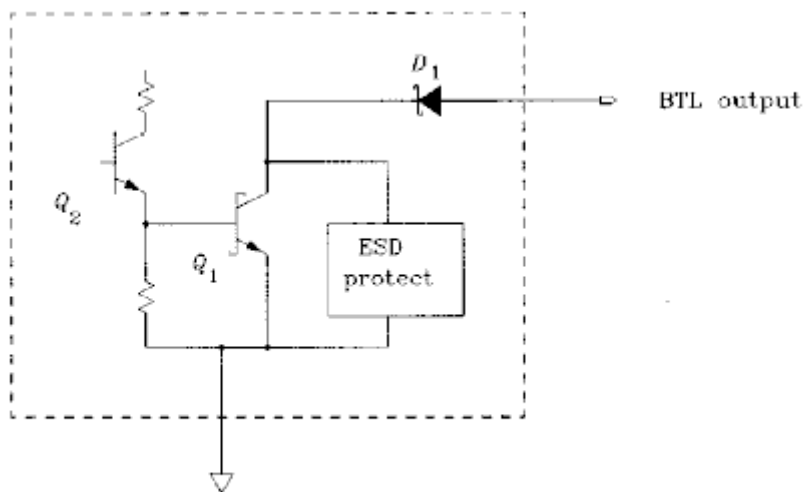


Figure 2.11 BTL drive circuit.

图2.11 BTL驱动电路

推挽式输出电路输出为三态时，一般都有一个基极到发射极的连接到驱动线路上，这样的连接由于要驱动电流比较大的缘故，带来的极间电容也会比普通的输入电容大很多。而BTL驱动电路关断状态时的电容值就很小。

2.2.6.7 电流源驱动电路功耗

电流源输出驱动一般用在专用的总线上面，它的优点是线性非常好。当驱动长总线的时候，它的输出电流自然的会增大(their current outputs naturally superimpose on each other)，一般对于电压源输出表现出来的就是非线性特性。

由于这些电路是A级的线性放大器，内部的晶体管并不是工作在饱和状态，因此这样的输出电路消耗的功率比较大。

集电极开环驱动电路或者在小压降时就会被拉很多电流，或者是大压降而没有电流。这两种状态消耗的功率都很小。相反，电流源驱动电路两种状态下都有可能在大电流的时候拉很大的电流。除了大功耗的缺点以外，电流源输出驱动电路在长总线驱动时还是很有优势的。

例2.3说明了使用电流源驱动电路的一大主要优点。

例2.3：电流源驱动器的使用

如图2.12所示，有的系统使用电流源驱动器来驱动单向总线。时钟驱动器在时间t1、t4和t8区分了连续时钟不同周期的起点。时钟信号与数据一起从左到右传到总线上面，每一个总线驱动器：alpha、beta或者gamma在特定的时刻，就应该往数据线上插入数据。总线传输的时序与传输器上面时钟到达时序是一致的。这样的安排保证了每一根数据在时钟周期内按正确的帧到达总线

右边终点，不管在每一跟线上的传输物理过程如何。在总线右边终点有且只有一个接收器，在时钟信号到来的时候它同步地把数据锁住。

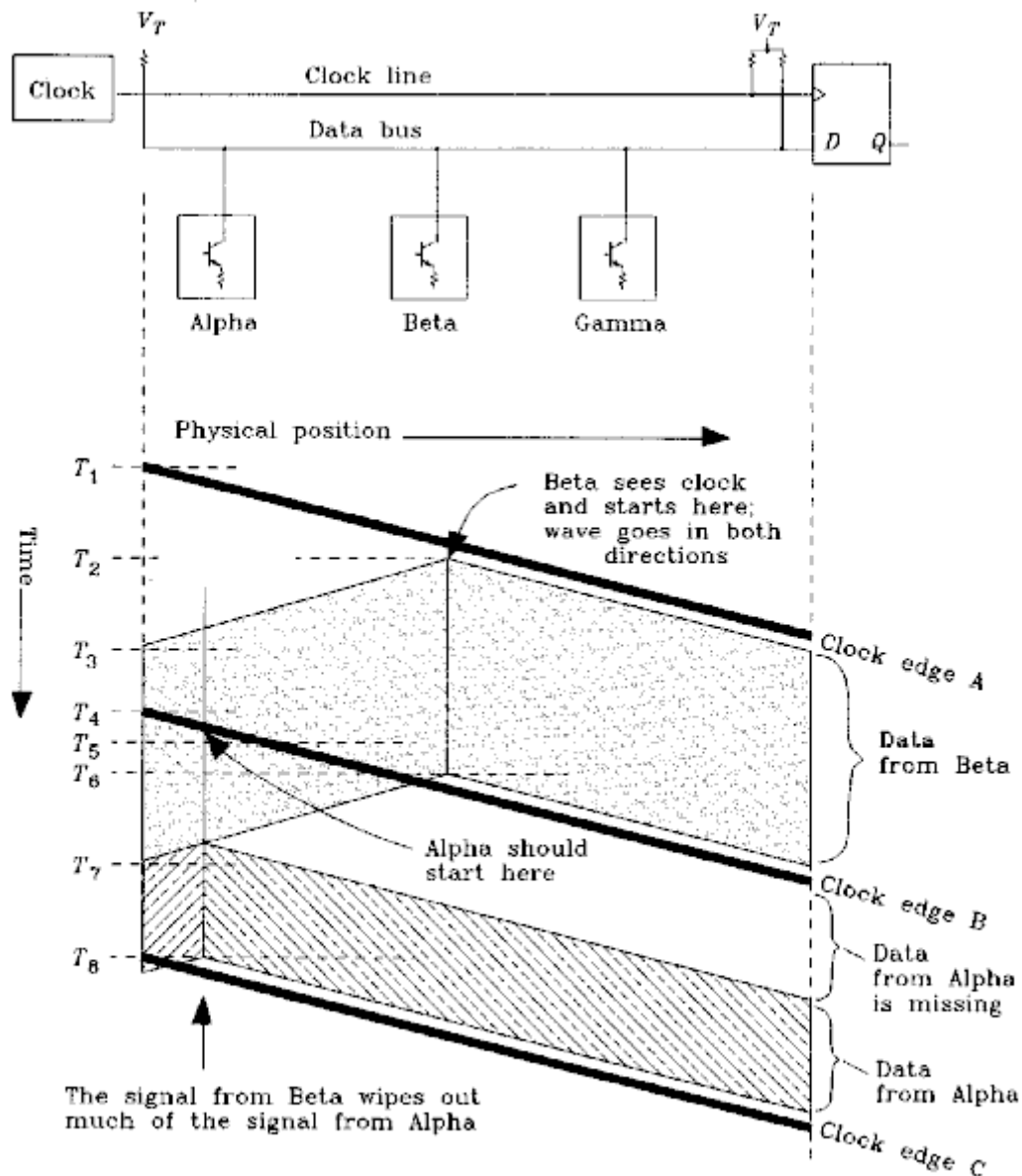


Figure 2.12 Current source drive current used on a long unidirectional bus.

图2.12 电流源驱动器在长单向总线上的电流

图2.12示意了两个数据元：第一个由beta传送，第二个由alpha传送。beta在t2开始传送，一个周期后在t6结束。这个时间响应是在时钟信号A和B到达位置beta的瞬间。alpha在时刻t5开始传送，此时时钟信号到达这里，一个周期后结束。

每一个设备发送信号的时候，它在总线上面既往左传，又会往右传。在数据线的右边末端两个信号会正好在指定的位置正确组帧。

理论上我们在这个总线上的传播速率是没有限制的，因为我们这里不存在等待时钟传到下一个器件的时间，我们的时钟可以增加至任意的频率，只受我们相关器件操作速度的影响，而不是物理的传输时间或者总线的长度。这个总线可以同时向右边的接收器传输多路数据。

我们这个单向总线的缺点是：我们需要的只是信号往右边传输，但是信号同时还会往左边传输。我们可以看一下当beta在t2时刻传送的情形。它在传到右边（接收器方向）的同时，也向alpha传输。在时刻t5，alpha正要开始传输的时候，beta的数据正好从右边传过来把它覆盖了。

如果发送器alpha是一个推挽式驱动，而且数据A和数据B是一致的，那么，在数据B传过去的时间内不会有电流从alpha流向数据线，因为电平是一样的，所以电流不会有。当数据B传输过去了以后，alpha上才会有电流出来保持总线在所需要的状态。在接收端，由于只有到了指定的时隙的时候从alpha输出才会有效，之前接收的数据B就被忽略掉了。

同样，如果数据位是极性反，alpha就要两次才能把数据发送出去，在数据B的前面结尾部分，就像我们在D看到的输入一样，是一个比正常要宽的脉冲(will show a larger-than normal pulse)。

解决这个问题的办法是使用一个在任何线路状态时它的信号都是高阻线性驱动电路，这就是电流源驱动电路。一般可能是一个集电极开路电路，或者是漏极开路的调节电路(regulator circuit)。这样的电路在数据线上的电流是一定的。数据线就像一个阻性负载，会有一个压降。两种逻辑状态一种就是0电流，无效的器件转换到这种状态。

每一个驱动器可以处理线路不同位置上面挂的不同的驱动器传出来的几个同步数据，数目与线长有关。前提是驱动器必须在一个较宽的电压范围内提供线性电流。多个驱动器在大范围的电压内的电流之和耗掉了很大的功耗。

2.2.7 输出功耗

终端电阻、下拉电阻或者是其他偏置电阻的消耗功率增大了电源和冷却系统的功耗。

在节2.2.3中描述了一个驱动外部负载的输出电路的功率消耗，本节计算了在负载本身中的功耗。

首先，请明白一点：理想的电容是不会消耗功率的，只是消耗在了充放电的电路上面。

连接于数据线和 之间的电阻R，在HI状态时其功耗是：

$$P_{HI} = \frac{(V_{HI} - V_T)^2}{R} \quad [2.33]$$

同样连接的电阻R，在LO状态时其功耗是：

$$P_{LO} = \frac{(V_{LO} - V_T)^2}{R} \quad [2.34]$$

为了应付长高或者长低情况时的最大功耗，偏置电阻通常要选型。在偏置电阻上面的功耗通常高于驱动电路的功耗，所以我们平时更应该多考虑是否可能烧掉电阻，为不是晶体管。

本节要点：

- ◆ 在器件功耗计算时不要忘记加上动态功耗和驱动大负载的功耗。

2.3 速度

理想的数字逻辑设计的主要方面是逻辑门的传输延时，事实上高速设计中的实际问题只与一个细小的参数有关系：最小的输出翻转时间。图2.13显示了他们的区别。

快的翻转速度一般会导致电流增大，串音和振铃，这些都跟线路延时没有关系。因为器件的封装，单板输出和连接器必须适应快速的倒换时间，逻辑很小的反转时间远快于传输延时，在系统设计中会带来不好的后果，逻辑时序却只受传输延时的影响。如果有两种最大的传输延时参数的器件，输出翻转时间比较慢的一种会更便宜，更好用一些。

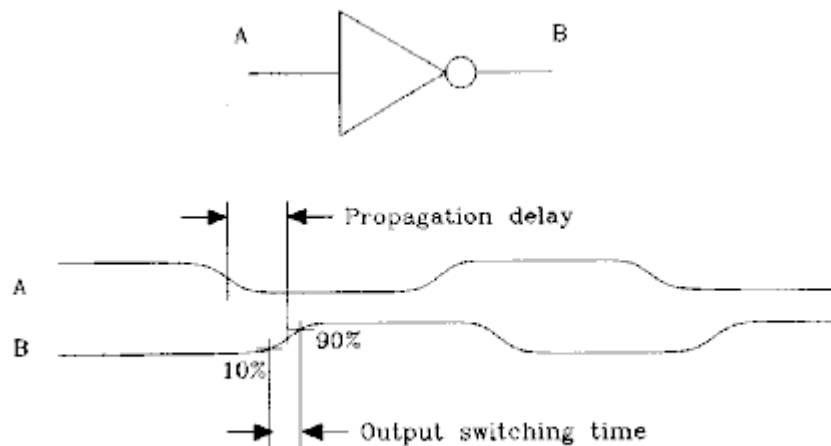


Figure 2.13 Output switching time versus propagation delay.

图2.13 输出延时与输出反转时间的对比

许多种类的逻辑都有不同的速度—功耗组合，TTL系列有LS（低电压肖特基）和S（常规肖特基）两种，所有的CMOS系列的功耗—速度关系曲线是相关性非常大的，也就是说CMOS的时钟速度与它的功耗的关系是非常大的。ECL系列器件包括MECL III，速度是MECL 10KH的两倍，可是功耗却是它的两倍多。

厂家一直非常强调速度和功耗的折中，因为在数据手册中一下就看到了，一般不提的参数是最小的翻转时间。这个参数很难控制，除非厂家在电路中设计特殊电路来降低输出的速度。

限制翻转速度的电路实际上也加进了几种逻辑系列。自从1971年开始出现了MECL 10K系列以后ECL系列就开始用边缘缓速电路了。1990年推出的FCT系列是第一种使用缓速机制的CMOS器件。从那时候起，其它的厂家也开始有了这种想法。

过快的翻转速度带来的种种问题源于两方面：一个是电压的突变，一个是电流的突变。

2.3.1 电压突变的影响 dV/dT

参考公式1.1可以知道，数字信号大部分与频率相关的内容都处于拐点频率以下，拐点频率与脉冲的上升时间 T_r 有关系，但是与线路延时，时钟速度，翻转频率没有关系：

$$F_{knee} = \frac{0.5}{T_r} \quad [2.35]$$

传输线路，包括器件内部走线，PCB走线和连接器等至少要在拐点频率 以下有扁平 (flat) 的响应频率，使其能按上升时间为 T_r 这个速度传送数据。否则如果传输线路的频率响应在 以下不是扁平的话，在远端接收到的信号就会不好，过低或者过冲过大或者振铃。

上升时间过快 (dV/dT 过大) 的最大问题在于使 的值增大，从而导致传输线路传输的问题很难处理。

线路上面的 dV/dT 会影响旁边的电路信号，这是通过线路之间的电容串扰进来的。两个器件放在一起的时候他们之间就会有电容存在，在节 1.10.3 里面我们有提到过，线间电容带来的串扰比线间电感带来的串扰要小得多。

我们可以得出电路最大 dV/dT ，它的 10—90% 上升时间，和电压摆幅三者之间的关系：

$$\frac{dV}{dt} = \frac{\Delta V}{T_{10-90}} \quad [2.36]$$

2.3.2 电流突变 dI/dt 的影响

突然的电流变化会影响附近电路的工作，这是通过电路之间的互感产生的（见 1.10 节），两个电路挨得很紧的话，就会互相感应。为了计算耦合电感的数值，我们必须消除电流源的电流变化，因为电路中大的电流变化会对电路的耦合电感产生很大的影响。这就是 dI/dT 过大的最大的坏处。

我们通常使用的测量工具是示波器，它能测到的是电压值而不是电流值，因此我们需要有一种方法从电压上升时间读值得出电流变化率。图 2.14 表示了一般的情况。上升电压波形 $V(t)$ 产生的流过负载电阻和负载电容的电流大小为：

$$I_{\text{resistor}} = \frac{V(t)}{R} \quad [2.37]$$

$$I_{\text{capacitor}} = \frac{dV(t)}{dt} C \quad [2.38]$$

我们通过输入不同的电压波形以便得到不同的电流变化，我们得到：

$$\frac{dI}{dt}(\text{resistor}) = \frac{dV(t)}{dt} \frac{1}{R} \quad [2.39]$$

$$\frac{dI}{dt}(\text{capacitor}) = \frac{d^2 V(t)}{dt^2} C \quad [2.40]$$

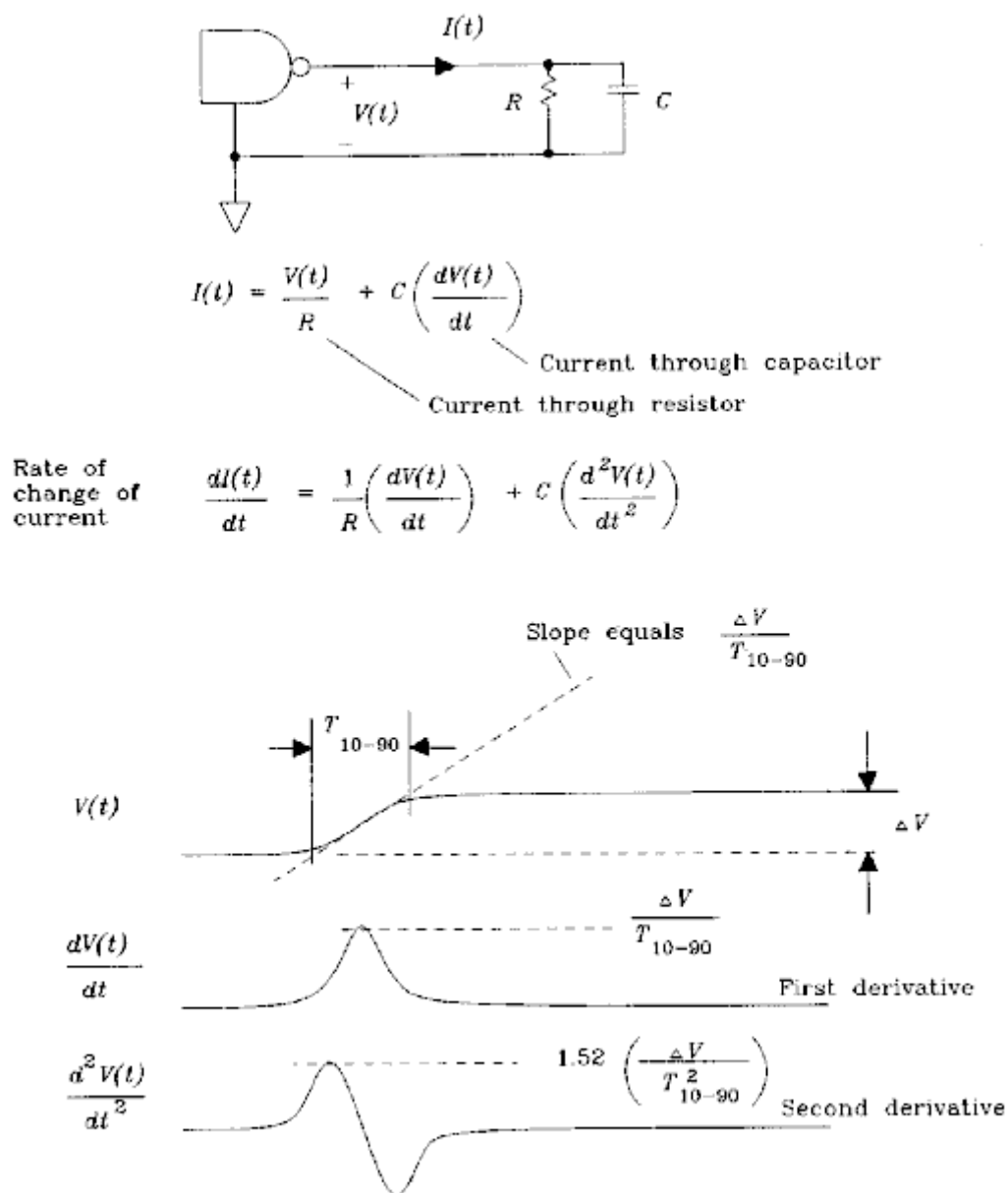


Figure 2.14 Relation of maximum current slew rate to voltage rise time.

图2.14 最大电流变化率与电压上升时间的关系

电流变化的最大值对于确定耦合电感的峰值是非常有用的，分别对于阻性负载和容性负载，对应关系如下：

$$\text{Maximum } \frac{dI}{dt} (\text{resistor}) = \frac{\Delta V}{T_{10-90}} \frac{1}{R} \quad [2.41]$$

$$\text{Maximum } \frac{dI}{dt} (\text{capacitor}) = \frac{1.52 \Delta V}{T_{10-90}^2} C \quad [2.42]$$

当负载既有电容器件又有电阻器件时，只要把上述公式2.41和2.42的最大值相加就可以了。得到的和值虽然可能过高估计峰值，但是跟我们的需要值是非常相近的。图2.14显示了在V(t)的第一次和第二次变化时并不是完全对应的(do not quite line up)，因此对于电阻和电容的电流变化的峰值发生的时刻稍微有所不同。我们得到的和值确实不太精确，但是他还是非常接近而且容易记忆。

公式2.42同时也告诉我们为什么互感会产生这么大的问题。互感的驱动系数电流的变化率与10-90%上升时间的平方成正比。我们要把上升时间减小一半，就需要把流过容性负载的 dI/dT 减小为 1/4。

我们举两个例子对比一下TTL 和 ECL 电路里面的电流变化的影响。我们将会知道ECL电路在高速翻转时需要的瞬态电流比TTL电路要小。ECL电路快，而且噪声也会小一些。

例子 2.4 TTL输出电流的变化率

假设TTL门的负载电容是50pF，设

$$\frac{dI}{dt} = \frac{1.52C_L \Delta V}{T_r^2} = 7.0 \times 10^7 \text{ A/s} \quad [2.43]$$

例子 2.4 ECL输出电流的变化率

假设TTL门的负载电阻是50欧姆，

$$\frac{dI}{dt} = \frac{\Delta V}{R_L T_r} = 2.8 \times 10^7 \text{ A/s} \quad [2.44]$$

2.3.3 底线——电压裕值(Bottom Line---Voltage Margins)

电压裕值(voltage margin)是指可靠的逻辑输出与最差的逻辑接收电平值之间的差。逻辑器件的操作在接收电平上面有一个电压裕值，有点类似于光系统的光能量需要一个裕值，机械设备需要可靠运行同样需要一个机械运转范围裕值。

图2.15示意了MOTOROLA 10KH ECL 逻辑的电平裕值在25摄氏度时的设置。这些门电路有效“0”和“1”输入保证电平值Vil和Vih相对来说都是随温度有所变化的。低于Vil电平的输入可以保证逻辑接收为“0”，反之，高于Vih的输入可以保证逻辑接收为“1”。在这里之间的电平值根据电路附近干扰的不同可能为“0”，也可能为“1”，也可能为不定态。

Vil min 意味着，对于所有的器件这是保证输入为低的输入Vil电平最小值。大部分的门电路在输入电平高于Vil min时依然翻转为低。这些门电路的翻转电压裕值较宽。厂家一般给出的是Vil min，因为他们并不能确定每个器件的输入低的电平门坎值为多少。对于 Vih max 数值的说明正好与这相反。

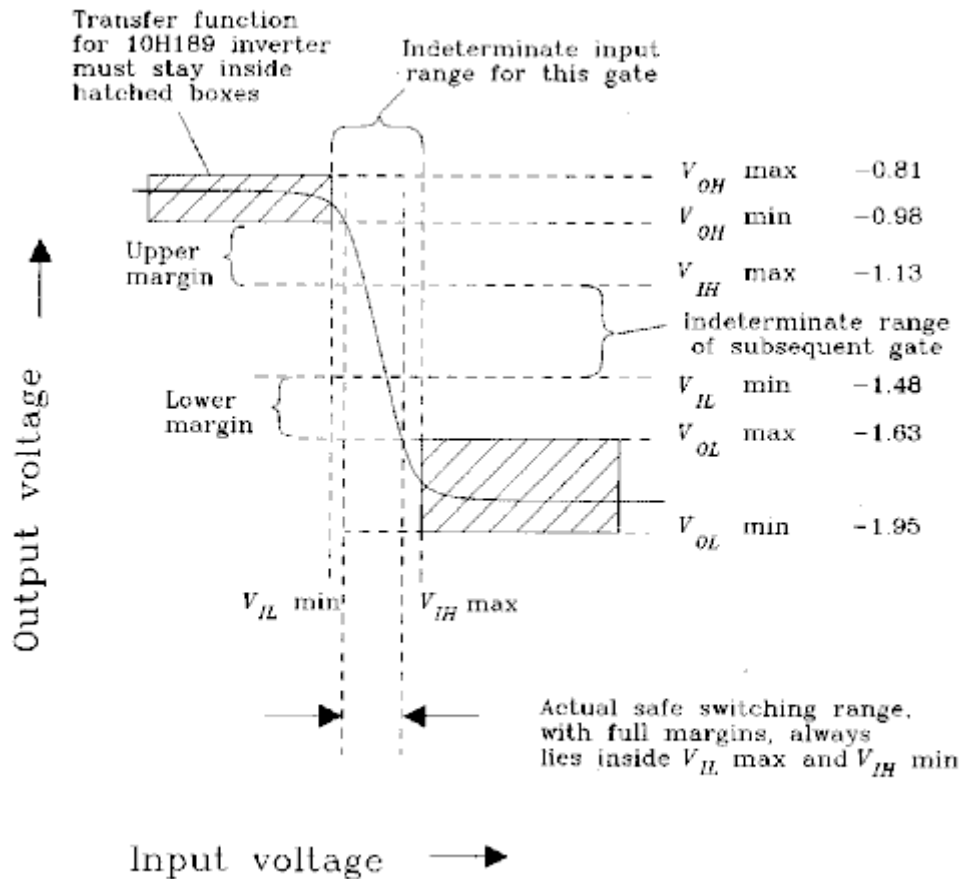


Figure 2.15 DC voltage margins for 10KH ECL.

图2.15 MOTOROLA 10KH ECL 逻辑的电平裕值

相对应的，10KH 系列的输出电平保证输出为“0”和“1”的范围在图中被分别表示为 V_{OL} (最大和最小)和 V_{OH} (最大和最小)，为“0”时，输出电平在 $V_{OL\ min}$ 和 $V_{OL\ max}$ 之间，为“1”时，输出电平在 $V_{OH\ min}$ 和 $V_{OH\ max}$ 之间。

输出有效电平和不确定电平之间是没有交叉的，也就是说正常输出的电平，不管是“0”、“1”都是能够被正常接受的。

实际上对于一个特定的门电路它的输出是受到周围温度、供电和加工过程的影响的。数据手册一般只提“0”“1”输出值可能会分别超出 V_{OL} 和 V_{OH} 。典型的输出电平标示见图2.15。

电压裕值是指 V_{OH} 和 V_{IH} 之间或者 V_{OL} 和 V_{IL} 之间的差值，取最小的一个。

逻辑的输出经常超出最坏的参数，因此逻辑输入一般都可以比较精确的分辨最坏情况下的输入门坎值。一个典型的10KH 反相器翻转功能如图2.15，你可以看到，电路显示了一个翻转范围内的-4的增益，数值上超过了外面需要的翻转区域的输出参数。但是一个器件可以这样并不是说每一个器件都可以如此。另外一个器件可能它的范围参数又是另外的一个。一般军用产品每个器件都要检测，以保证所有器件都在要求的范围内，但是民用产品只是抽检以保证做的最好。

为什么我们需要这个电平裕值呢？这是因为它能够补偿真实系统中传输和接收中的不良状态。没有裕值的系统是不能够正常工作的，比如以下的情况发生时：

1、DC供电电流，流过地时，由于地线存在电阻，因此每个器件的地电平其实是不一致的。因此一个器件相对自己地的电平值在到达另外一个器件时，其参考值会发生移动。

2、高频电流流过地线时，由于电感的存在，因此每个器件的地电平其实是不一致的。因此一个器件相对自己地的电平值在到达另外一个器件时，其参考值会发生移动，和电阻影响一样。这是一种形式的互感串扰。

3、相邻近的信号线之间由于互感的存在，会互相影响对方的信号，这叫互感串扰，他会是正常的信号叠加一些东西进去。

4、长传输线的反射，振铃会使得信号变形，使输出的信号和接收端信号差得很远，电平裕值可以在一定程度上容忍这种变形。

5、不同的器件可能对温度的敏感度是不一样的，温度的影响会使器件的翻转参考电平有一定的波动。

上述的（1）、（5）两点是任何系统都要考虑的问题，而（2）（3）（4）一般在高速系统时要考虑的多一些。

三种高速的影响会由于传输信号大小不同而有所变化：返回电流越大导致地线的影响越大，信号电平越高（或者电流越大）会导致串扰越大，传输信号线越长会导致振铃和反射越强。所以说在高速信号传输里面，解决这些问题的最好方法就是上面说的输出电平与输入电平之间的“电平裕值”。百分比是很容易算出来的，而且比起直接电平绝对值来说，更容易在不同的器件里借用。噪声容限百分比(noise margin percentage)是下面两者较小的一个：

$$\frac{V_{OH \min} - V_{IH}}{V_{OH \max} - V_{OL \min}} \quad \text{or} \quad \frac{V_{IL} - V_{OL \max}}{V_{OH \max} - V_{OL \min}} \quad [2.45]$$

10KH ECL 逻辑器件的“噪声容限百分比”为 17.8%。74AS TTL 逻辑器件为 9.1%。这说明了ECL 电路比TTL电路更可靠。虽然ECL 的电平裕值绝对值比TTL电平小，可是ECL中裕值占电压摆幅 的百分比要大一些。

当然，10KH ECL 系统的翻转速度是74AS的速度快2~3倍。快速就会导致电流返回问题、串扰问题、和振铃问题，虽然说这些问题的处理比74AS TTL 电路会难一些，也不至于难上2~3倍。

本节要点：

- ◆ 如果有两种逻辑，他们的最大静态传输延时是一样的，那么输出翻转时间慢的器件会更便宜，也易用一些。
- ◆ 给出负载和电压上升时间我们可以算出输出电路的 di/dt 。
- ◆ 如果上升时间要减小一半，那么我们流进负载电容的 di/dt 将减小为1/4。
- ◆ 系统设计的电平裕值决定于系统的供电情况、地线电平浮动、线路串扰、振铃以及系统的热参数。

2.4 封装

之所以会有各种不同的封装，是因为各种电路各自的需求不一样，现在各种封装电路的数量已经很多，而且还在不断的增加。

几乎所有的封装，当用于高速电路的时候，都存在一些问题包括引脚电感、引脚电容和散热问题等。

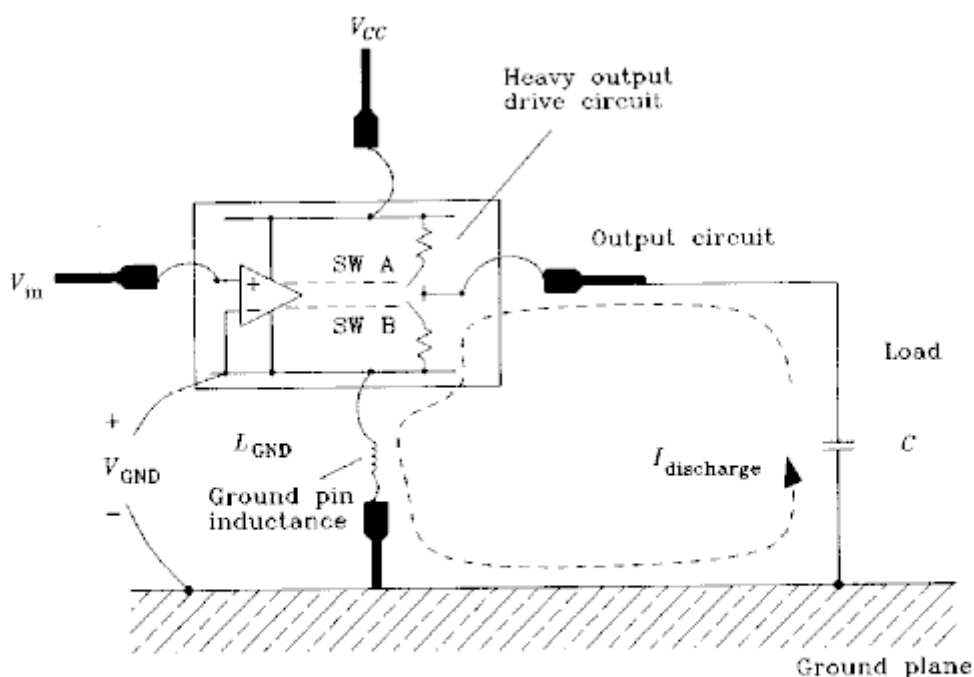
2.4.1 引脚电感

在器件封装的不同管脚之间的电感会诱发一个问题叫做：地反射。这种现象在逻辑输出发生翻转的时候会导致逻辑输入的毛刺。本节将讨论一般产生毛刺的大小以及他带来的影响。

2.4.1.1 不期望的地线电压——为什么会发生“地反射”

图2.16 示意了一种理想的逻辑封装(die)：导线绑定了一个4PIN的直插封装。包括一个发送电路和一个接收电路。示出的发送电路是一个推挽式电路，虽然任何电路在高速时都会有同样的问题。

假设输出驱动的开关B刚关闭，电容C向地放电。电容C两端的电压会降低，他存储的电荷会流向地，就会导致电线的大电流，如图的。



$$V_{GND} = L_{GND} \frac{d}{dt} (I_{discharge})$$

Figure 2.16 Lead inductance of a logic device package.

图2.16 器件封装的引脚电感

由于放电电流建立了以后，又会通过电线引脚的电感反向流动，电流值在变小。因此会在系统地 and 器件内部地之间产生一个压降，电压值为：

$$V_{GND} = L_{GND} \frac{d}{dt} I_{\text{discharge}} \quad [2.46]$$

由于输出翻转导致的内部参考地电平波动的现象叫做：地弹(ground bounce)。

一般地弹 相对于整个输出电平来说是一个比较小的值。并不会对传输信号明显地产生影响，但是它主要影响接收。

假设我们的接收是一个同样的电路，接收器使用的参考地是一个不同的电平。在图2.16中就是输入信号 V_{in} 上面的增加(+)，和内部地上面的减(-)。由于内部地带了 的噪声信号，在接收电路上面看到的实际电平为：

$$\text{Input circuit sees: } V_{in} - V_{GND} \quad [2.47]$$

因为输入电路只对它的正向输入和反向输入的差值作出响应，它不可能知道噪声脉冲是否已经加到反向输入端或者在正向输入端被减掉。也就是说，对于输入电路来说， 脉冲看起来象直接叠加在输入信号上的噪声。

如果一个芯片 N 个输出同时连到 N 个对应的容性负载，那么这个电流就会增大 N 倍，也会增大 N 倍。

地弹电压值跟通过地脚的电流变化率成正比。如果驱动的负载是容性的，我们希望电流的变化跟电压的二次微分一样。按照图2.14的分析，电压的二次微分是一个双峰波形，首先是一个上升波形，接着一个下降波形。

2.4.1.2 地弹怎样影响你的电路

图2.17示意了一个地弹的例子，一个8门的D触发器，有一个输入时钟驱动32个存储芯片。每个的容性负载为5pF，因此每条线的负载电容是160pF。

假设数据输入到D，建立时间足够，有3nS，但是保持时间比较小，只有1nS。假设输入信号是符合我们的TTL触发器的需求的。

在时钟沿A，触发器锁住数据FF，在时钟边沿B，触发器锁住数据00。在两个地方，触发器的延时3nS稍微比数据需要的保持时间长一点点。

在点C，数据变为任意的XX。点C在时钟沿B后1nS，在这一点触发器已经锁住了数据00，但是输出数据还没有从FF翻转到00。

倒数第二个曲线示意的是 ，在点A之后，当Q输出为正时，负载电容从Vcc充电，因此在 上面的影响很小。在点D，所有输出由高变为低，在Vgnd上面会出现一个比较大的噪声。这个噪声会导致系统出错，称为：双时钟。

双时钟的产生是由于时钟电路里面的输入变化导致的。在触发器内部，时钟输入引脚测量芯片输入引脚与地之间的电平。图2.17的最后一根曲线示意了它的变化。它在沿B时的时钟是很好的，没有噪声，但是后面紧跟的是一个毛刺，这个毛刺是由于地线上的信号电流导致的。在这个毛刺脉冲上，触发器会被重新触发。

如果在时钟D处，数据输入已经被改变了，那么触发器的输出将被修改为XX。也就是说在D处，触发器的输出会由正确数据突然变为错误状态。

但是对于时钟的外部观察是看不出来有任何问题的，只是逻辑封装内部出了问题。

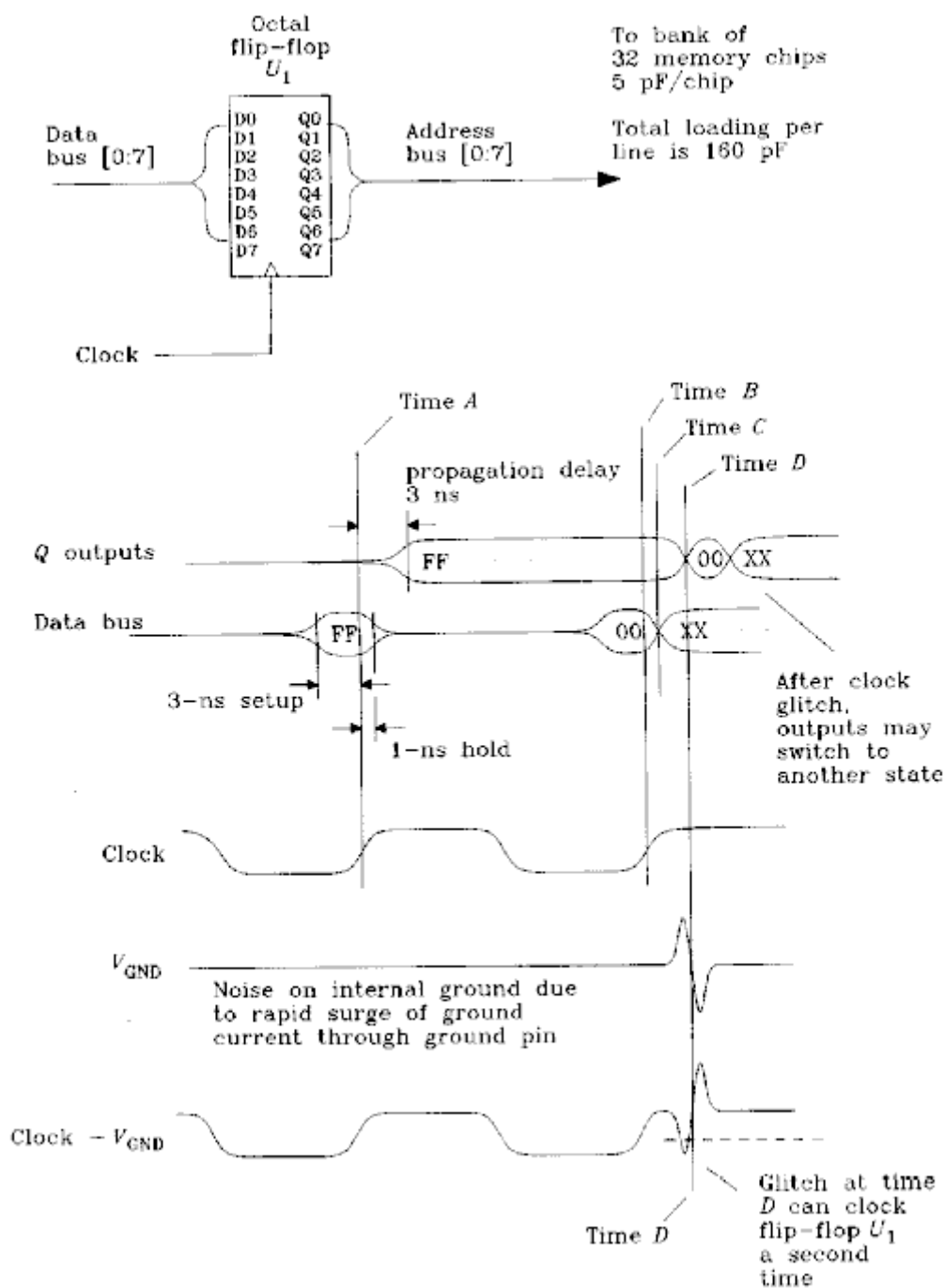


Figure 2.17 Example of ground bounce.

图2.17 地弹实例

双时钟的产生一般是在DIP封装的触发器快速驱动负载很大的时候，对于FCT锁存器，DIP封装也会有同样的问题。对于表贴的封装，由于引脚比较短的缘故，发生这种问题的可能比较小。以后的触发器器件速度会越来越快，我们将会不断的改变器件的封装以避免这种问题的产生。

给输出驱动和参考输入提供不同的电源/地引脚也可以很好的解决地弹问题。因为如果地线的电流很小，就不会产生地弹。大部分的ECL器件和许多的门阵列，使用分离的电源引脚，就是这个道理。

对于边沿敏感的电路比如复位、中断等信号线也很容易受到地弹的影响。

2.4.1.3 地弹的大小

我们看一个实例就可以知道地弹的数量级可以到多少了。

例子2.6：地反射的测量

本次试验里我们采用一个74HC174 4门的触发器，其中三个在不断地翻转，第4个保持为恒定的低电平。有效的三个门输出驱动的负载是20pF。本实验可以显示出在有负载和有重负载的时候地反射的强度。因为第4个门出于不变的状态的缘故，我们可以有一个窗口测出内部地的电平。

由图2.18可以看出，在时钟和异步复位信号不断地翻转输出信号的时候，我们接上负载，得到图2.19的波形，当Q为高时，有一个小的毛刺，Q输出低时，大的毛刺就出现了，大概有150mv左右。

虽然这个毛刺不算太大，但是我们要考虑以下几个方面状况：

- 1、对于HCT的电平裕值范围只有470mv。
 - 2、如果有8个门电路一起翻转，那么它的幅值会增大8/3倍。
 - 3、如果存在了地弹，那么在其它的干扰产生的时候，电路就会变得异常敏感。
- 同样的测试，我们可以得到一个400mv的地弹毛刺。

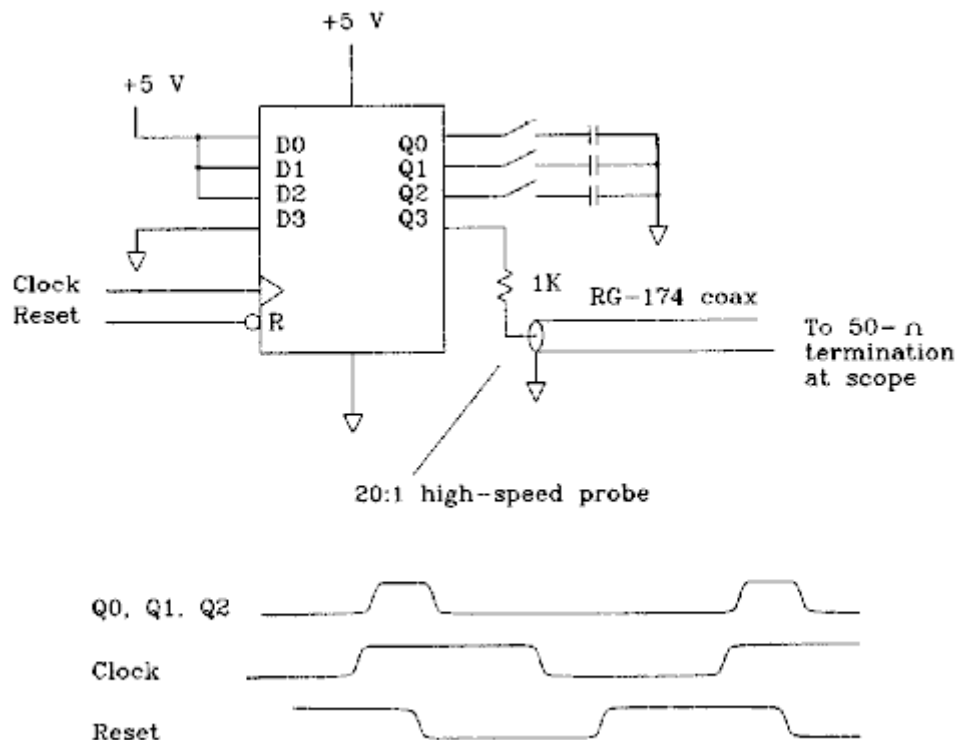


Figure 2.18 Measuring ground bounce.

图2.18 地弹测量

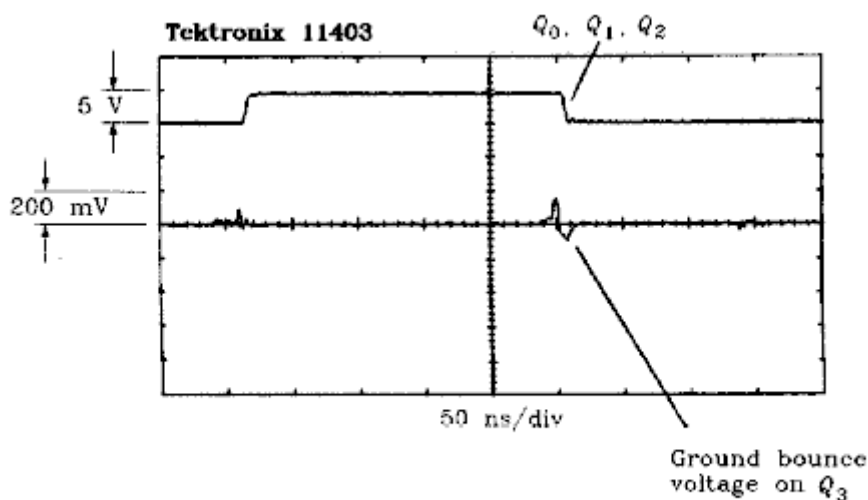


Figure 2.19 Ground bounce on 74HC174 with three loads of 20 pF.

图2.19 74HC174三个门翻转负载电容为20pF时的地反射

2.4.1.4 地弹大小的估计

为了对地弹数值进行有效的估计，我们需要知道4个方面的数据：10—90%的逻辑翻转时间，负载电容/负载电阻，引脚电感，翻转电压。

对于电阻R，我们用公式2.41可以计算电流变化率，用公式1.17电感定义可以计算地弹幅值：

$$|V_{GND}| = L \frac{\Delta V}{T_{10-90}} \frac{1}{R} \quad [2.48]$$

对于电容C，我们用公式2.42可以计算电流变化率，用公式1.17电感定义可以计算地弹幅值：

$$|V_{GND}| = L \frac{1.52 \Delta V}{T_{10-90}^2} C \quad [2.49]$$

式子中的 L 和 C 与器件系列有关，以下是一些典型值：

TABLE 2.2 SWITCHING CHARACTERISTICS OF FIVE LOGIC FAMILIES

	74HCT CMOS	74AS TTL	10KH ECL	10G GaAs	NEL GaAs
ΔV_{max} (V)	5	3.7	1.1	1.5	1.0
T_{10-90} (ns)	4.7	1.7	0.7	0.15	0.05

地引线电感受封装类型的影响很大，大的封装引线电感也大。有内部地平面的器件电感比较小，但是不能消除地弹。宽的，低感值的内部地平面结构有引线连接外部地和内部地。

能够很好的减小地线电感的技术有三种：WIRE BOND、TAB(TAPE AUTOMATED BONDING)和FLIP-CHIP。这三种技术都能缩短芯片与外部PCB的地连线。如图.2.20。

WIRE BOND技术就是采用一个未开启的模放在PCB上面，然后把焊盘和PCB 细线绑定焊接起来，随后再滴上树脂或者用器件塑封把整个芯片连同PCB密封好。

TAB 方式就是用大转接板代替引线绑定的方法。用来使器件与PCB内部连接的引线首先印制在一个基片上，这个基片可能会有几层，包括地层可以控制阻抗。它上面还有焊盘，芯片通过回流焊与基片焊在一起，然后芯片正面就加上了基片，然后再把这个基片与印制板回流焊在一起。随后再滴上树脂或者用器件塑封把整个芯片连同PCB密封好。

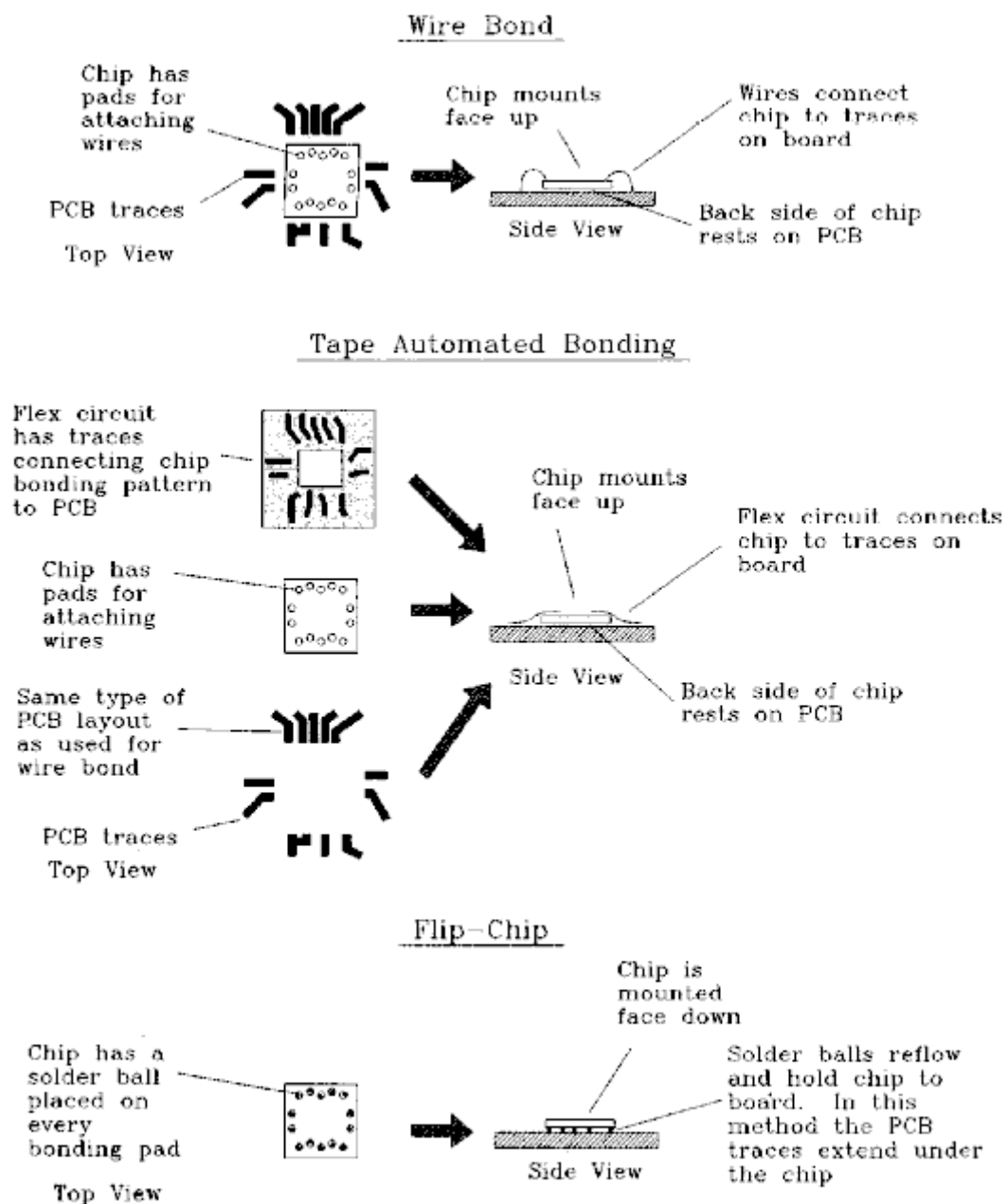


Figure 2.20 Methods of direct chip attachment.

图2.20 芯片绑定的方法

TABA 方式绑定，是一种块操作技术，快速。它的优点是能够提供一个连续的地，并且可以为芯片内核与PCB 提供一个机械支撑。它的引线间距可以到0.08mm(300引脚/英寸)。它的缺点是不同的芯片内核需要不同的绕线电路，如果芯片变化或者PCB 变化那么这个绕线电路几片也要随着变化。

FLIP-CHIP技术首先在芯片内核上面加上焊接球，然后正面朝下，通过回流焊焊接在PCB基板上。通常它需要一个镶嵌材料一方面用来封装硅芯片器件，另外一方面用来散热。

在电器连接上，FLIP-CHIP 方式是最为理想的方式，因为它的绑定引线是最短的，所有与封装有关的问题它是最少的。但是在机械结构和散热方面它较差，在它的芯片内核和PCB 板间没有机械弹性容限，只是用于连接的焊锡球有限的一点弹性，这就要求芯片内核与PCB 的热膨胀系数必须非常一致。

在散热方面也很有问题，因为它的芯片内核与它的基板是分立的，我们的其它两种方式 WIRE-BOND 和TAB 都是芯片内核的背面粘在基板上，所以他们的散热会非常好。

下表罗列了不同封装的引脚电感数值：

TABLE 2.3 LEAD INDUCTANCE OF LOGIC PACKAGES*

14-pin plastic dual in-line package (DIP)	8 nH
68-pin plastic DIP	35 nH
68-pin surface-mount plastic leaded chip carrier (PLCC)	7 nH
Wire bonded to hybrid substrate	1 nH
Solder bump to hybrid substrate	0.1 nH

*Much of this data is taken from H. B. Bakoglu, *Circuits, Interconnections, and Packaging for VLSI*, Addison Wesley, Reading, Mass., 1990, Table 6.2. Reprinted by permission of Addison-Wesley Publishing Co., Inc., Reading, MA.

2.4.1.5 减小地反射的方法

降低输出翻转时间是一个好办法。10K、CMOS、FCT 和一些新的总线驱动器件采用内嵌的电路设计，在对传输延时影响最小的前提下降低翻转速度。

有的厂家还采用了围绕器件分布很多地线的方法。如果地线在封装内分布均匀，这是一个很好的方法。一根线变成两根，自然使电感减小了一半，但是还是增加了两根线之间的影响。把地线分布放开的方法比把地线连在一块的方法好得多。

采用分离的专门参考地的方法也很好。分立的参考地由于电流很小，因此他不会有地反射。分离地的芯片要注意使每个地线能够有直接到地平面的最短路径。如果把他们两根连起来走线，则效果全无。

使输入各异的方法也是一个好方法。

2.4.2 引脚电容

逻辑引脚间的分布电容会使噪声耦合到敏感的输入引脚。图2.21示意了两个引脚间的分布电容Cm的情况：

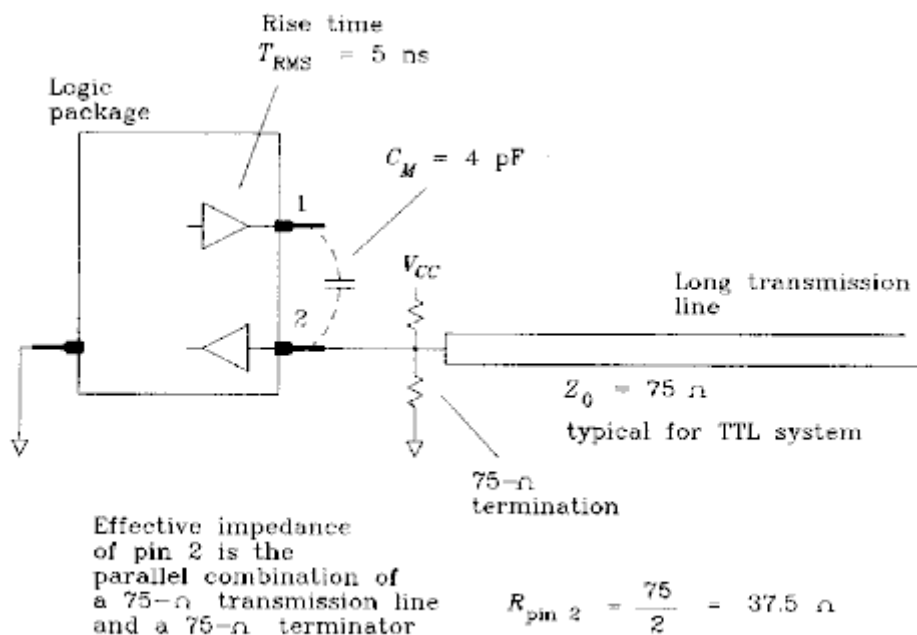


Figure 2.21 Stray capacitance between pins on a logic package.

图2.21 逻辑器件引脚间的分布电容

我们可以用公式1.30来计算电路1在电路2上引起的百分比串扰(percentage crosstalk):

$$\text{Crosstalk} = \frac{R_2 C_M}{T_{10-90}} \quad [2.50]$$

where $C_M = 4 \text{ pF}$ (mutual capacitance of circuits 1 and 2)

$R_2 = 37.5 \Omega$ (parallel impedance of 75- Ω long transmission line and 75- Ω terminator)

$T_{10-90} = 5 \text{ ns}$ (voltage rise time of signal on pin 1)

在这个例子里线路串扰是0.03(3%)

输入的电阻越高, 上升时间越短, 则串扰就会越严重。

图2.22显示了一个高输入电阻的问题, ASIC 产生一个时钟and debounce a switch input, 在没有C1和C2的时候, R1和R2很大, 我们认为存在电容串扰问题。用公式2.50我们得到的串扰因子是8。这意味着, 引脚1上面的时钟直接会出现在引脚2上。

加上电容C1和C2以后, 降低了接收电路的高频阻抗, 消除了串音, 效果非常明显, 串扰因子百分比等于电容比值:

$$\text{Crosstalk} = \frac{C_M}{C_1} \quad [2.51]$$

如果C1取值0.01uF,则串扰因子降低到了0.0004, 这个值已经很小了。时间参数R1C1的值是0.1mS。不会有多大影响。

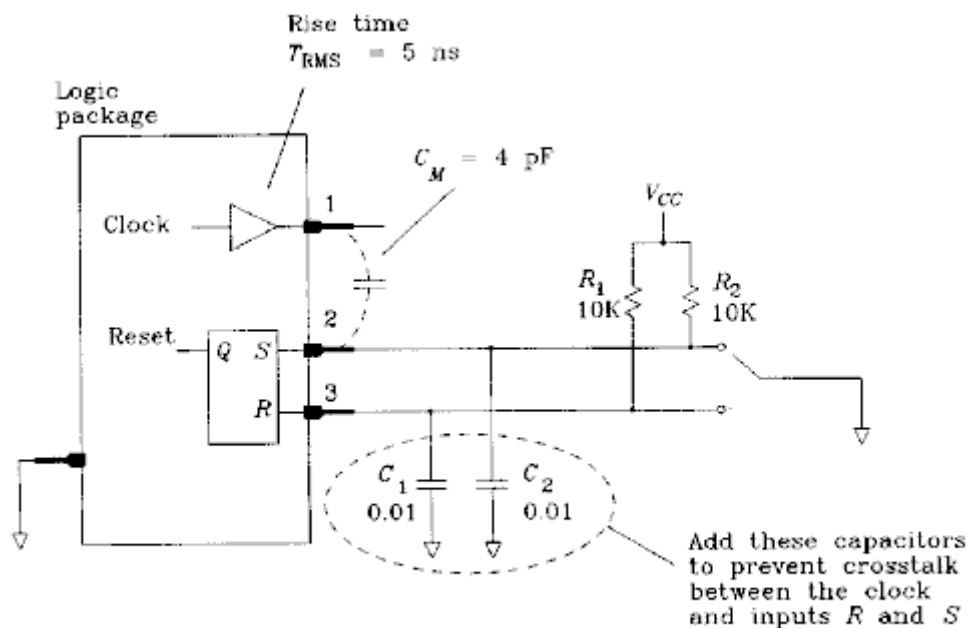


Figure 2.22 Fixing a stray capacitance problem on a debouncing circuit.

图2.22 设置分部电容消除串音

表2.4列出了不同封装相邻管脚间的分布电容的数值：

TABLE 2.4 ADJACENT LEAD CAPACITANCE OF LOGIC PACKAGES*

14-pin plastic dual in-line package (DIP)	4 pF
68-pin surface-mount plastic leaded chip carrier (PLCC)	7 pF
Wire bonded to hybrid substrate	1 pF
Solder bump to hybrid substrate	0.5 pF

*Much of this data is from H. B. Bakoglu, *Circuits, Interconnections, and Packaging for VLSI*, Addison Wesley, Reading, Mass., 1990, Table 6.2.

2.4.3 热传导——和

在这里我们做一个实验，把一个14DIP封装的器件剖开，把其中的硅晶片挖掉，放进一个1欧姆的电阻和一个温度传感器，然后再把封装重新装好。在芯片的7脚和14脚接上电源，这样可以控制电阻消耗的功率，同时把1、2脚的温度传感器接到设备上。把这样的装置放进一个室温为30摄氏度的温控箱。

然后慢慢调节器件的功耗，我们可以测出随着功率消耗对应的器件温升的一组对比数值。根据这组数值我们得到一条曲线如图2.23。

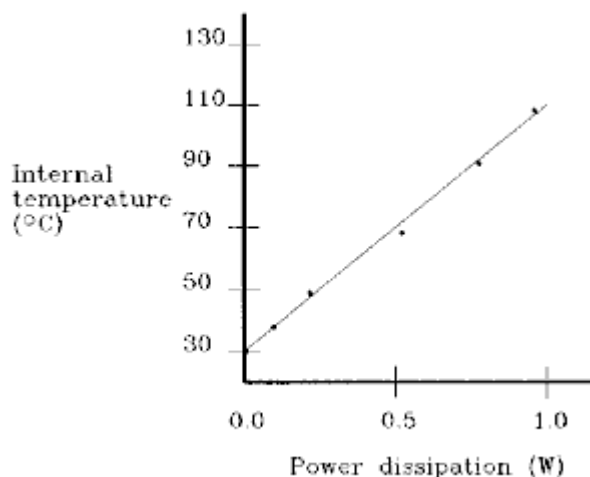


Figure 2.23 Internal temperature versus power dissipation inside a 14-pin plastic DIP package.

图2.23 14DIP塑料封装器件内部温度与功耗对比曲线

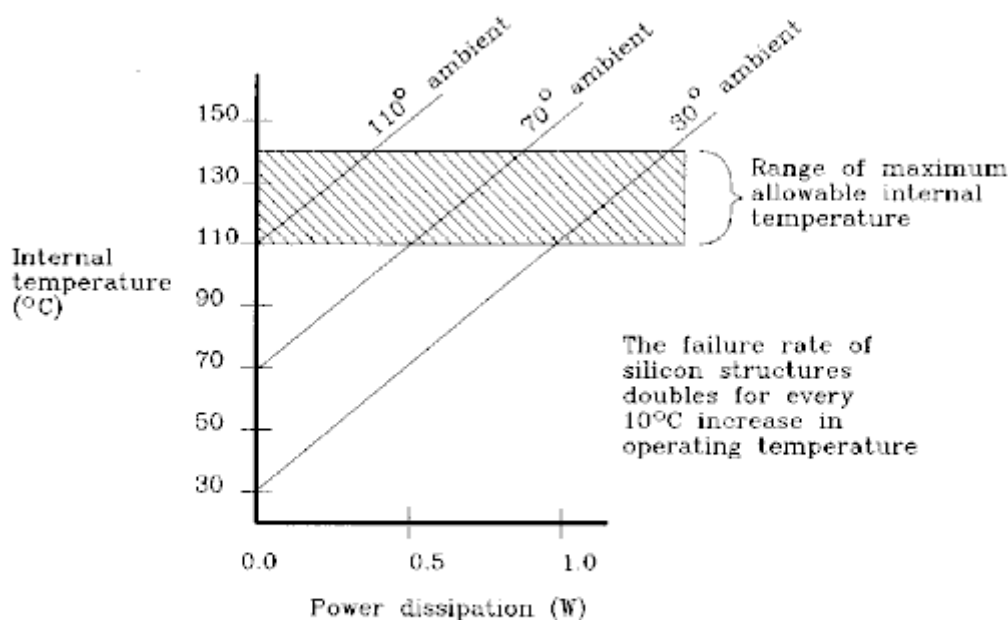


Figure 2.24 Internal temperature versus power dissipation and ambient temperature (14-pin plastic DIP package).

图2.24 14DIP塑料封装器件内部温度与功耗对比曲线
随环境温度的变化时候的曲线

由图中可以看出来，这就是一条直线。我们在调节环境温度分别去30、70、110等几组不同的值，作同样的试验，得到如图2.24的曲线，可以看出，只是曲线的起点不同而已，仍然是几组平行的直线。

由此可以得出温度随着器件功耗变化的公式：

$$T_{\text{junction}} = T_{\text{ambient}} + \Theta_{JA} P \quad [2.52]$$

其中，

：结温

：环境温度

：温阻；封装晶片与外部环境的温阻常数

：温阻，是封装晶片与外部环境的温度传导的常数，他取决于：封装订定的方式、材料、大小以及其它与温度传导有关的方面，比如散热设置，管脚设置等。

厂家一般把 分解为两部分，一部分是从晶片到器件的常数 和器件到环境的常数，通常 我们是没有办法控制的，而 我们却可以通过散热装置来改善。

[2.53]

通常我们要估计一个设计中器件的结温，则要知道厂家提供的 和散热器厂家提供的，以及知道器件的功耗，然后就可以估计芯片结温了。

2.4.3.1 温阻一：JUNCTION TO CASE（晶片到封装）

下表列出了一些不同封装的典型 数值：

TABLE 2.5 Θ_{JC} JUNCTION TO CASE THERMAL RESISTANCE

16-pin plastic dual in-line package (DIP)	34°C/W
16-pin ceramic DIP	25°C/W
40-pin ceramic leaded chip carrier (LCC) with 10K square mil die	5.5°C/W
132-pin ceramic LCC with 50K square mil die	1.4°C/W

从中可以看出，封装越大，它的温阻就越小。一般理解是这样的：封装越大，晶片与封装的接触面积就会越大，因而使得温阻变小。这里我们要区分一点：封装变大的时候，晶片也变大。如果同样的封装，则晶片越小，温阻就越大。

工程师现在更感兴趣的是晶片本身的温阻、绑定方式、寻找芯片内部优良的热传导材料（陶瓷比塑料好）以及寻找更好的封装形式（平的、窄的好过厚的方的）等。

2.4.3.2 温阻一：封装与环境间的温阻

下表列出了一些不同封装的典型 封装与环境间的温阻数值：

TABLE 2.6 θ_{CA} CASE TO AMBIENT THERMAL RESISTANCE

16-pin dual in-line package (DIP) in still air	80°C/W
16-pin dual in-line package (DIP) in 400 ft/min air flow	35°C/W
72-pin ceramic pin grid array (PGA) in still air	34°C/W
72-pin ceramic pin grid array (PGA) in 400 ft/min air flow	18°C/W
72-pin ceramic pin grid array (PGA) in 400 ft/min air flow with heat sink	10°C/W

实际上，器件周围的风速对这一参数的影响非常大，因此在表中还列出了风速数值。

图2.25示意了MOTOROLA 72脚BGA封装的一个器件在不同风速和不同的散热条件下的外部温阻对比，在图中固定的内部温阻为4°C/W。可以看出，风速越大，就会越小。

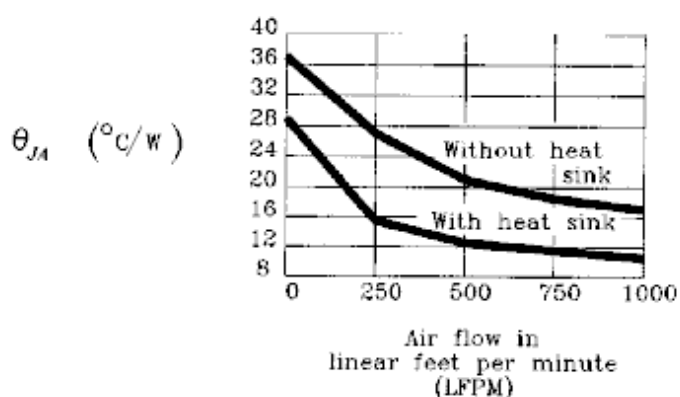


Figure 2.25 Typical thermal resistance versus air flow for a Motorola 72-lead pin grid array (PGA package). (Data courtesy of Motorola Inc.)

图2.25 MOTOROLA 72脚BGA封装在不同风速和不同的散热条件下 的外部温阻对比

图2.26示意了三个不同厂家的散热器在静态风速以及风速为1000英尺/分钟的时候的器件外部温阻 的数值，由图中可以看出，风速的影响还是比不过散热器对器件温阻的影响那么显著。

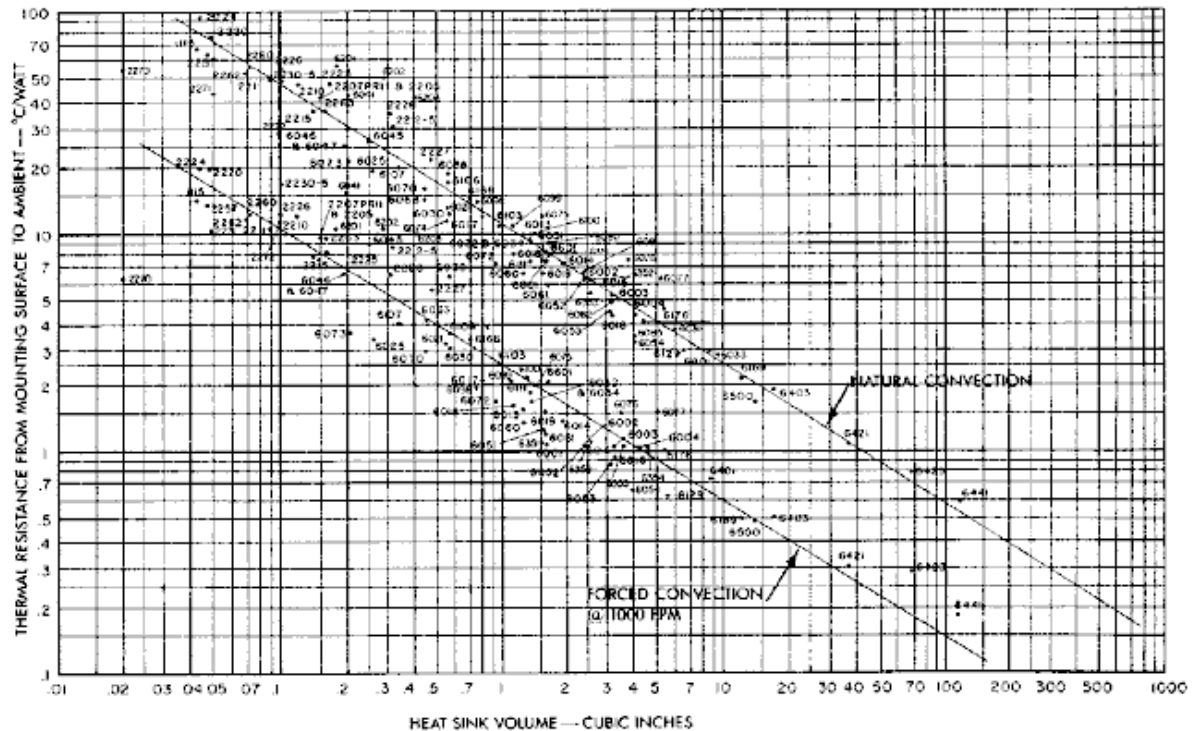


Figure 2.26 Typical thermal resistance, case to ambient, of thermalloy heat sinks. (Scatter plot courtesy of Thermalloy, Inc.)

图中直线的斜率是 $-2/3$ ，说明散热器的效率提高了原来值的 $2/3$ 次幂(this means that the heat sink efficiency goes up as the $2/3$ power of volume, which is the same as the square of linear size)。也就是说，散热器的三维尺寸增大40%可以使外部温阻降低一半。

2.4.3.3 400英尺/分钟的风速有多大？

很多散热器厂家都在散热器的参数上面要求风速是400英尺/分钟，或者更高，以保证散热器达到正常的性能。那么400英尺/分钟究竟是多大？事实上，这已经是一个很大的值，一般的设计很难达到。

我们可以转换一下，400英尺/分钟也就是4.5英里/小时，只是微风而已。可是在我们的设备中却是很难达到，需要一个很大的风扇。因为我们的设备空间非常有限，风扇吹出来的风，速度又减小的很快，因此如果风速太小，就会形成一些死角，永远也吹不到风。

我们PC机风扇的提供的风速大约是：150英尺/分钟。

本节要点：

- ◆ 在高速情况下，逻辑器件的封装电感的影响很关键。
- ◆ 输出翻转电流流向地线的时候，会产生地弹，产生的毛刺会使触发器误触发。
- ◆ 热量从晶片传到封装表面，再从封装表面到外面环境的温阻公式是：
- ◆ 400英尺/分钟的风速是很大的。



高速数字电路设计教材

拟制:	_____	日期:	_____yyyy-mm-dd_____
审核:	_____	日期:	_____yyyy-mm-dd_____
审核:	_____	日期:	_____yyyy-mm-dd_____
批准:	_____	日期:	_____yyyy-mm-dd_____



华为技术有限公司
版权所有 侵权必究

目 录

第3章 测量方法	2
3.1 示波器探头的上升时间和带宽	3
3.2 探头接地环路的自感	6
3.2.1 计算接地环路自感	7
3.2.2 计算10-90%上升时间	7
3.2.3 估算电路Q值	8
3.2.4 结果的重要性	9
3.3.探头接地环路产生的虚假信号	12
3.3.1.在环路A中变化的电流	12
3.3.2.环路A和环路B之间的互感	13
3.3.3.互感定义的应用	13
3.3.4.磁场检测器	14
3.4.探头如何对电路形成负载(how probes load down a circuit)	15
3.5.特殊的探测装置	18
3.5.1.厂制的(Shop-Built) 21:1的探头	18
3.5.2.为低电感接地回路所用的固定装置	21
3.5.3.用于探测的内嵌式的固定装置	22
3.6.避免从探头屏蔽检取电流	24
3.7.观察串行数据传输系统	27
3.8.降低系统时钟	29
3.9.观测串扰	29
3.9.1.关掉初始的信号	29
3.9.2.去掉串扰	30
3.9.3.产生人为的串扰	30
3.10.测量操作容限	31
3.10.1 附加的噪声	31
3.10.2.调节宽总线上的定时	32
3.10.2.1.通过同轴电缆延时调节时钟	32
3.10.2.2.通过脉冲发生器调节时钟	33
3.10.2.3.用于时钟相位调节的简单电路	33
3.10.2.4.用锁相环调节时钟	34
3.10.2.5.通过改变电压调节时钟	35
3.10.3.供电	35
3.10.4 温度	36
3.10.5 数据吞吐量	37
3.11 观测亚稳态	37
3.11.1 亚稳态测量	38
3.11.2 理解亚稳态(metastable)特性	39
3.11.3 很长处理时间的证据(evidence for very long resolution times)	43
3.11.4 亚稳度曲线	47

第3章 测量方法

摘要:

所有科学的仪器都有局限性，和其它仪器一样，当我们用一台示波器测量一个数字系统时，我们必须学会容忍它的局限性和计算它在我们结果的影响。

3.1 示波器探头的上升时间和带宽

示波器主要的限制为三个方面：灵敏性的不足、输入电压的幅度不够大、带宽限制。

只要数字测试中的灵敏度不是特别的高，一般示波器的灵敏度是满足要求的。在高电平时，数字信号一般小于5V，绝对是在示波器的输入电压范围之内，主要的限制是带宽。

示波器的Y轴放大器有带宽级别，就象示波器的探头一样，它们的数字意味着什么呢？很少工程师会把一个100-MHz带宽的示波器用到200-MHz的数字信号的测量上，但用到99MHz的信号上会怎样？带宽的正确含义是什么？在数字信号中有什么影响？

图3.1给了我们一些线索，在图3.1中描述的两轨迹是同一个信号使用不同带宽的示波器测试出的结果。上面的轨迹的上升延快，然而下面的上升延相比较就慢了。上面波形是用上升时间快的探头测的，而下面的波形所用的探头的带宽上限为6-MHz，带宽为6-MHz探头用于过滤噪声，输入阻抗很高，因此这个比较有点夸大，实际测量的探头不会有这么大的差别。带宽窄的探头测到的上升沿或下降沿变慢甚至会被过滤掉。在信号处理技术中，这低通探头滤掉被测信号的高频元素。

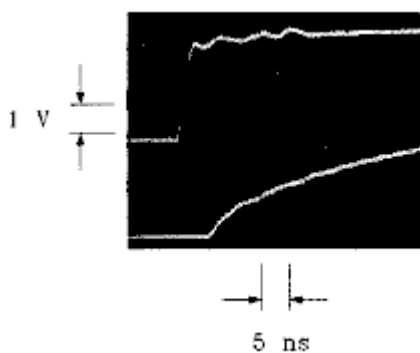


Figure 3.1 Two probes having different bandwidth display the same signal differently.

图3.1 同一信号在两种不同带宽探头下测量结果不同

图3.2剖析这示波器系统的组成，分别是输入信号、探头和Y轴放大器，在图3.2中，一个理想的上升时间非常短的信号分别在不同的阶段输入，于是我们就可以直接的观测到在系统每一部分导致的波形畸变。探头和Y轴放大器的影响是一样的：他们都使输入信号的上升时间变长了。

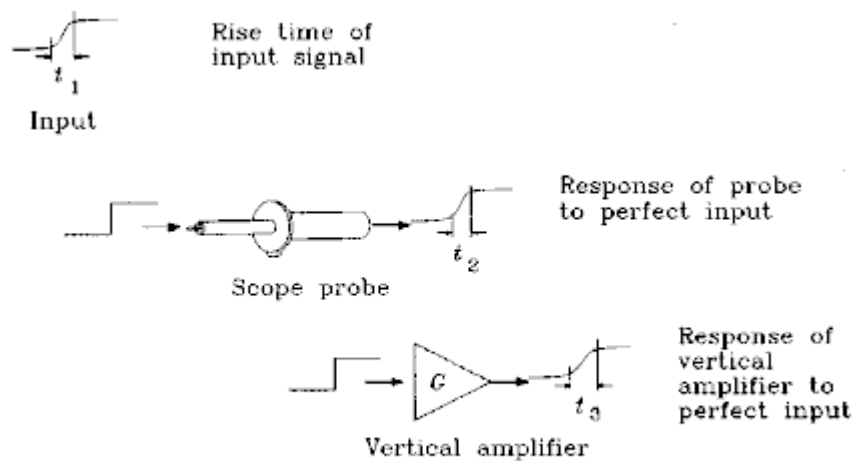


Figure 3.2 Rise time of oscilloscope components.

图3.2对每一个处理阶段对上升时间的影响进行了量化。

当一个真实的信号输入由探头和Y轴放大器组成的系统中时，像图3.3中一样，最终的上升时间等于各部分的上升时间的平方和的开方。

$$T_{\text{rise composite}} = (T_1^2 + T_2^2 + \dots + T_N^2)^{1/2} \quad [3.1]$$

对于串联的系统，取上升时间的平方和。对上升时间较为合理的测量是10-90%上升时间。

示波器的生产商通常引用3-dB带宽，在探头和Y轴放大器上使用 F_{3dB} 指标，而不是上升时间。3-dB带宽和10-90%上升时间之间的转换如以下所示（看式1.6）：

$$T_{10-90} = \frac{0.338}{F_{3dB}} \quad [3.2]$$

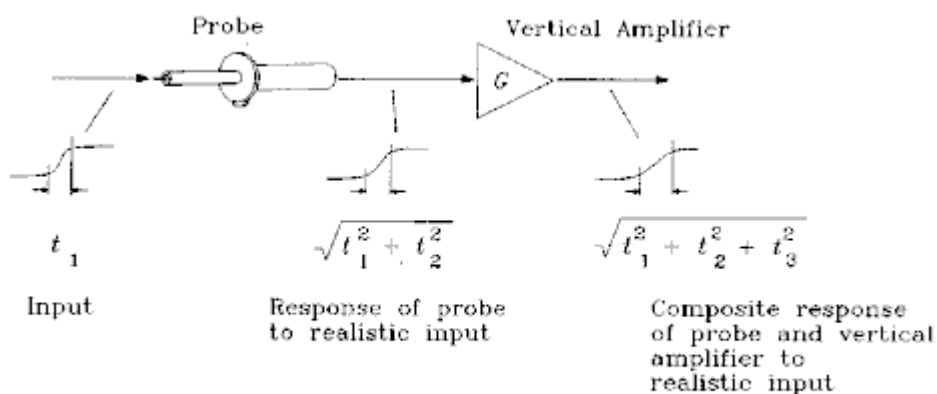


Figure 3.3 Composite rise time of an oscilloscope system.

图3.3 示波器系统的复合上升时间

从设备厂商的说明书中引用RMS带宽，即噪声带宽 F_{RMS} ，可以依照下式转化（也可以看等式1.7）：

$$T_{10-90} = \frac{0.361}{F_{\text{RMS}}} \quad [3.3]$$

在使用从商店购买的探头(shop-built probes)的时候，我们会分析它的低通滤波器的性能。这些滤波器没有高斯频率响应曲线。在这种情况下，电路10-90%上升时间和滤波器的时间常数有以下关系：

For a LR low-pass filter :

$$T_{10-90} = 2.2 \frac{L}{R} \quad [3.4]$$

For a RC low-pass filter :

$$T_{10-90} = 2.2 RC \quad [3.5]$$

For a two-pole RLC filter near critically damped:

$$T_{10-90} = 3.4(LC)^{\frac{1}{2}} \quad [3.6]$$

例3.1：上升时间变缓

有一台示波器的频率为300MHz，探头的频率也是300MHz,它们的规格都是3-dB 带宽，它们组合起来对上升时间为2ns的信号有什么影响呢？

$$\begin{aligned} T_{r \text{ scope}} &= 0.338/300 \text{ MHz} = 1.1 \text{ ns} \\ T_{r \text{ probe}} &= 0.338/300 \text{ MHz} = 1.1 \text{ ns} \\ T_{r \text{ signal}} &= 2.0 \text{ ns} \end{aligned}$$

$$T_{\text{displayed}} = (1.1^2 + 1.1^2 + 2.0^2)^{\frac{1}{2}} = 2.5 \text{ ns} \quad [3.7]$$

结果测到的上升时间为2.5ns。

例3.2 计算输入的上升时间

如果示波器显示2.2ns的上升沿，你能算出实际输入上升时间为多少吗？

将公式3.1反过来可以由输出显示的2.2ns求得输入的真实上升时间。

$$T_{\text{actual}} = (2.2^2 - 1.1^2 - 1.1^2)^{\frac{1}{2}} = 1.6 \text{ ns} \quad [3.8]$$

显示的2.2ns的信号，它的实际10-90%上升时间是1.6ns。

请不要太在乎这个例子，它只在输入波形没有过冲时是准确的。如果准确知道设备的10-90%上升时间，并且测量是在没有噪声的情况下进行的，测量上升时间要好的方法是使用速度更快的探头和示波器。

简单地说，这种方法可以提高示波器的使用频率范围到原来的2~3倍。

本节要点：

- ◆ 复合上升时间等于各环节的10-90%上升时间的平方和。

3.2 探头接地环路的自感

测量数字电路时，使一般衰减10倍的示波器探头的性能变差的基本因素是探头接地线的电感。制造商报告对探头性能测量是用测量仪器分别与探头顶端和探头的外部相连。*带宽测量时是没有用到接地线的。*由于数字工程师通常用塑料包裹的探头顶端，而接地线和探头套管中部相连接，我们将研究这些改变对探头有什么样的影响。

图3.4显示了一个典型的探头布置。探针连接到检测的电路，接地导线连接探头套管到一个方便的本地参考地。注意接地使用的是几英寸长的细线。

把这种探头布置的等效电路画出来，在图3.4的下方。我们假设这探头有输入电容为10pF，两端并了一个10MΩ的电阻。从图可以看到，电流流入探头必须穿过地环返回信号源。电路原理图中电感 L_1 起阻止电流变化的作用。

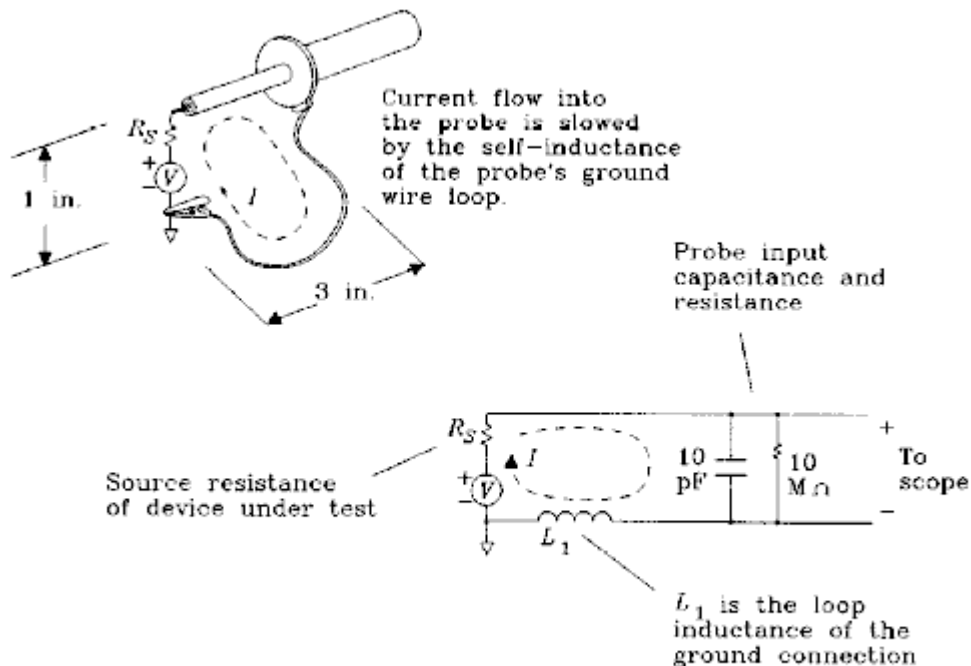


Figure 3.4 Electrical model of an oscilloscope probe.

图3.4 示波器的探头的电路模型

在我们的测量当中电感 L_1 起什么作用呢？ L_1 的电抗，作为探头输入的负载电阻，有一个有限的上升时间。我们将计算 L_1 的值，得到10-90%的上升时间，然后讨论它的重要性。

3.2.1 计算接地环路自感

在图3.4中的接地环路尺寸是1 in×3 in。对于这种类型探头典型的地线尺寸是American Wire Gauge (AWG) 24，它的直径为0.02 in。使用附录 C 的计算感应系数的公式，计算结果是：

$$L \approx 10.16 \left[1 \ln \left(\frac{2 \times 3}{0.02} \right) + 3 \ln \left(\frac{2 \times 1}{0.02} \right) \right] \text{ nH} \quad [3.9]$$

$$\approx 200 \text{ nH}$$

3.2.2 计算10-90%上升时间

此电路LC时间常数是：

$$\begin{aligned} C &= 10 \text{ pF} \\ L &= 200 \text{ nH} \\ T_{LC} &= (LC)^{\frac{1}{2}} = 1.4 \text{ ns} \end{aligned} \quad [3.10]$$

对于一种严重衰减的两极电路(for a critically damped two-pole circuit)10-90%上升时间是LC时间常数的3.4倍：

$$T_{10-90} = 3.4 T_{LC} = 4.8 \text{ ns} \quad [3.11]$$

这4.8ns的上升时间说明了问题的存在，我们注意到在例3.1中一个300MHz速率的探头会有1.1ns的10-90%的上升时间，在这儿我们也看到了3in的地线已经导致4.8ns的10-90%的上升时间。

3.2.3 估算电路Q值

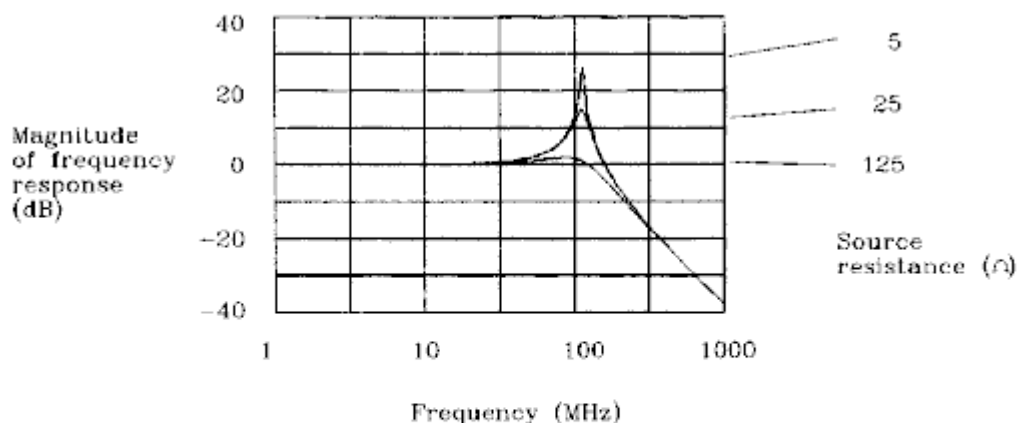
图3.4包括一个与信号源串联的电阻，它模拟驱动被测信号的门的输入阻抗。对于TTL或高性能CMOS驱动器，这个源阻抗约为30 Ω，对于ECL系统（硅或GAs），输出电阻大约10 Ω。

LC电路的Q，或谐振，受被测信号的源阻抗影响很大。L、C和 R_S 串联组成的谐振电路的Q值约为：

$$Q \approx \frac{(L/C)^{\frac{1}{2}}}{R_S} \quad [3.12]$$

在公式3.12中，Q是储存在环路中的能量与谐振衰减时单位弧度能量损耗的比值。一个高的Q值电路在外部激励下会振荡很长时间。在电路的频率响应中，这个振荡会表现出大的峰值。

图3.4的电路中，当我们减少源阻抗 R_S 时，LC滤波器在100MHz 附近产生大的谐振。图3.5画出了源阻抗分别为5、25、125Ω时的效果。



Probe ground loop is
1 in. \times 3 in.
Probe input impedance
is 10 pF, 10 M Ω

Figure 3.5 Frequency response of a probe with a ground wire.

图 3.5 带有地线的探头的频率响应

5 Ω 源阻抗引发了29-dB谐振(resonance)。截止频率高于100MHz的数字信号通过探头电路会产生很大的畸变。

25 Ω 源阻抗引发了15-dB谐振(resonance)。截止频率高于100MHz的数字信号通过探头电路会产生畸变。

125 Ω 对应的曲线显示了它的临界阻尼(Q=1) (The 125 Ω plot shows critical damping(Q=1))

源阻抗为125 Ω 附近时，探头有最好的频率响应。

当使用图3.4所示的探头时，拐点频率低于100MHz的数字信号不会有虚假的振铃和过冲（有一句话没翻译），公式1.1告诉我们上升时间要长于5ns以保证低于100MHz的截止频率。

$$\text{Rise time} > \frac{0.5}{100 \text{ MHz}} = 5 \text{ ns} \quad [3.13]$$

5ns的上升时间的限制与探头的布置参数有关，在这个例子里，接地环路的电感是200nH，旁路电容是10pF。

3.2.4. 结果的重要性

我们预测用带接地线的探头测量由低阻抗源输出的快速信号时会产生虚假的振铃和过冲 (artificial ringing and overshoot)。

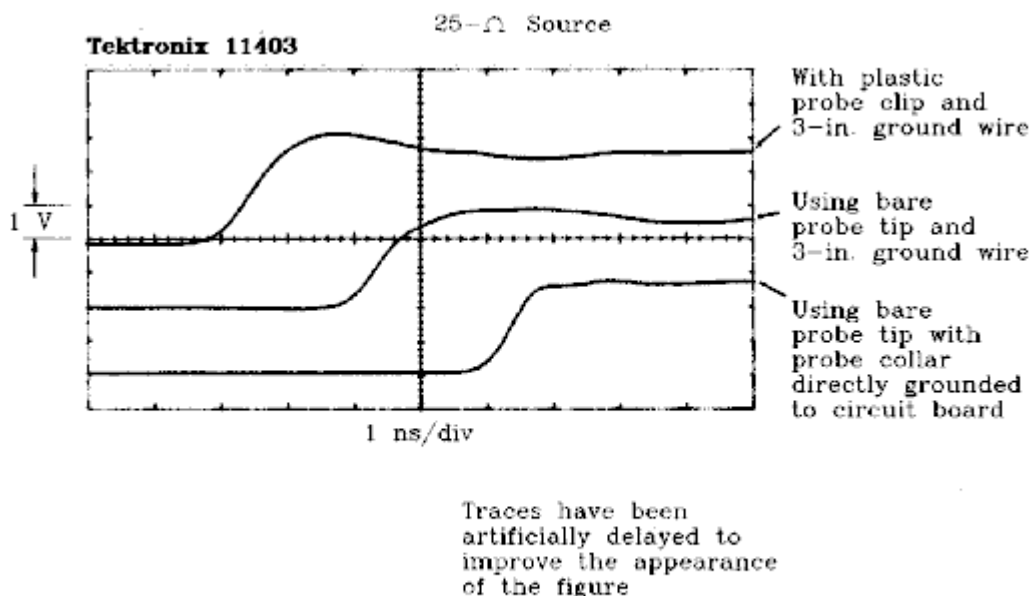


Figure 3.6 Ringing induced in a 1.7-pF probe by a 3-in. ground wire when viewing a 25-Ω source.

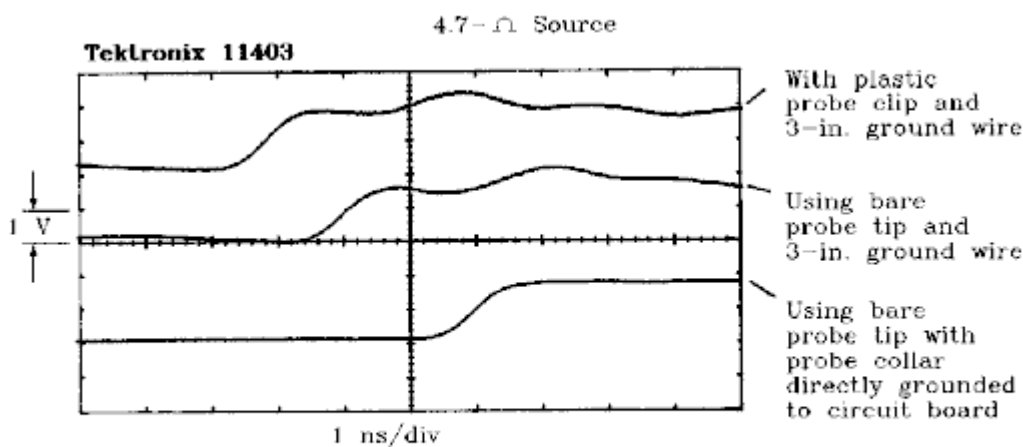


Figure 3.7 Ringing induced in a 1.7-pF probe by a 3-in. ground wire when viewing a 4.7-Ω source.

图3.6和3.7比较了我们的预测和实际测量结果。实验中使用了一个FET输入容抗非常低的探头(very-low-capacitance FET input probe), 它的旁路电容为1.7pF, 带宽为1GHZ 3-dB, 连接到 Tektronix 11403 数字采样示波器。在图3.6中源阻抗是25 Ω, 而在图3.7中源阻抗是4.7 Ω。在两个图中最上面的波形用了标准的塑料探头, 有夹子夹住了探头头部, 带有一根3in的接地线。中间波形是用赤裸的探头接触被测信号, 探头有一根3in的接地线。显然, 去掉塑料探头夹子不会有什么影响。这些波形显示了在25 Ω情形下有大约15%的过冲, 在5 Ω情形有29%的过冲。

图中振铃周期在2-6ns范围之内, LC时间常数为:

$$T_{LC} = (LC)^{\frac{1}{2}} = (200 \text{ nH} \times 2 \text{ pF})^{\frac{1}{2}} = 0.63 \text{ ns} \quad [3.14]$$

LC时间常数 6.3 ns 计算振荡周期为：

$$\text{Expected period} = 2\pi T_{LC} = 4.0 \text{ ns} \quad [3.15]$$

至此，测量的结果和原理很完美的统一起来。那两幅图中最底下的波形呢？为什么它会比较好呢？

两幅图最低下的波形给了我们一个很好的线索去解决过冲的问题。在最低下的轨迹中，我们除去了保持和地线配件连接的塑料套筒和除去了地线。暴露覆盖探头乃至探头顶端的金属部分 (exposing the metal shield which covers the probe all the way out to the bare probe tip)。我们还可以用一小刀片直接连接这金属探头到电路地，使接地点和被测点尽量靠近（见图3.8）。使探头金属壳的接地电感与实际一样小 (this shorts the metal probe shield to ground with as little inductance as practical)。当用这个直接的接地方法时，25 Ω 和 5 Ω 二者的波形得到很大的改善。

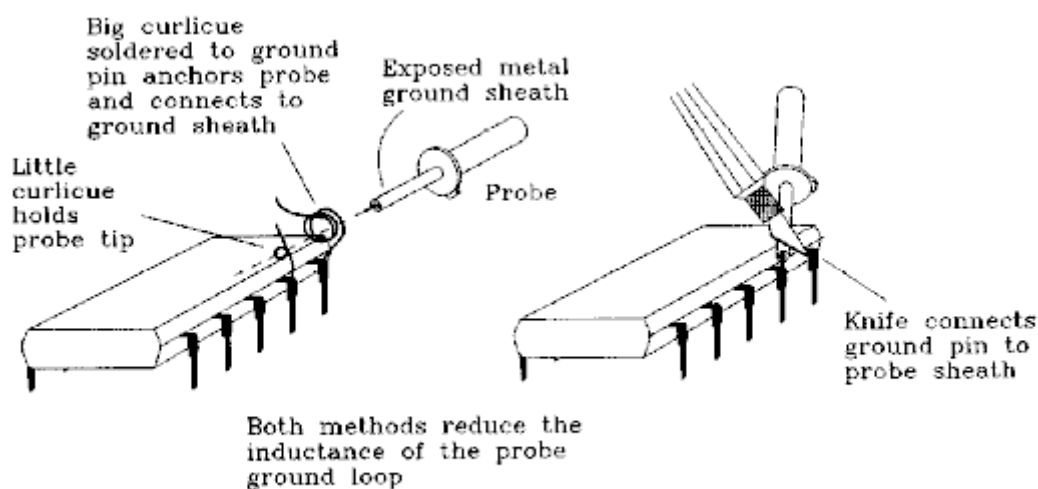


Figure 3.8 Methods for grounding a probe tip near a signal under test.

为什么探头接地点与信号源靠近时会有帮助？最根本的原因是我们极大地减小了探头接地回路电感，减小电感就是减小探头上升时间（公式3.10和3.11）和降低Q值（公式3.12）。

接地环路电感要小到什么程度才能保证低的Q值和快的上升时间？能不能只用一条更短的地线，而不必这么麻烦去用刀片？表3.1分别列出TTL（30 Ω ）和ECL（10 Ω ）测量中10-90%的上升时间(ns)和Q值，其中Q是环路电感的函数。

TABLE 3.1 EFFECT OF GROUND LOOP INDUCTANCE ON 10- AND 2-pF PROBE PERFORMANCE

Ground loop inductance (nH)	10-pF probe			2-pF probe		
	T_{10-90}	Q_{TTL}	Q_{ECL}	T_{10-90}	Q_{TTL}	Q_{ECL}
200	2.8	4.7	14.1	1.3	10.5	32.0
100	2.0	3.3	9.9	0.89	7.4	22.0
30	1.1	1.8	5.4	0.49	4.1	12.0
10	0.6	1.1	3.2	0.28	2.4	7.1
3	0.3	0.6	1.7	0.15	1.3	3.9
1	0.2	0.3	1.0	0.09	0.7	2.2

对于10pF的探头，为了使TTL上升时间为1ns时过冲较低，我们必须把环路电感降到10nH以下。对于ECL电路，将需要更低的电感。

为了降低环路电感，让我们试着用粗一些的地电线取代图3.4中的地线。如果开始电线是AWG 24，我们可以试试AWG 18，它的直径为前一种的两倍。重新计算公式3.9：

$$L \approx 10.16 [1 \ln(3/0.02) + 3 \ln(1/0.02)] \text{ nH} \quad [3.16]$$

$$\approx 170 \text{ nH} \quad [3.17]$$

可以看到接地线直径的改变对电感的降低贡献很小。接地线直径增大一倍，电感只减少了15%。

另一方面，导线的硬度与导线直径的立方成正比，随着直径的增长，导线的硬度增加得更明显。硬度和电感之间是一对矛盾，因此光用粗的线并不能解决问题。

环路电感与环路面积和线的长度大致成正比。解决电感问题的方法一般是缩短导线长度或者减少环路面积，而不是增大导线的直径。

表3.1说明了2-pF探头获得比10-pF探头好的上升时间，但是测量低阻抗信号时会有更大的Q值。

本节要点：

- ◆ 在10-pF的探头中，3-in. 的接地线会引起2.8ns的10-90%上升时间。
- ◆ 增粗接地线对消除振铃没有什么帮助。
- ◆ 大幅度缩短接地线环路能改善振铃和减小上升时间。

3.3. 探头接地环路产生的虚假信号

任何地线环路，除了延长探头的10-90%上升时间之外，还增加了干扰。附加的干扰通过探头地的回路耦合到信号线上。这种附加的噪音，如果和测试下的信号同步，那么它是很困难和真正的信号区分开。

图3.9显示了一个DIP封装的集成电路，它发送数字信号给一个50 pF 的负载。信号电流环路用粗的黑线表示。在环路A中电流的变化，通过环路A和环路B之间的互感的激励，在环路B中产生电压。

我们将首先估算在环路A中的变化的电流和计算环路A和环路B之间的互感，最后我们将用互感的结论去找出示波器在这种条件下收到的干扰电压。

3.3.1. 在环路A中变化的电流

假定IC驱动电路符合例2.4，这最大的 di/dt 是 $7.0 \times 10^7 \text{ A/S}$ 。

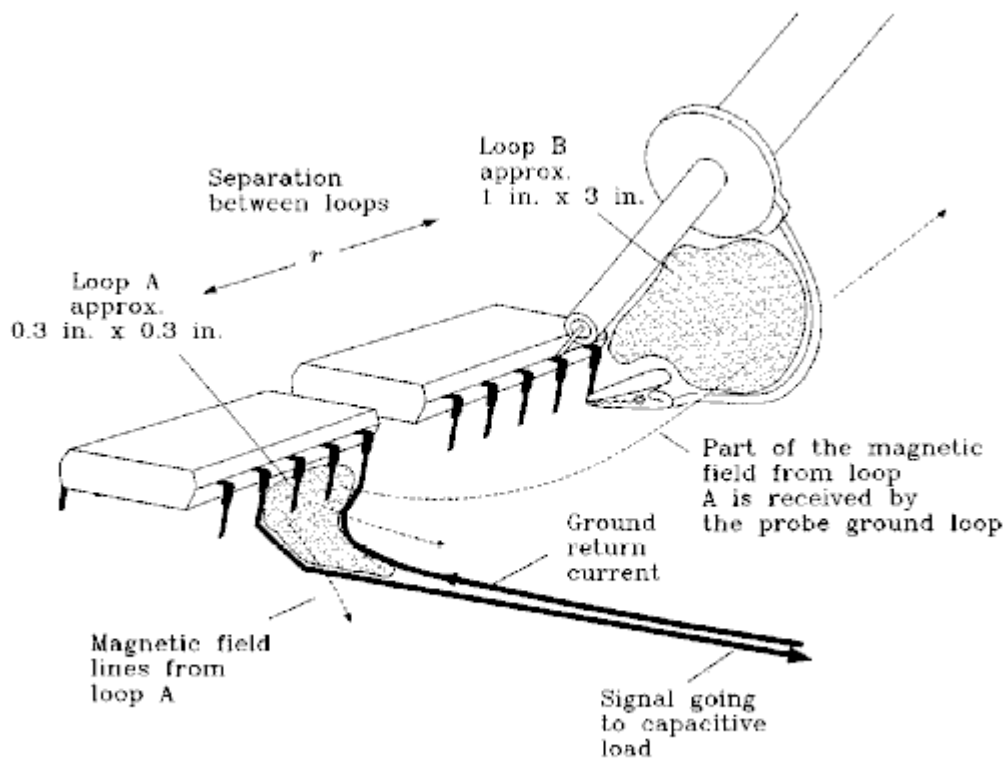


Figure 3.9 A probe ground loop picks up spurious noise voltages.

3.3.2. 环路A和环路B之间的互感

环路A和环路B的尺寸如图3.9，我们需要从附录C中找到应用的公式来计算两回路的互感。

$$L_M = 5.08 \frac{A_1 A_2}{r^3} \quad [3.18]$$

$$= 5.08 \frac{(0.3 \times 0.3)(1 \times 3)}{2^3} \quad [3.19]$$

$$= 0.17 \text{ nH} \quad [3.20]$$

where A_1 = area of loop 1, in.²

A_2 = area of loop 2, in.²

r = separation of loops, in.

L_M = mutual inductance between loops 1 and 2, H

3.3.3. 互感定义的应用

在回路B中产生的噪声电压是回路A电流变化速率和回路A和B互感的乘积。

$$V_{\text{noise}} = L_M \frac{dI}{dt} = (0.17 \text{ nH})(7.0 \times 10^7 \text{ V/s}) = 12 \text{ mV} \quad [3.21]$$

where L_M = mutual inductance of loops A and B, H

dI/dt = rate of change of current in loop A, A/s

V_{noise} = noise voltage induced in loop B, V

在回路A中电流的瞬间变化只在回路B中产生12mV的干扰脉冲。12mV本身可能是能够忽略的，但如果探头的地回路移到靠近32-bit的总线会是怎样的呢？它极有可能是干扰电压相加，结果是会出现0.384V的干扰。这种干扰与TTL的电压裕度相比是很可观的，是严重的测量错误的源头。

快速逻辑电路有干扰（noise—pickup）的问题(faster logic compounds the noise-pickup problem)

3.3.4. 磁场检测器

为了观察电感的耦合，将示波器的头和地短接，如图3.10所示，不要将探针接触任何物体。理想情况下，应该不会有任何信号；相反，任何做过这个试验的人知道，准快速数字逻辑电路中会看到很多信号。

探针和地环路的配合对于变化的磁场肯定有反应，这磁场会在环路上感应电压。当回路在高速数字电路附近移动时，它能够通过互感耦合检测到干扰。

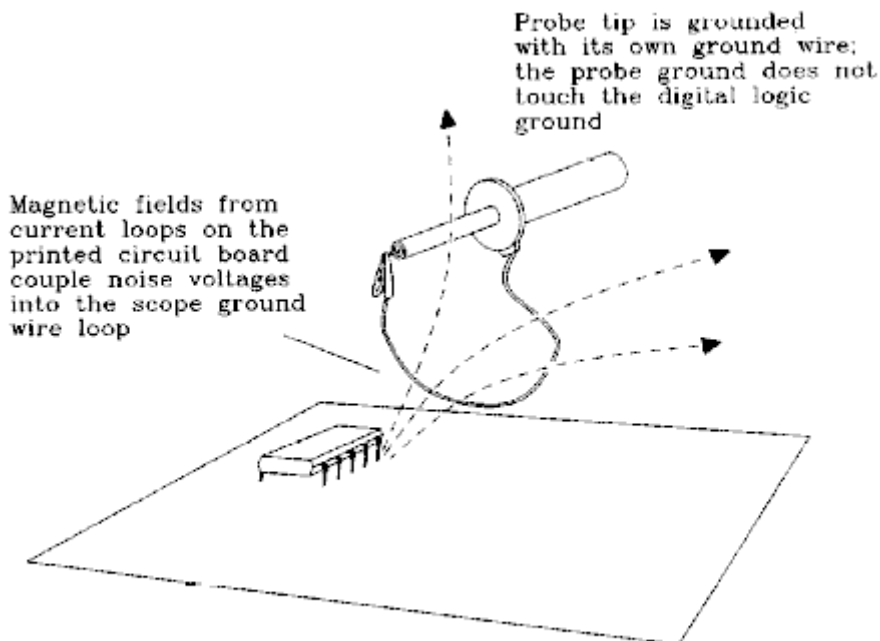


Figure 3.10 Magnetic field detector.

如果你把地线和探头压在一起，环路面积减少了，耦合的信号自然就小了。耦合的噪声量与接地环路面积成正比。如果在某一区域产生大量的耦合信号（如连接器），调整环路方向使其与磁力线垂直能够明显消除耦合信号。

探头探针的面积很小，因此它和数字电路之间不存在互感。试试不用地线，而只把探头放到高速数字电路旁边，看看它们之间的互感会不会在探头上形成噪声电流，探头是防静电的。

本节要点：

- ◆ 探头的接地点与被测点要尽量近，以减少接地环路面积。
- ◆ 探头的接地线要尽量短，或者用刀刃直接把探头的金属外壳和电路板的地接起来。
- ◆ 做一个电磁场检测器来检测互感耦合噪声。

3.4. 探头如何对电路形成负载(how probes load down a circuit)

探头会对被测电路产生影响。相信我们都碰到过这样的情况：当我们用探头测量电路时它是工作正常的，而探头一移开它就不正常了。这是很正常的现象，源于探头对被测电路形成负载效应。

当一个探头当作电路的负载，我们想波形上会有什么变化呢？在一个电路中诱发变化的主要有三个方面的因素：

被测数字信号的拐点频率（公式1.1）。

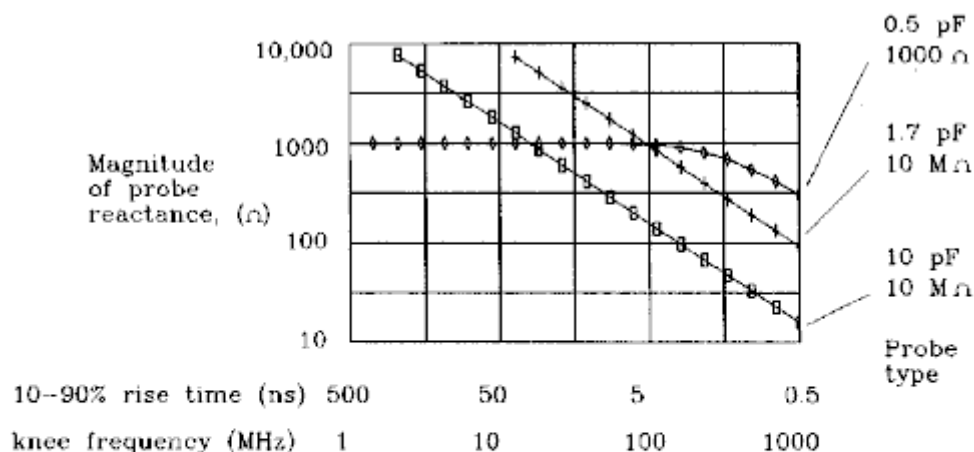
被测电路在拐点频率的源阻抗。

拐示波器探头在拐点频率的输入阻抗。

暂时认为典型的数字源阻抗的范围是10到75 Ω ，我们只需要研究探头对频率变化的特性。图3.11显示三种普通的示波器探头的输入阻抗。

- (1). 10 \times 无源探头，输入电容 0.5-pF，输入电阻 1000 Ω 。
- (2). 10 \times FET 有源探头，输入电容1.7-pF，输入电阻10-M Ω 。

(3). $10\times$ 无源探头, 输入电容10-pF, 输入电阻10M Ω 。



All calculations assume probe sheath is directly grounded. Otherwise, there are resonances.

Figure 3.11 Probe input impedance.

参考图3.11, 在我们所关注的上升时间范围, 探头旁路电容越高, 阻抗就越小。在高频, 只有旁路电容起作用(only the shunt capacitance matters)。

如果我们希望探头对被测电路的影响小于10%, 那么探头的阻抗起码是被测电路源阻抗的10倍。对于5ns的上升沿, 经过10pF的探头时会被滤掉(for any rise time less than 5ns, the 10-pF probe fails to pass muster)。

例3.3：探头负载

参考图3.12, 输出信号与50 Ω 终端电阻之间通过阻抗为50 Ω 的传输线相连。终端处与探头连接, 探头内带有对短的RG174 50 Ω 同轴电缆的1000 Ω 馈入电阻(consisting of a 1000- Ω resistor feeding a short length of RG174 50 Ω coax.)。电缆的另一端连到50 Ω 的终端匹配, 输入到高速采样示波器。

我们现在可以把各种不同的负载探头连到测试点, 观测它们的影响。

图3.13揭示了Tektronix P6137探头对电路的负载效应。P6137探头衰减10倍, 10-pF, 10-M Ω , 输入到可携带400-MHZ示波器。第一条轨迹是没有探头负载的情况, 第二条轨迹是有探头连接的情况, 其中使用了6英寸的接地线。第三条轨迹是裸露的探头点到节点A, 探头基体通过刀片直接接地。

第一条轨迹有是好的上升时间600ps, 振铃中等, 第二条轨迹有使上升时间减缓了一点, 在初始上升沿之后有较大的反向过冲, 第一条轨迹虽然也有波纹, 但它是在渐近线的半格范围之内。最后一条轨迹的上升时间是800ps, 波动很小。

我们计算一下期望上升时间减缓量, 与实验结果相比较。

第三条轨迹的情况，连接了小的串联电感，探头表现为简单的容性负载。图3.12中测试点的容源阻抗是 $25\ \Omega$ 。当与 10pF 容性负载相连时，RC上升时间是：

$$T_{RC} = (25\ \Omega)(10\ \text{pF}) = 250\ \text{ps} \quad [3.22]$$

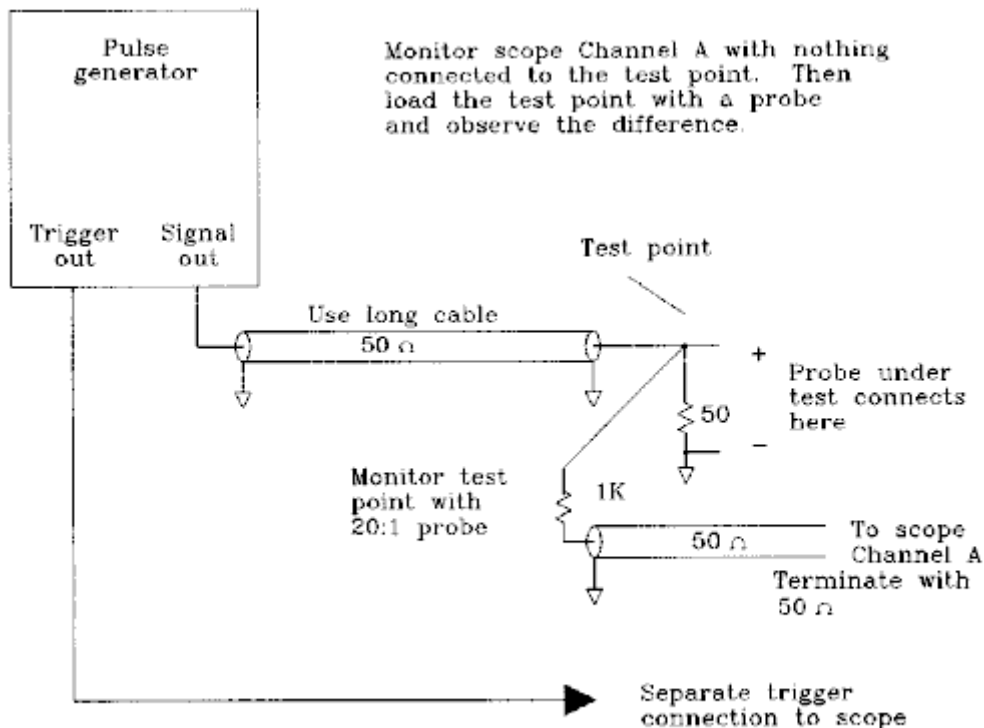
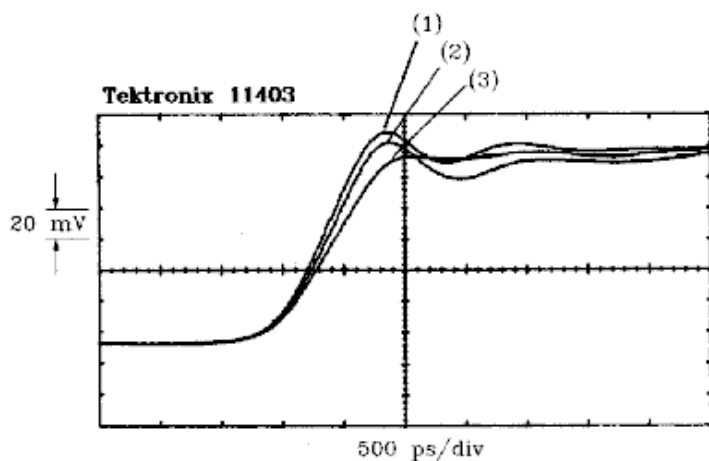


Figure 3.12 Fixture for testing probe loading.



- (1) No load
- (2) P6137 10-pF probe using 6-in. ground wire
- (3) P6137 10-pF probe with collar directly grounded using small knife blade

Figure 3.13 A 10-pF probe loading a $25\text{-}\Omega$ circuit.

RC电路的10-90%上升时间要乘2.2：

$$T_{10-90} = 2.2T_{RC} = 550\ \text{ps} \quad [3.23]$$

与测试信号原有的600-ps上升时间组合起来，得到合成结果：

$$\begin{aligned} T_{10-90 \text{ composite}} &= [(600 \text{ ps})^2 + (550 \text{ ps})^2]^{1/2} \\ &= 814 \text{ ps} \end{aligned} \quad [3.24]$$

这个数字与测量结果800ps很接近，达到了我们所期望的准确度。

探头负载使上升时间增加200ps，而延时只增加了100ps，这是因为大部分门是在上升沿的中间翻转的，而不是在10%或者90%的点。

本节要点：

- ◆ 一个10-pF探头对于3ns的上升沿就象100 Ω 的电阻。
- ◆ 探头电容越小，它对电路的负载就越小，测量结果就更精确。

3.5. 特殊的探测装置

在数字开发实验室中大多数便携式的示波器用的探头有10-pF的输入电容和3到6-in.的地线。这种样式的探头，不可能准确地看到2-ns的上升延。考虑到这个问题，当探头附加在电路上时，探头将有效的改变信号的上升时间和脉冲形状。

这一节将介绍三种测量技巧，这些技巧可以解决接地环路电感和旁路电容的问题。

3.5.1. 厂制的（Shop-Built）21:1的探头

如图3.14所示一典型的21:1的探头，这种探头由普通的50- Ω 同轴电缆（RG-174, RG-58, 或 RG-8）制成，电缆一端焊接到被测信号处，另一端焊接到本电路的参考地上。探头通过50 Ω 的插座输入示波器(the probe terminates at the scope into a 50 Ω input jack)。测量端同轴电缆，在远端与示波器相连，看起来完全呈现阻抗。这探头总的输入电阻是1050 Ω 。1000 Ω 的馈入电阻(feed resistor)和50 Ω 电缆电阻组合组成一个电阻分压器，分压比是：

$$\text{Division ratio} = \frac{50}{50 + 1000} = 0.048 \quad [3.25]$$

当你的示波器设置成50-mV/Division，显示的垂直的灵敏度将是：

$$\begin{aligned} \text{Vertical sensitivity} &= \frac{0.050 \text{ V/div}}{0.048} \\ &= 1.04 \text{ V/div} \end{aligned} \quad [3.26]$$

如果需要，在垂直的灵敏度的游标上微小地调节能修正到1.00V/Division。

这种21:1的探测设备的优势有如下三点：

- DC 输入电阻是1050 Ω 。

- 一个1/4-W 1000- Ω 的并联电容大约1/2PF，这是非常好的。
- 这种探头的上升时间十分的快。

三点因素决定了对于这种厂制的（shop-bult）探头10-90%的上升时间的计算因素：BNC连接器的上升时间、同轴电缆的上升时间和检测回路的上升时间。

假定示波器上用到50 Ω BNC输入插座，BNC连接器在50 Ω 电缆上引入串联电感，其中保护套一直从中心导体覆盖到BNC连接处。表3.2显示几种型号的电缆连接器的串联电感和它们的10-90%时间常数。如果你的示波器没有50- Ω 内部终端匹配，可以在外部添加。这种连接会在设备上引入很大的寄生电容，特别使用带单独终端插头的BNC “T” 配件的时候。在这种设备应该高质量的在线终端器(get a good-quality in-line terminator for this setup)。

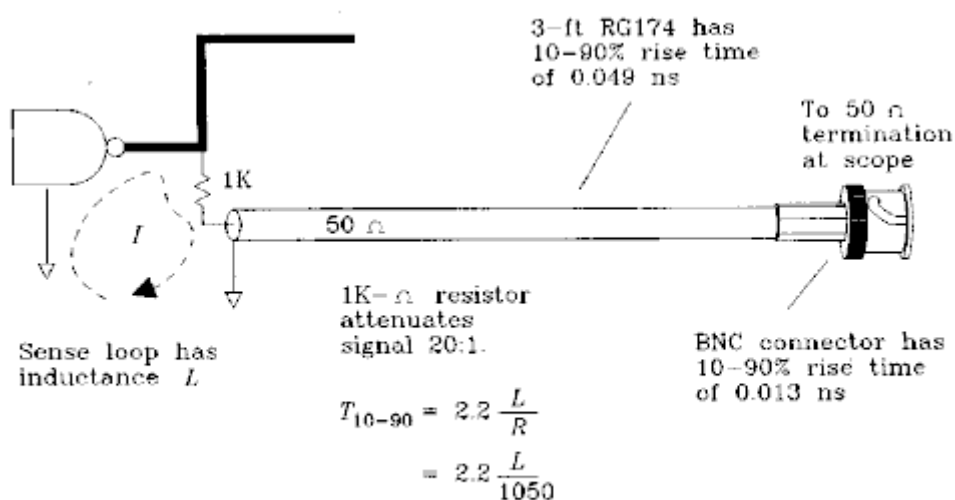


Figure 3.14 Shop-built 20:1 probe.

图3.14 厂制的（shop-Built）20:1 探头

TABLE 3.2 10-90% RISE TIME OF MALE COAX CONNECTORS

Type	$L_{\text{connector}}$	t_{10-90} (ns)
RG-58 BNC twist-on	1.	0.022
RG-58 BNC double-crimp	0.5	0.011
RG-174 BNC double-crimp	0.5	0.011
RG-8 N-type	0.2	0.004

表3.3记录了不同长度和不同型号的电缆10-90%上升时间。电缆上升时间是和距离的平方成比。对于每一种型号电缆，它们之间有一个固定的比例常数。

找到衰减为3.3dB处的频率，你就可以估计电缆的上升时间。对于同轴电缆，这个值是拐点频率。通过拐点频率求出上升时间： $T=0.5/F_{\text{knee}}$ 。这个公式仅对短的电 缆适用（总的衰减只有几个分贝）。

注意在高速时这衰减是和频率的平方根成比的，这有助于在电缆厂商的目录中加入衰减规范点。衰减直接与长度成正比。

TABLE 3.3 10-90% RISE TIME OF COAX CABLE

Feet	T_{RG-174} (ns)	T_{RG-58} (ns)	T_{RG-8} (ns)
1	0.004	0.002	0.0002
2	0.014	0.006	0.001
3	0.032	0.014	0.002
4	0.056	0.024	0.004
5	0.088	0.038	0.006
10	0.35	0.15	0.025
20	1.4	0.61	0.10
50	8.8	3.8	0.64

21:1探头的探测回路在信号源开始，包括1000- Ω 的传感电阻，同轴电缆的附件，同轴电缆到印刷板的连接，及地到信号源的通路，这条回路越紧越好。

作为检测回路直径的函数，表3.4列出了检测回路的电感和10-90%上升时间的值，表3.4假定检测回路主要用AWG 24电线制作。

因为厂制的（shop-built）探头包含了1K- Ω 的输入电阻，上升时间变长。与使用50- Ω 同轴电缆或10-pF输入探头的情况相比，检测回路的电感要小得多（L/R, Due to the inductance of the sense loop is much smaller than when working with a 50- Ω coax or with a 10-pF input probe）。厂制的（shop-built）探头有十分快的上升时间。电阻大一点，上升时间会更短。

一种因素限制了衰减探头的作用，那就是这衰减电阻端到端的并联电容。1/4W电阻通常有1/2pF端到端电容，在很高频率的情况下，并联电容导致更多的能量消耗在同轴电缆上，就会增加被测电路的负载。

TABLE 3.4 10-90% RISE TIME OF PROBE SENSE LOOP

Loop diameter (in.)	L_{sense} (nH)	t_r (ns)
0.1	3.9	0.01
0.2	11.4	0.02
0.5	31.0	0.06
1.0	80.0	0.17
2.0	200.0	0.42
5.0	500.0	1.1
10.0	1220.0	2.6

用一个比较小的电阻（1/8W）减少并联电容带来的问题。限制1/8W 1000- Ω 电阻上的电源，它承受的最大电压是 $\pm 11V$ 。

另一种对付并联电容的措施是在同轴电缆的末端并联一个电容。这一个修正电容和感应电阻的并联电容一起，形成一个匹配的21:1分压网络。就算在异常高的频率下，这个网络有平坦的频率

响应。商用的示波器探头使用了这种技术。在实验室中制作这种精确的电容分压器组合是很困难的。

衰减探头有低的Q值，使用合适的21:1探头，你可以感受到过冲和振铃问题变少了。

Tektronix 生产各种各样的低阻抗、无源衰减探头，与shop-built模型差相似。这个系列产品包括：P6156, P6150和P6231。P6156可以用于任何一种Y轴放大器上，因为它有BNC输入和50-Ω内部终端匹配。

例3.3 shop-built 探头的10-90%上升时间

用6英尺长的RG-174电缆和BNC双向卷曲 (dual-crimp)连接器构造一个21:1的探头，探头环路直径为0.5英寸。

$$\begin{aligned}
 &\text{From Table 3.2, } t_{\text{BNC}} = 0.013 \text{ ns} \\
 &\text{From Table 3.3, } t_{\text{cable}} = 0.19 \text{ ns} \\
 &\text{From Table 3.4, } t_{\text{loop}} = 0.08 \text{ ns} \\
 &t_{\text{composite}} = (t_{\text{BNC}}^2 + t_{\text{cable}}^2 + t_{\text{loop}}^2)^{1/2} = 0.206 \text{ ns} \quad [3.27]
 \end{aligned}$$

本节要点：

- ◆ 一个shop-built探头有很好的上升时间。

3.5.2. 为低电感接地回路所用的固定装置

大多数的示波器探头顶端带有可拆除的IC钩抓式的夹子，移走塑料夹子，可以看到探头管 (probe barrel)。如果必要可以撤卸探头套管，保持接地线的位置，从而暴露低电感探头的地外壳 (ground sheath)。这种金属外壳，几乎延伸到探头的末端。它主要服务于两个目的：为探头端头加上防静电屏蔽和在靠近端头处提供一个好的接地点，得到一个低电感检测回路。

图3.8显示了用金属探头屏蔽取得低电感感应回路的两种方法。

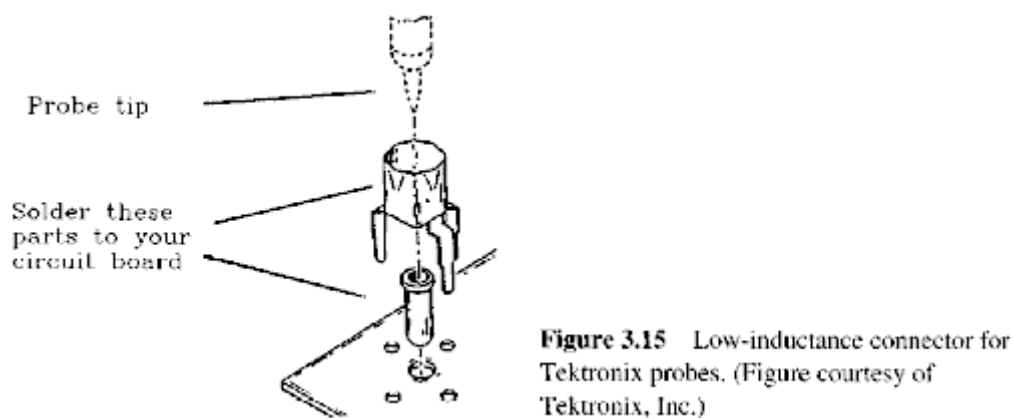
在图3.8中大的花体是一个电阻电线环绕在金属接地屏蔽外壳上，然后焊接到一个便利的接地脚上。它在机械上保持探头的位置，同时使它接地。这小的花体固定探头顶端。这些固定装置能够被应用于任何电路板上。花体 (curlicue) 可以很好地达到工程目标，可是并不持久，而且不容易加工。

地衬 (Ground pad) 的方法仅仅在探头点附近放置了小面积裸露的接地材料。当用探头测量被测点时，使用小刀片把探头的外壳与地衬相连。0.035-in.地垫已经足够大了。如果板子的上表面没有地，则用0.020-in.过孔把地接到表面来，然后在它的周围铺上0.035-in.地衬。

地垫是很有用的，当一个设计需要更改时，它能作为更改电路的附加点。一些模拟工程师在一个原型工作的时候会让整个地表面裸露，因此操作方便。

两种方法的测量环路电感在3到30nH之间，要看手艺如何。

Tektronix专门设计了一种连接探头顶端和被测电路的固定装置，它的接地环路电感非常小。如图3.15所示，如果电路的机械布局允许探头垂直伸到电路板上，这种固定装置是很有效的。如果板卡必须插在板卡箱里的话，不能用这种装置。



有些示波器探头的管子上(probe barrel)带有微小的夹子，使探头管可以直接接地。

3.5.3. 用于探测的内嵌式的固定装置

可拆除的探头会对电路形成干扰，因为探头进行测量时和离开电路之后电路的环境不一样。考虑一下10pF负载的探头对高速信号的影响。内嵌式的探头设计使电路在任何情况下的环境都是一样的。

另外，下面推荐的内嵌式探头装置1pF的寄生电容，远小于10pF的探头。

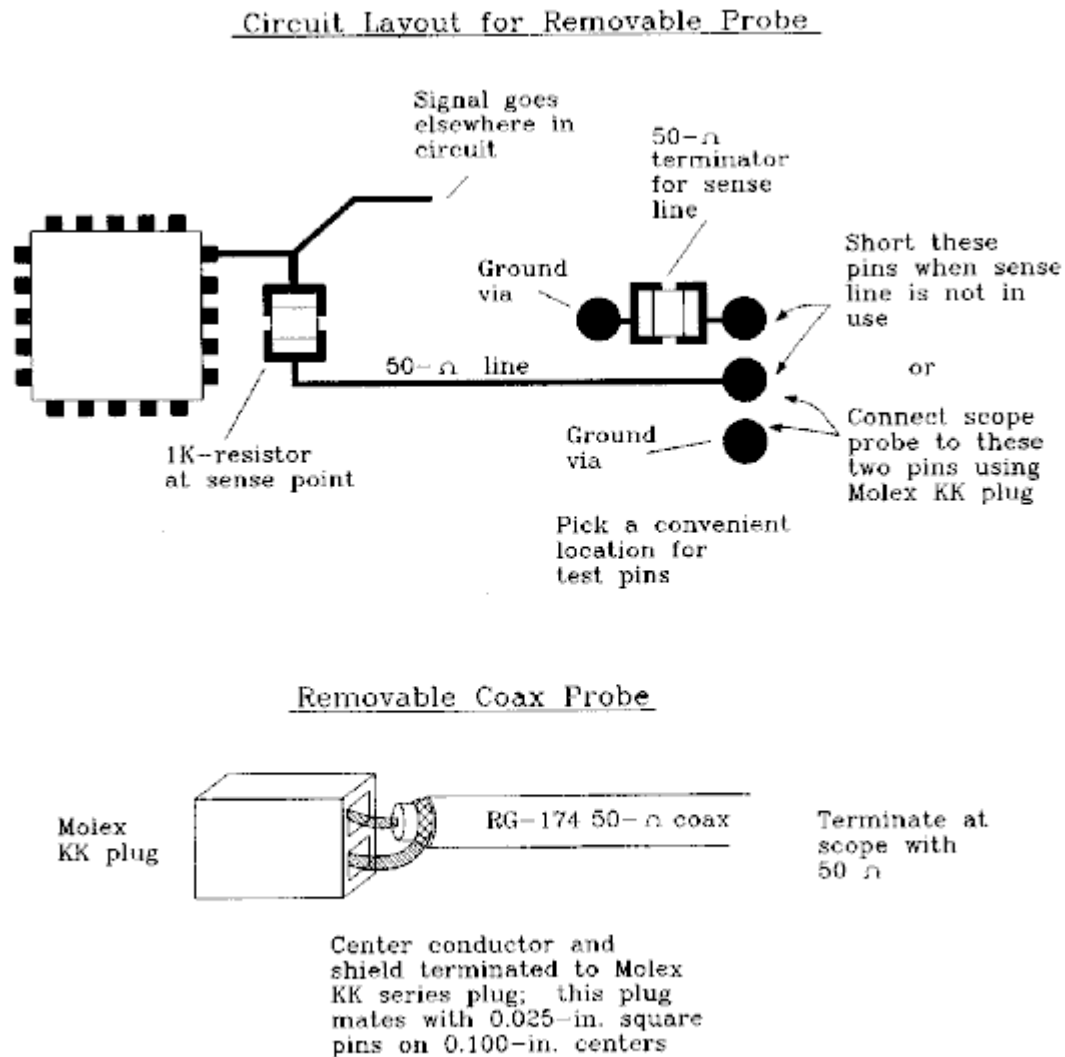


Figure 3.16 Embedded probe fixture.

图3.16 内嵌式探头固定装置

图3.16中内嵌式的固定装置实现21:1的探头功能，提供一个方便的检测连接点，使电路在任何时候以相同的方式连接。一个1000- Ω 感应电阻把被测电路连到50- Ω 的测量线上。50- Ω 的测量线一直走线到电路上方便的测试点上。图3.16提供了几种用50- Ω 把测量点与地短接的方法，此时没有接示波器。

把测量点连到示波器的方法有很多。与PC连接(PC mounted)的BNC是其中一种选择，但它占了电路板的大量空间。

图3.16显示了在大小为0.1平方英寸的区域的中部布置了0.025平方英寸的针，这部分是便宜的，可以与多种孔连接器相配。

作者喜欢用MOLEX/WALDOM KK系列的终端连接器。RG-174电缆直接卷到(crimps into) MOLEX/WALDOM KK的母插孔上，然后与电路板的公接头相连，这种连接估计有10nH的串联电

感。当与 $50\ \Omega$ 电缆串联时，得到的 T_{10-90} 是 0.22ns 。如果你把MOLEX引脚紧密地连到 $1000\ \Omega$ 传感电阻上，与连接器环路电感串联电阻为 $1000\ \Omega$ ， T_{10-90} 降为 0.025ns 。

无论你选择哪一种方式，它都能在不用的时候中止(terminate)测量线，并能够断开传感电阻。图3.16表示了一种测量线不用时的短路跳线，它有 $50\ \Omega$ 终端电阻(engages a $50\ \Omega$ terminating resistor)。

终止测量线会给被测电路带来常数阻值 $1050\ \Omega$ 的负载，尽管这时候探头已经移开了。

3.6. 避免从探头屏蔽检取电流

示波器探头有两根线，一根在测试下连接被测电路到垂直放大器（感应线），而另一根连接本地数字逻辑地到示波器机壳地（屏蔽线）。一般的，我们考虑示波器对测量线上电压的响应。这一节解释示波器如何对它屏蔽线上的信号作出响应。

示波器逻辑地与机壳地之间任何电压差都会引起电流在屏蔽线中流动，屏蔽层电流，通过图3.17所示的屏蔽线电阻 R_{shield} ，产生压降 V_{shield} 。探头电缆的中心导体、感应电线没有通过屏蔽电流，因而在上面没有压降。

在运行的电路中当屏蔽和感应电线两者都接触地，在他们之间不同的压降通过两根线引起输入到Y轴放大器。没有办法知道这个压差是由探头电缆遥远的末端实际信号电压引起的还是由于屏蔽层电流引起的。尽管你希望示波器显示的电压为0，它所显示的是屏蔽层电压。

示波器对屏蔽层电压作出响应，把这作为真实的信号。

屏蔽电压是与屏蔽层电阻成正比而与屏蔽层电感不成比例。这是因为屏蔽层和中心导线相互之间是互感的。屏蔽层中电流流动产生的变化磁场环绕着屏蔽层和中心导线，在两条线上感生了

电压。感应电压在两根电线上都有，不像电阻压降，只存在于屏蔽层上。

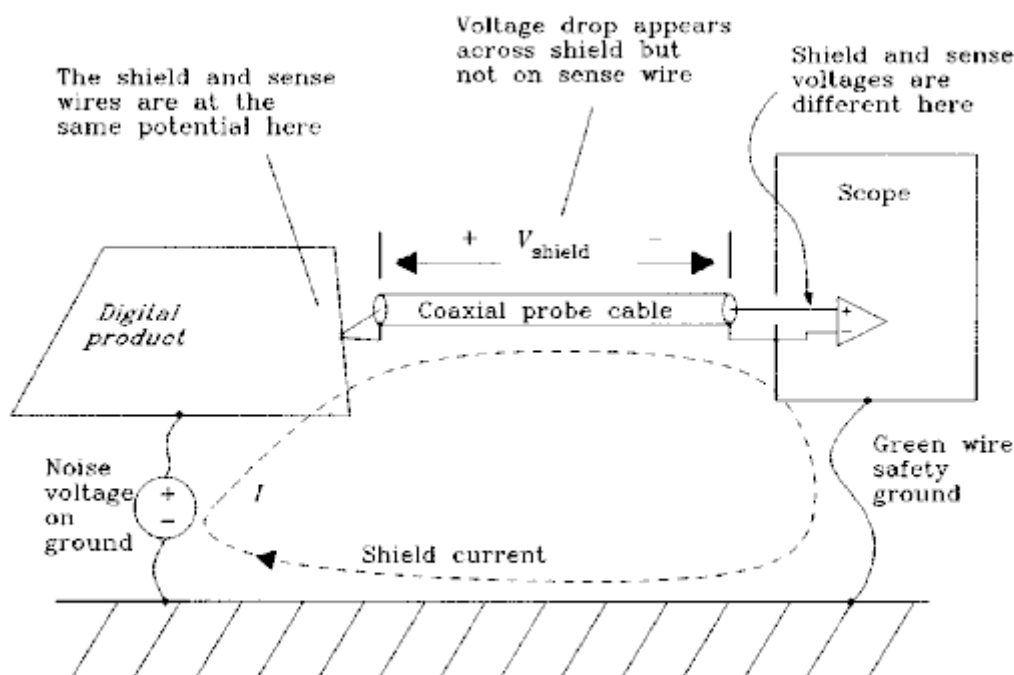


Figure 3.17 Noise pickup from probe shield currents.

屏蔽层电压是很容易观测到的：

- (1). 把示波器的地和探头顶端连在一起。
- (2). 在工作的电路旁边移动探头而不要碰到任何东西，这样你只看到探头测量环路上感应的信号。
- (3). 用铝箔盖住探头端部，直接把顶端短接到探头的外壳，把感应的电压降到接近零。
- (4). 现在连接短接的探头到逻辑地，将仅仅看到屏蔽层电压。如果屏蔽层电压很小，忽略它。

屏蔽层噪声会严重影响控制大功率设备的数字系统。很大的60-HZ交流电流在设备中流到任何地方，都能在数字逻辑地上感应出电压，从而产生屏蔽层干扰。如果屏蔽层干扰产生麻烦，有九种应付方法：

(1). 减少屏蔽层电阻，如果探头是买来的，实现起来是困难的，如果用shop-built同轴电缆探头，可以试着用比较粗的电缆，把RG-174更换成RG-58，或从RG-58更换成RG-8，粗的电缆会很硬，这种方法是不切实际的，除非是固定的仪器配置。

(2). 在示波器和逻辑地之间加一个并联阻抗。这种方法会使大部分干扰电流流过并联的阻抗，少量的流过屏蔽层。这种方法通常不合实际，尤其是高频。在电路板上找到一个好的地并用足够小的电感把它连到示波器上而不引起任何变化，几乎不可能。

如果并联阻抗与探头线一样长，将不会存在直径足够大的物体导致任何的变化（电感是直径的对数）。如果并联阻抗比探头长度短很多，它可能起到作用。

(3). 关断电路板或关断它的一部分。这种方法只适合当只观测电路的一部分时。如果怀疑问题出自屏蔽层电流的干扰，这是一种很好的方法。它将确定干扰是否是真的从你的电路发射，或者是从别的源头。

(4). 在屏蔽层串联一个大的电感。用一个高频磁性的铁心，将探头在它上面绕5到10圈(make 5 to 10 turns through it with the probe)。这种方法提升探头屏蔽层的电感，降低电流。这种方法十分适合频率范围在100KHz—10MHz。低于100KHz需要十分大的电感才能发挥作用。大于10MHz磁性铁心的效用变得恶化。

(5). 重新设计你的电路以减小辐射面积。变双层板为四层板，让一层为固定地平面。减少被辐射的面积首先能够降低地平面上产生的噪声。

(6). 断开示波器的保护地。断开检测设备的保护地，失去了AC电源系统的保护特性。示波器电源上任何碰到示波器的外壳，外壳带有110V的电。这是致命的。如果出现这种故障，保护地分流大量的AC电源电流到地，本地电路上的断路器断开，把整个单元从电源上断开，保护你的生命安全。

但是，应该知道断开示波器的保护地对高频信号有什么影响。

示波器外壳与保护地的理想隔离使探头的地屏蔽环在示波器处断开(Perfect isolation of the scope chassis from the safety ground breaks the probe shield ground loop at the oscilloscope)，减少探头屏蔽层的电流。不幸的是，断开保护地不能达到理想的隔离。

大多数的示波器在机壳和每条AC电源线之间连有一个0.01pF的电容，然后连到地。就算没有电容，电源传输线上的寄生电容也足以在机壳和交流电源线之间形成高频通道。

当频率超过10MHz，示波器对地有足够的自然电容(natural capacitance)，所以隔离保护地是没用的。

这种方法适合音频的频率，不适合高速数字逻辑。

(7). 在探头上用一个三轴(triaxial)的屏蔽。三轴屏蔽一端连到示波器的框架，另一端连到电路板的地。屏蔽层必须完全包裹探头。三轴屏蔽层和探头在同一点接地。在高频，由于表面效应，大部分的屏蔽层电流在屏蔽层外表面流动。因为探头屏蔽层内层没有电流，也就没有电阻压降，所以没有干扰电压形成。这听起来违反直觉，但它的确是这样。三轴屏蔽层可以用铝箔来做，也可以把旧的RG-8的屏蔽层剥出来卷在探头上。尽量缩短三轴屏蔽层地和探头顶端之间探头裸露部分的长度以减少电磁噪声耦合到环路上。

如果你想自己制作21: 1的三轴探头，POMONA卖的BNC-to-triax适配器比较有用。把适配器上BNC的插头插到示波器的BNC插座上。适配器的另一端是母接头，它的外层和中间层的地在内部与BNC地连接。在三轴屏蔽层的一端接上一个一般的三轴公接头并把它插到适配器上(Terminate

one end of the triax in a normal triax male fitting and plug it into the adapter)。在屏蔽层的电路板端，直接把外屏蔽层和中间屏蔽层焊在一起。

(8). 用1:1探头替代10:1探头。10:1探头不能衰减屏蔽层的电压效应。因为10:1的探头只衰减实际的逻辑信号，用一个10:1地探头相当于把屏蔽层电压放大10倍。

(9). 使用差分探头布置。图3.18显示了差分测量上的探头布置。探头1连接到信号点，而探头2连接到电路地。两个探头的屏蔽层在点 G_S 连接在一起，**但没有接到电路板上**。一条独立的地带(ground strap)连接电路板到示波器的地，如果电路板到真实的大地没有适合的连接，这条独立的地带(ground strap)才是必须的。

在示波器上设置探头1的信号减去探头2的信号。这个操作并非都是那么理想，有时候需要小的调整。把两个探头同时点到一个一般信号点上，调整两个探头的增益直至最佳地消除示波器上的波形。然后把两个探头都点在地上，看看是否有残余的干扰存在。我们的目标是要降低干扰，因此是值得去做这个检查的。

使用差分探头时屏蔽层电流不存在，因为屏蔽层没有接触任何东西。这是差分探头的最大好处。对于地浮动的电路或者地的电压高于大地电压的情况，用差分探头进行测量可能是唯一的选择。

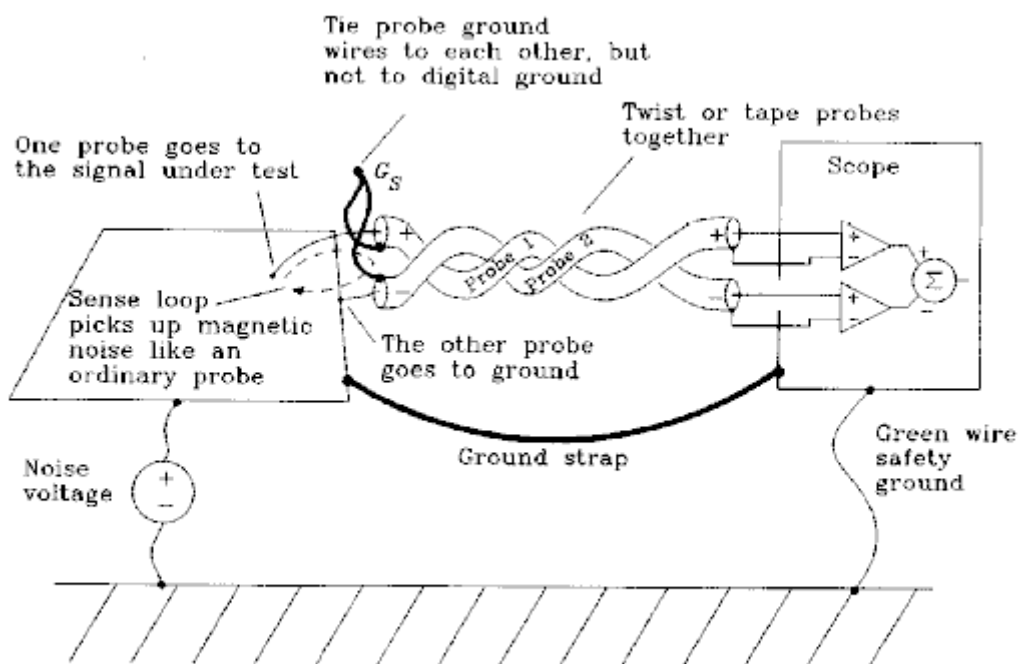


Figure 3.18 Using differential probing to eliminate shield current noise.

使两个探头靠近，以减小它们之间电磁检噪环路(magnetic pickup loop)的大小，环路上任何检取(pickup)会导致探头之间形成电压。保证靠近的方法是：把它们绞在一起或taping the probes.

对于一般的探头，使接地点与测量点靠近。噪声通过互感耦合到探头间的传感环路，就象一般的单端探头一样。

为了实现差分检测，探头的型号和长度必须是一样的。两个探头在频率响应或延时上的不平衡会导致显示屏上的显示共模信号。

有些示波器带有专门的差分调节模块，和增益匹配的匹配探头，并有自己的频率响应特性。这些模块有特别的共模消除功能，但一般带宽太低不足以用于高速数字信号的测量。

记住在差分测量中使用10×的探头，高频补偿调整和直流增益必须完全匹配以消除共模干扰。但在高速信号中难以做到。

本节要点：

- ◆ 单端(single-ended)探头把屏蔽层电压也当作真实信号。
- ◆ 要看屏蔽层的电流是否引起噪声，用铝箔把探头尖屏蔽起来，然后把探头和探头的地接到电路板的地。
- ◆ 把差分探测中的两个探头接到同一个信号点上，并调整它们的增益平衡以消除它们之间的波形。

3.7. 观察串行数据传输系统

图3.19说明了一个100-Mbit/s 数字传输系统，由于信号间的干扰和附加的干扰，这种系统在输出波形D中比在传输信号A中存在更多的抖动。这一节说明如何找出输出波形中抖动的特征。

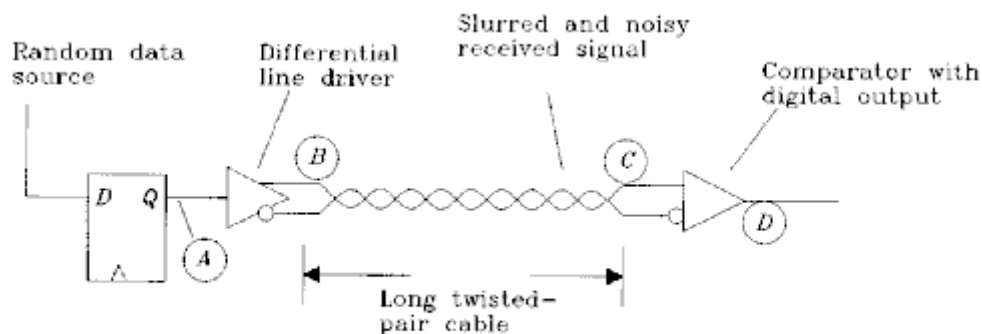


Figure 3.19 Typical data transmission circuit.

图3.19 典型的数字传输电路

我们的第一步是把示波器的通道1接到信号D，把通道1设为触发源，调整示波器使它在正向跳变的时候触发。我们在图3.20中看到它的的模式。

注意到波形在触发点是没有抖动的。这表明有些东西是错误的。示波器等待正向的跳变，然后把数据波形沿着左边光标处的触发点向右排列(then shifts the data waveform to line up the trigger point with our left cursor mark)。第一个脉冲代表跳变之间的最小距离。但随后的时钟点周围的抖动错误是实际时钟-数据抖动(clock-to-data)的两倍。

图3.21显示了正确的测量，图3.21的信号是用时钟源作为绝对参考进行触发的。这里的抖动是刚才的一半，前一种方法移动了每一个波形，它以一点为基点排列随后的跳变沿，这种移动把抖动加到其他所有传输区域里(the shifting added jitter to all the other transition zones)。时钟

源是稳定的、没有抖动的信号，是所有数据测量的稳定参考点。

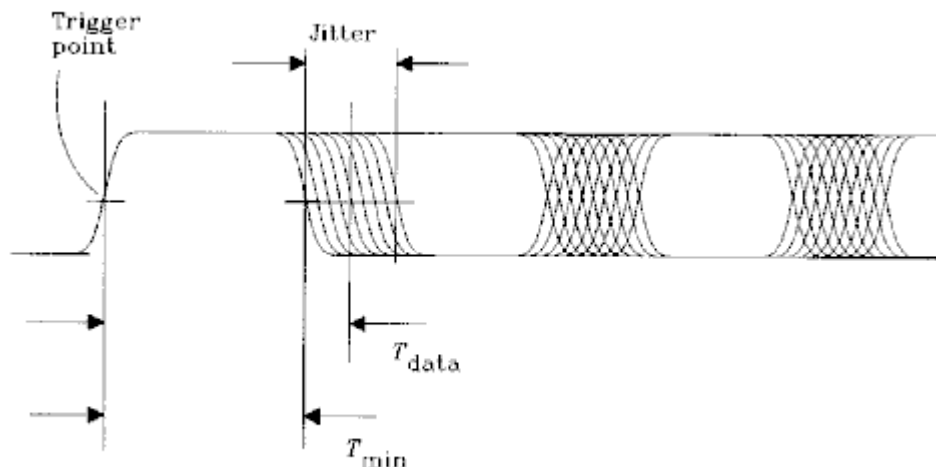


Figure 3.20 First attempt at eye pattern observation.

有一个学生问过我：“我们为什么不用图3.20的方法，然后把结果除以2？”答案是图3.20中的眼图要打开得足够宽才能进行抖动测量，我们不会总是那么幸运，有时眼图根本就没有打开 (sometimes the eye does not open at all)，除非我们运用图3.21中的高级触发方法。

当源数据时钟不可用时，可以用源数据信号触发（在图3.19中的位置B或A），这在源头的数

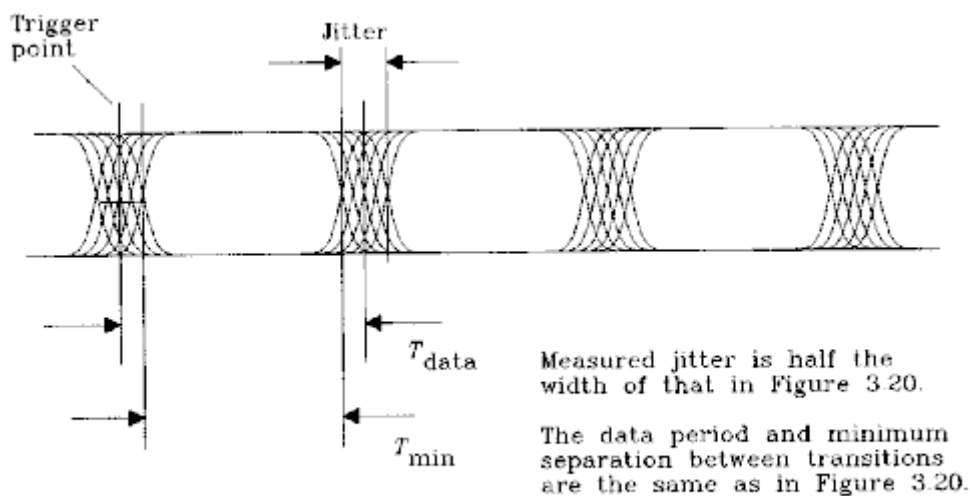


Figure 3.21 Eye pattern triggered by a source data clock.

有些示波器，特别是比较新的数字采样模块，触发功能很弱，尤其像数据波形这样的无周期信号。由于纵向输入(vertical input)可能能够显示很高速度的信号，触发电路可能不对他们进行触发(the triggering circuit may not trigger on them)。当面对一个性能差的示波器触发电路时，首先构造一个数字电路，将系统时钟分频，从分频出来的波形中触发。随着触发稳定性的改良，可以看到示波器上显示的信号的上升时间明显缩短。

本节要点：

- ◆ 通过时钟触发观测串行的数据流。

3.8. 降低系统时钟

高速数字信号经常包括振荡、串扰、和其它噪声。在满时钟的速率时，多方面影响叠加。这叠加使我们很难找出每一种影响的特征。降低主系统时钟有助于把各种影响分离开来。

一个足够慢地时钟允许所有信号的瞬态在第二个时钟周期开始之前有足够的时间衰减。第 n 个周期留下的反射和振荡不会出现在第 $n+1$ 个周期里，因此我们可以单独地看到每个数字转换中的全部响应过程。有时候响应过程要比你预期的时间长得多，好的终端匹配能够解决这个问题。

本节要点：

- ◆ 测量的过程中，一个足够慢地时钟允许所有信号的瞬态在第二个时钟周期开始之前有足够的时间衰减。

3.9. 观测串扰

串扰问题，因为它涉及几个没有连接的逻辑模块的相互作用，[Are difficult to corner](#)。这些问题经常间歇地出现，可能跟数据模式有关（pattern-dependent），或者可能出现得很少。这些使它们很难观测。由串扰造成的错误通常涉及多种因素：

- (1). 由于振铃减小逻辑容限(logic margin)。
- (2). 容限依赖于设置及保持条件(Marginal compliance with setup and hold requirements)。
- (3). 多条数据线的相互耦合。

如果你怀疑串扰是一个问题，这儿有一些方法对存在的串扰进行量化，而不用等到错误的出现。

首先，在你希望监测的信号线（初始信号）上装配一个同轴电缆21:1探头。在把探头接到初始信号之前，感应电阻焊接到附近的地，打开数字装置，测量检测回路和屏蔽层电流引起的残留噪声大小。噪声应小于数字信号2%。如果有大于2%的噪声，串扰将不会清晰地显示，调整探头的布置，直到它检取的噪声小于2%。

然后连接一个外部的触发器到示波器，触发器必须与所怀疑的串扰源同步，而且在整个实验过程都用到。使用外部的触发器，看一下这时候来自21:1探头的噪声。

现在连接21:1探头到初始信号(primary signal)，你应该看到以下各种信号的组合：初始信号、源于初始信号的振铃、串扰及测量系统上的噪声。

我们的目标就是证实和量化串扰，串扰由于其本身特征，是很难观测的。为了放大串扰的可视性的效果(to amplify the visible effects of crosstalk)，有三种方法：关掉初始信号、关掉串扰或产生人为的串扰。

3.9.1. 关掉初始的信号

在初始信号的开始点断开，然后把这一点接到地。如果它的逻辑驱动器能够承受，可以短接初始信号到这个驱动器的地。短接到地（Short-to-ground）是关键的(critical)，如果初始的走线开路（open-circuited），通过互感耦合的噪声会消失。

当短接一个逻辑门时，必须用宽的、平的、电感很小的物体，例如刀片或一片铜箔。假如用一条1/2英寸长的线进行短路，它有足够的电感使幅度可观的脉冲通过。我们希望这一点的输出为零。

当关闭了输出，串扰将清晰地显现。

如果你处理的是总线，现在是时候去改变总线的模式了。在一条线每次改变电平而其它线保持不变的情况下进行一系列的实验。跟总线的布局相关，有些线对初始信号产生正向的影响，有些可能产生反向的串扰。如果你把任何一条数据传输线的极性反过来，它的串扰极性也应该反过来。对每条数据线，找出导致正向干扰的极性。

最后一个实验，设置如下数据模式：每条线同时传输数据，每一条都产生正向干扰。这显示出可能的最坏干扰。32位总线上的串扰电平比较显著。

3.9.2. 去掉串扰

设置一种你认为可以产生串扰的数据模式。对初始信号拍两张照片，其中一张系统正常操作，另外一张没有连接干扰线。

可以简单地把干扰线剪断，或者在信号源端把它短接到地，两种方法都可以。短接到地不是特别的重要，只要我们把它的电流降到零。

这两张照片的不同在于串扰，如果数字示波器有数字操作特性（Tektronix 11403有此性能），然后储存波形，把它们的数值相减。

3.9.3. 产生人为的串扰

把系统关掉或使其不发生作用，把初始信号的驱动端短路，现在在干扰线(interfering trace)处诱发一个已知上升时间的阶跃跳变沿，测量在初始信号上感应的电压，如图3.22。

串扰与干扰线(interfering trace)上信号的 dV/dt 成正比。这种方法最适合于没有插芯片的空板(bare board)。

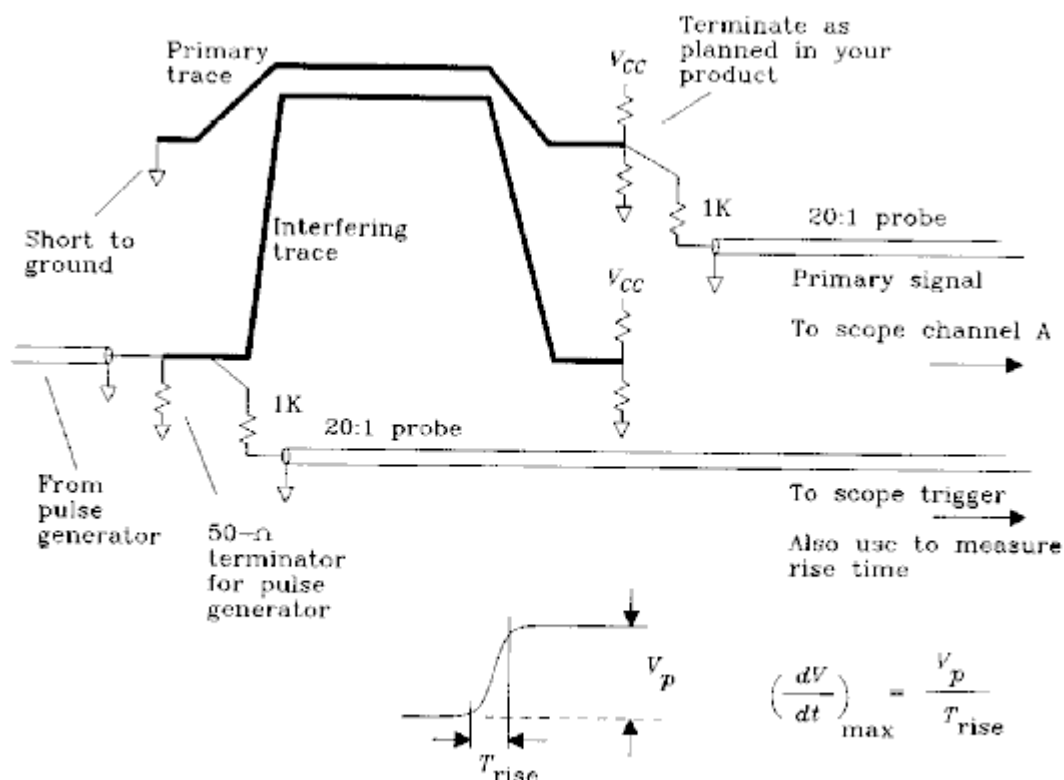


Figure 3.22 Measuring crosstalk between two signal traces.

3.10.测量操作容限

数字电路工作在两种状态：打开或关断。不像模拟电路，数字系统表现出小的容限，或工作状态变差。一旦数字系统开始工作，就很难定量它的操作性能如何或者它有多少剩余的操作容限。这一节讲述了对数字系统的操作容限进行量化的有用的方法。

制造工程师习惯用统计质量的控制确认测量质量和维持质量(maintaining quality)之间的关系，那些制造定理直接应用于数字产品。

这些测量是全局的，考虑了对整个系统的影响。假设有一执行与不执行（go-nogo）试验去显示系统是否在工作。执行与不执行（go-nogo）试验应尽可能全面，系统任何区域的逻辑故障都会产生一个不执行(nogo)响应。

在每一个试验中，用go-nogo测试器，使系统面对下面列出困难。我们将测量系统发生故障前能承受多大压力(stress)。这个测试过程把简单的go-nogo测试变为对产品质量的量化测试。

确保系统发生故障的时候你的测试仍然继续。我们要它报告不运行(nogo)，自动重启，在有错误产生时仍能继续运行。这一性能使我们很容易调整进出错误区的压力以确保我们得到准确的读数值(this property makes it easy to vary the stress in and out of the error zone to make sure we are getting accurate readings)。通过设置压力等级使每几秒产生一个错误。你可以用逻辑分析仪去捕捉错误。一旦将错误定位，根据错误进行设计就很容易。如果运行-不运行(go-nogo)测试在第一个错误停下来，你就很难确定错误率，你可能永远也不能对问题进行调试。

3.10.1 附加的噪声

适合于有高速信号处理元素的小电路，附加噪声测试简单地在电路的每个节点上加上随机噪声。对于这些检测最好的随机源是有漂移限制的信号，好比正弦波、方波、和伪随机数二进制模式。

在每一个电路节点用一个不对电路形成负载的串联电阻注入干扰，对于TTL、HCMOS 和ECL用1K串联电阻。

一次向一个节点注入干扰以得到它的特征。如果你怀疑布局的改变引入更大的振铃（降低对附加噪声的容限），这个实验结果是有用的。

一旦你知道每个节点的相对敏感度，用一套校正过的电阻一次向一个节点注入临界(critical)噪声电流。每个电阻都通过一个开关连到噪声源。现在我们改变噪声的水平，所有的节点应该在同一噪声水平附近出现故障。一个性能变差(deteriorated)的节点在较低的噪声水平就会出现故障。如果与制造序号相对应，每个产品的噪声故障水平是分散的，表明生产线上制造过程的改变。

附加噪声测试其实很难进行，因为它需要一个钉床(bed-of-nails)测试装置，或者在印制电路板上安装特殊的连接器以进行噪声信号的连接。

附加噪声测试适合于数据接收、时钟恢复环(clock recovery loops)、各种锁相环、模拟I/O接口及总线。简单地说，适合于有大量信号通过有限的测试节点的情况。

3.10.2.调节宽总线上的定时

大多数宽总线是由一个普通的时钟同步的，它沿着总线分布。对于这些系统，设计工程师得出详细的定时分析结果，显示了理论保证的设置(theoretical guaranteed setup)和总线上的传输保持时间。

为了验证设置和保持时间假设，我们需要一种方法改变传输数据的定时，提高或降低它的速度，直到它出现故障。通过记录出现故障之前系统能够接受的定时调整量，我们得到一个量化的总线定时裕度。

为了进行这个测试，首先设置一个由设备A通过总线到设备B的数据传输。确保有方法知道系统在什么时候出现故障。最好系统能够报告出错率，或者出错的时候指示灯闪烁，但系统仍然运行。

现在切断两个设备间总线上的时钟分配线，两个设备使用不同的时钟，两个时钟与系统时钟频率相同，但相位稍为不同。把一个时钟相对于另一个时钟的定时提前（或推迟），我们可以得出总线的定时裕度。

这个测试里我们需要一个特殊电路，它产生两个锁定频率的时钟并且可以调节它们的相位。以下五种方法的任何一种都可以使用。

3.10.2.1.通过同轴电缆延时调节时钟

对于时钟频率达到20MHz的，用同轴电缆段和一般开关做一个同轴电缆延时选择盒(make up a coax delay selector box from segments of coax and ordinary switches)。由单一的时钟源出发，时钟(A)通过时延选择器而另一个时钟(B)通过一固定长度的同轴电缆。用一段同轴电缆阻抗(50、75、或93 Ω)来匹配本地总线阻抗。

挑选同轴电缆的长度，使时延选择盒设为中间段(delay selector box set to midrange)，并且两个时钟的定时匹配。这对于固定延时长度是微不足道的(this may take some fiddling with the fixed delay length)。

不要尝试去做一个精细的二进制选择器，因为要获得长度匹配的电缆段使得延时级别呈线性是很困难的。可以使用多位开关并安装长度为1、2、3...、10和长度为10、20、30...的延时单元。

3.10.2.2.通过脉冲发生器调节时钟

带有时延可调和触发-输出(trigger-to-output)的脉冲发生器是一个理想的时钟调节器。从一个单一的时钟源，使时钟(A)进入到脉冲发生器触发输入端，另一个时钟(B)通过固定长度的同轴电缆直接送到总线。使用与本地总线阻抗匹配的同轴阻抗(50、75或93 Ω)。设置脉冲发生器的输出脉冲宽度等于名义时钟周期的一半。

挑选同轴电缆的长度，使脉冲发生器的延时设为中间范围，两个时钟的定时相匹配。这对于固定延时长度是微不足道的(this may take some fiddling with the fixed delay length)。

如果当前脉冲还没有结束，下一个触发已经来到，许多脉冲发生器将不会触发，这把延时调节范围限制在0-180度(degree)。如果固定(fixed)的同轴电缆延时设为90度，有效的调节范围是-90度到+90度。

3.10.2.3.用于时钟相位调节的简单电路

图3.23A的电路显示了用于产生30~160ns延时的十六进制转换器(inverter)。每一段延时从5到35ns，要看可变电阻的设置。每一段的延时时间不得超过时钟周期的12%以确保可靠的操作。

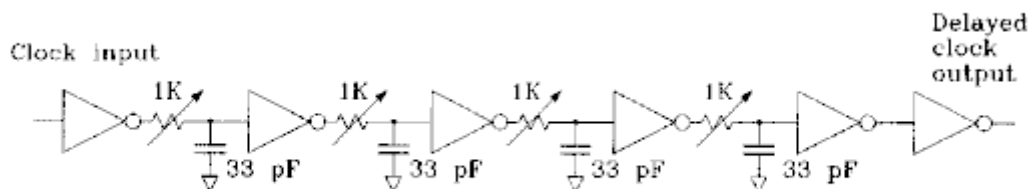


Figure 3.23A TTL or CMOS adjustable-delay network.

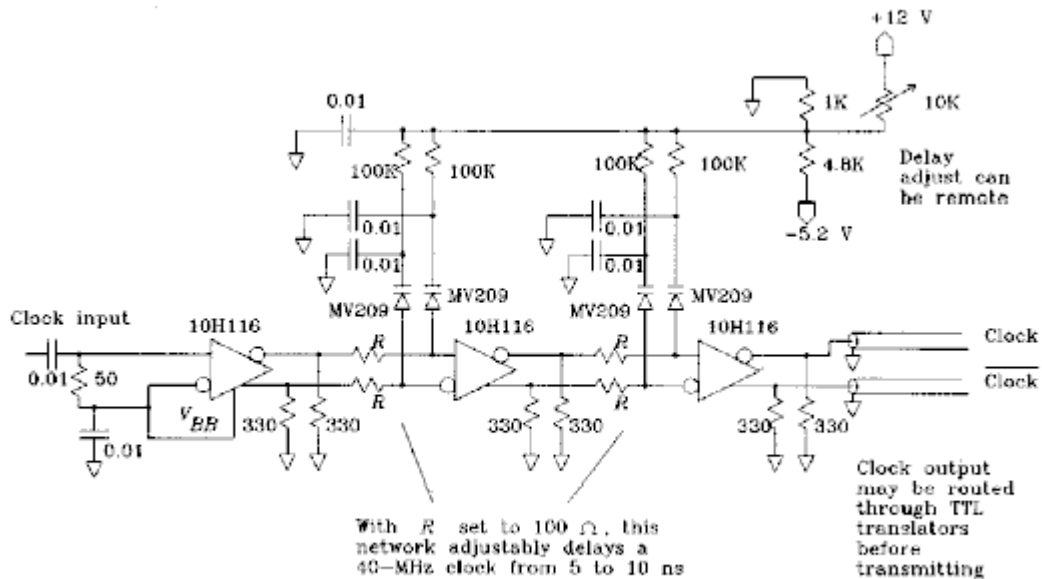


Figure 3.23B ECL remotely adjustable-delay network.

平衡延时节点的数量（两个或四个）并同等地调节各个延时段中各电阻的阻值（可以尝试使用滑线变阻器(ganged potentiometers)），可以使周期波形的变形最小(will keep duty cycle distortion to a minimum)。在延时链的末端至少使用一个额外的转换器清除(square up)输出信号，不使它返回系统。

图3.23A中电路的缺点是信号必须穿过物理变阻器。在高速信号系统中，这意味着电位器必须小并且在物理上靠近有效线路(active circuitry)。在图3.23B的电路中使用varactor从而避免了这些困难，varactor是反向偏置二极管，它的电容随着它两端电压的改变而改变。在图3.23B的电路的速度比图3.23A中的电路高。

图3.23B中显示的可变相位调整网络的每一部分可以使它的输入延时2.5~5ns。这个网络使用一个RC相移调整网络，MV209反向偏置二极管可以对网络进行调节。把若干部分级联增加了总的延时变化量。图3.23B使用了两部分，它的延时范围是5~10ns。

这种特定的设计在时钟频率为40MHz时很有效。对于不同的频率，要另选R值：

$$R = 100 \Omega \frac{40 \text{ MHz}}{F_{\text{clock}}} \quad [3.28]$$

向可变延时单元提供一独立的较准的电源，保持单元的温度以获得更好的稳定性。

对于每个电路，从单一的时钟源，使时钟（A）通过可调节延时单元，时钟（B）通过一固定长度的同轴电缆直接到总线。使同轴电缆的阻抗与总线自身的阻抗匹配。挑选固定的同轴电缆的长度，使可调节延时设中间范围(midrange)，两个时钟的定时相匹配。

3.10.2.4.用锁相环调节时钟

图3.24描画了时钟周期调节电路的方框图(Cadillac)。对于大规模的生产试验，可能值得制作这样的电路。对于普通实验室，太麻烦了。

电路将总线时钟进行N分频，并使用相位-频率-类型比较器把它和同样被N分频的本地时钟比较。这电路把本地振荡器频率锁定于总线时钟，而相位由相位调整网络确定。

因为相位锁定出现在比时钟振荡器小N倍的频率上。相位调整网络中改变Y度，则高频时钟输出改变了 $N \times Y$ 度。结果是，相位调节网络只需要在分频后的时钟频率上作微小的调节。varactor-controlled的RC调节器可以轻易实现这一功能。

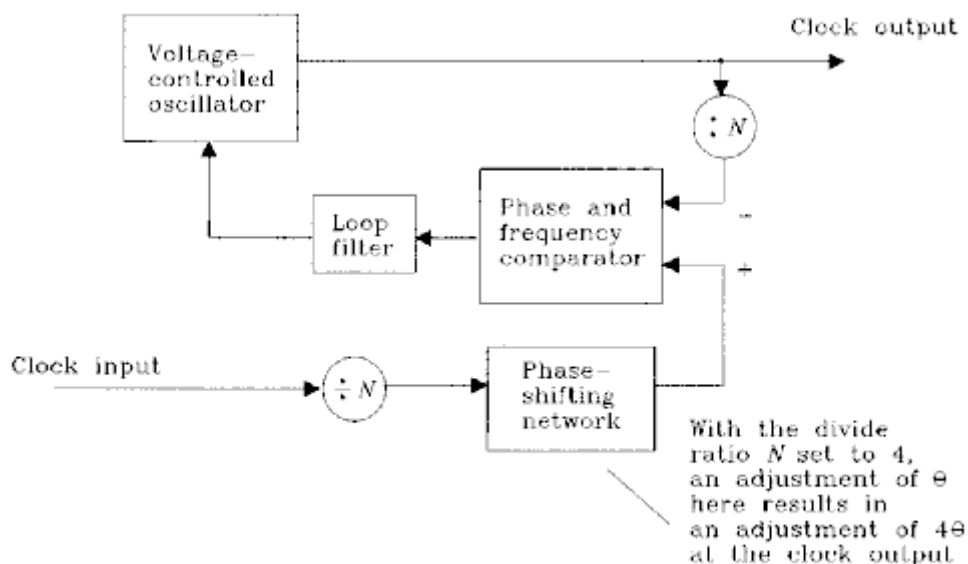


Figure 3.24 Adjustable-delay network using phase-locked loop.

图3.24 使用锁相环的可调节延时网络

这个电路能够进行大于 $\pm 180^\circ$ 的调节。大范围的调整对于这样的系统是有用的，它分配高速时钟并对其分频形成本地控制信号。对于调试容纳好几个时钟周期抖动的异步电路来说，大的调节量也是很有用的，例如在电信通信中使用的T3同步，和FIFO电路。

3.10.2.5.通过改变电压调节时钟

改变末端(terminating)电压或通过上拉或下拉电阻来改变时钟线的电压，会引起时钟接收器翻转时间的微小变化，于是调节了有效时钟周期。同样的方法对于总线接口也有效。

这种近似的缺点是可靠的调节范围被限制在上升时间一小部分。

3.10.3.供电

在10%的范围内调整逻辑供电电源会引起延时的小量变化。通过调节电源可以调制极端敏感系统的故障率。很可能的是，一个有足够裕度的系统的电源电压变化可以超出这个范围。

从图3.25针对CMOS和TTL的以供电电压为横座标的延时曲线和建立时间(setup time)曲线可以看出电压的期望变化范围。CMOS 芯片74HC174对电压变化的敏感度是TTL芯片74F174的两倍还要多。

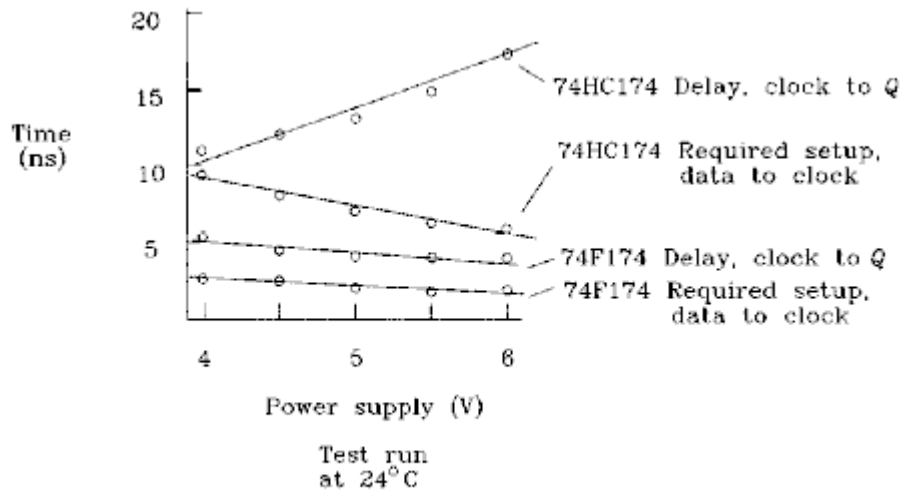


Figure 3.25 Delay and setup time versus power supply voltage.

3.10.4 温度

温度的变化和电源变化是相似的，它引起延时特征上小量的变化。

温度变化在物理上是比电源变化更难实施。在工作台上，工程师通常用冷却喷雾器瓶去降低电路板上温度，或用特大的干燥器去提高温度。

记住许多的冷却喷雾器由危险的化学物组成，它们破坏地球大气的臭氧层。如果你必须使用冷却喷雾器，首先制作一个硬纸笼子围绕在需要冷却的电路板的周围，然后直接将冷却剂喷入硬纸笼子围成的空腔中。冷却这样一个小区域所需的冷却剂会大为减少，它的温度回升到室温的过程也会变慢。

用手工方法去改变温度，调节加热空气或冷却空气的周期以控制温度需要一些技巧 (modulating the duty cycle of the heated (or cooled) air to control the temperature)。在电路板上面放一个温度传感器以确保温度没有超出范围。

带有空气入口的系统有自然的通道使热空气或冷却空气进入整个系统。干燥机的通气管及输送带可以把系统和热空气源或冷空气源永久连在一起，或者用热气枪对着进气口。

很多公司投资建造大的加热或冷却箱（房），以用于对热量循环产品进行加工过程的最后测试。这些加热或冷却房对于工程开发是不合意的，限制了辅助设备的型号和大小，而且工程师不想把时间浪费在温度测试上，但它毕竟提供了一个现实的测试环境。

从图3.26针对CMOS和TTL的以供电电压为横座标的延时曲线和建立时间(setup time)曲线可以看出电压的期望温度变化范围。CMOS芯片74HC174对温度变化的敏感度是TTL芯片74F174的两倍还要多。

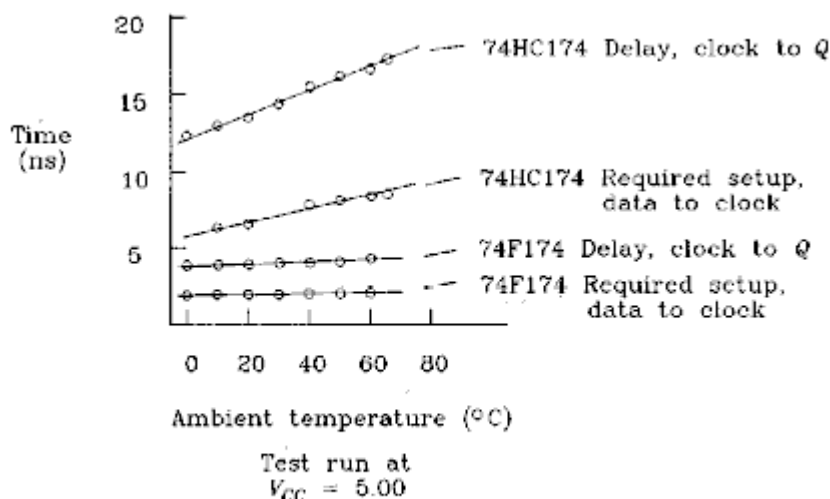


Figure 3.26 Delay and setup time versus temperature.

3.10.5 数据吞吐量

设计工程师一般用测试设备去验证数字设备的逻辑准确率。设计工程师可能会做成套的操作以验证新设备中的每个逻辑连接。看到每一步的结果都正确，得出结论是：“设备正常运行”。

遗憾的是，实际系统要复杂得多。很多计算机可能通过单步逻辑测试，但在实际操作速度下或实际数据吞吐量下却出现故障。如果你对复杂的系统已经积累了丰富的经验，这个结论可能没多大意义，但它说明了真实情况。

高负荷运行时，高速数字设备中的总线和其它结构产生大量的噪声。设备上通过的数据越多，噪声就越大。最佳的测试是针对日益增高的数据流动密度，构建这样的最终测试，它包含大流量的数据，大负荷的流水线逻辑和存储器访问操作，和其他逻辑的临界定时。好的数据模式不会带有不期望的耦合噪声而使一般的操作出问题。

本节要点：

- ◆ 测量系统在go-nogo测试中出现故障之前能够承受多大的负荷。这个过程使简单的go-nogo测试变成对产品质量的定量测量。

3.11 观测亚稳态

同步D触发器电路，当工作环境良好时，表现出很高的可预见性。只要你依照建立和保持时间的规则，在每个时钟跳变之后输出Q与输入D是吻合的。

当使用D触发器同步数字设备的外部信号时，我们不能保证所需的建立和保持时间。外部的异步信号任何时候都有可能改变，而不管内部同步时钟是怎样。

RESET波形上在每个时钟正跳变之后有一个负向的复位脉冲。这把触发器复位到预知状态。你可以根据需要设定RESET对时钟的延时量。

图3.27中的所有关键信号是用21:1探头经过1K电阻测量的。先用示波器测量DATA和CLK信号。

让反馈开关S1打开，在数据提前最大到延时最大的过程慢慢调节(turn the pot slowly from maximum data advance to maximum delay)。画出DATA-CLK定时相对变阻器的关系曲线。确定调整横跨足够大的宽度。在最大数据提前时，数据应该在最小建立时间之前到达。在最大数据延时情况下，数据应该在最小保持时间过去之后才出现。

计算每次调整变阻器得到多少ps的延时变化量。

现在用示波器测量CLK和Q的信号。在DATA电缆的中止处接一个50 Ω 的电阻使它的响应不变。示波器设为CLK信号触发，调节变阻器以达到最大的数据提前量。

开始，D输入完全符合输入要求，输出Q的响应就象Q1一样，如图3.27所示。每个时钟里Q输入设为高，而每个周期中的R点输出Q复位为低。不要用时钟的反相信号复位触发器，否则复位造成的瞬时信号会混合到亚稳态效应中。

调节变阻器使数据延时，直到数据超过最小建立时间窗(minimum setup window)，有些点输出Q突然断开(snaps off)。现在数据太晚到达，输出Q永远不会变高，如图3.27中的波形Q2。数据位置与时钟有关，有一点触发器刚好不能锁存D输入，这一点叫关键翻转点。关键翻转点在生产商标注的最小建立时间和保持时间之间。生产商提供了这两个极限之间的范围(spread)以保证关键翻转时间在所有极端温度和电压的情况下仍在极限之内(the manufacturer provides a spread between these two limits to ensure that the critical switching time on all parts, across extremes of temperature and voltage, stays between the limits)。

在关键翻转点之前到达的信号永远会被锁存下来。而在关键翻转点之后到达的数据永远也锁存不来。这是不是我们想要的？是的，但我们还要对亚稳态的问题进一步研究。

图3.28画出用这个设置得到的触发器相对Q的延时和被测数据建立时间的对比关系曲线 (figure 3.28 plots measurements made with this setup comparing the flip-flop delay, clock to Q, with the measured data setup time)。在这条曲线中，时间轴表示了实际数据建立时间和关键翻转时间差值的对数。当数据在关键翻转点之前3ns以前到达，时钟到Q的延时是固定值13.5ns。当数据的到达时间向关键翻转点移动，输出Q仍然翻转为高，但时钟到Q的延时变长。对于数据靠近关键翻转点到达，时钟到Q的延时与建立时间和关键翻转点差值的对数成正比。

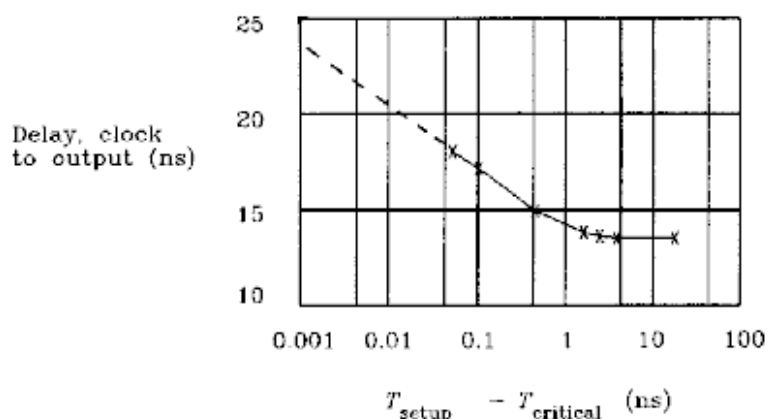


Figure 3.28 Output delay versus data setup time 74HC174.

时钟到输出的延时增量随输入建立时间变化是亚稳态的本质。你不可能改变它，所有的触发器都是这样。它严重影响高速同步设计。*只能使它发生的可能性小一点，但不可能消除。*

时钟到输出的延时可以有多长？这要看数据波形与关键翻转点的距离有多近。实际上可以很长。下一节解释为什么。

3.11.2 理解亚稳态(metastable)特性

图3.29是触发器的简化原理图。在这个例子里，放大器由对称的正负电压供电。正反馈使电容C上的正电压趋向于正电源，使电容C上的负电压趋向于向电源。

施加时钟后，电路永远保持在正或者负的状态，所有触发器的工作原理就是这样。

图3.29的下半部分显示了触发器的时序图。在时钟触发时刻，开关S2打开一段较短的时间，当S2打开时，开关S1暂时为关闭状态，向电容C充电到输入电压 V_{in} 。当S2再次闭合，周期结束(ending the cycle)，通过R1的正反馈使放大器进入饱和状态，输出要么是正，要么是负，保持了锁存的位(bit)。

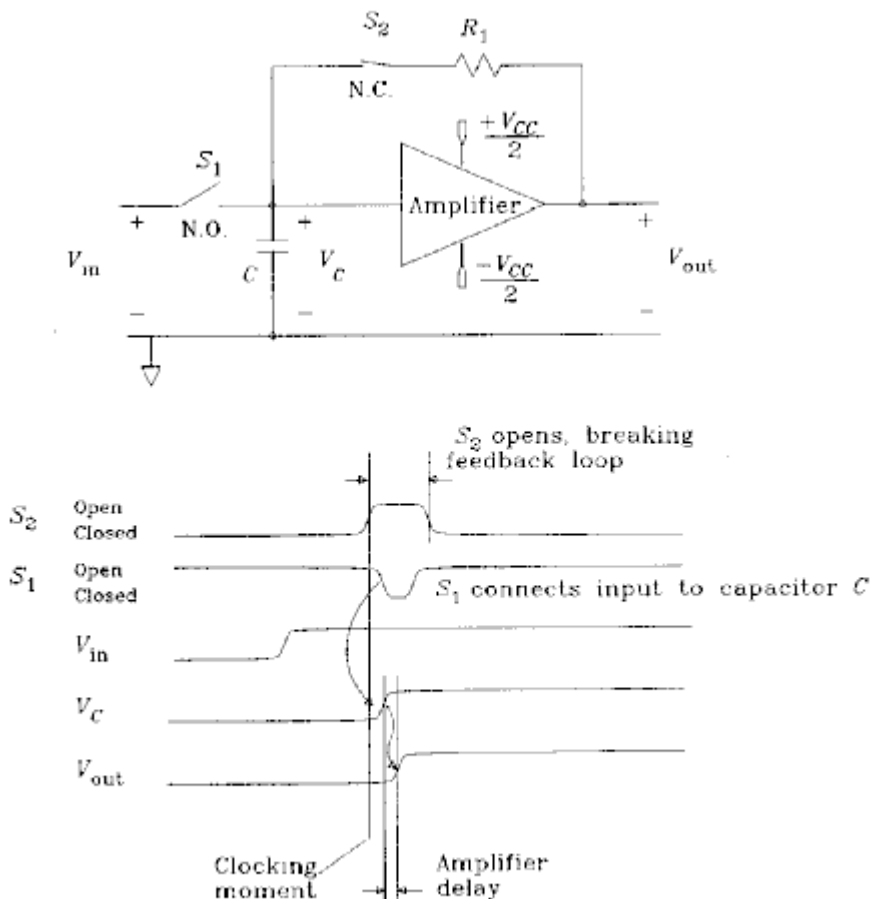


Figure 3.29 Simplified flip-flop circuit.

芯片生产商已经尝试了所有的电路以获得S1和S2更好的时序关系(chip manufacturers have tried all kinds of crazy circuits to get the sequencing of S2 and S1 just right)。不管他们尝试的是什么电路，触发器总会表现出亚稳态效应。

如果输入是二进制逻辑信号，它应该是完全的正或者负电平。触发电路的放大器，一旦在当S1关闭时回转的方向正确(once slewed in the correct direction)，只会使电路保持在一种特定的状态。

当触发器的输入时钟变化时会发生什么？当S1闭合时，电容C充电形成输入电压，当S1打开时，电容C上的电压是开关打开瞬间所充到的电压。如果开关S1在输入数据改变的时候打开，锁存到电容C上的电压可能接近零，看起来不像是二进制的(that doesn't look very binary)！

触发器上的建立和保持时间的必要条件确保开关S1打开时数据不变。在一个同步数字系统内，我们可以保证这些条件永远得到满足。当与外部异步信号相连接时，我们不能防止数据在时钟沿发生改变。

放大器到达正电源或者负电源所需要的时间开关S2闭合时电容上的电压值 V_C 决定。从闭合那一刻开始，放大器的输出电压呈指数增长，如下式所示：

$$V_{out}(t) = V_{in} e^{Kt} \quad [3.29]$$

其中K是时间常数，它与放大器的带宽及反馈电阻阻值有关。

如果采样时的输入电压非常接近零，输出需要很长时间才能到达正电源或者负电源电压。这个过程被称为亚稳态。

由于触发器完成90%的翻转才能满足后续逻辑的电压裕度要求，我们必须等待放大器完全响应之后才能说锁存操作已经完成。

如果输入电压非常接近零，亚稳态会持续较长时间。要获得T秒的亚稳态延时，输入电压应该是多少？

使输出在时间T到达电源电压，解方程3.29：

$$|V_{in} e^{KT}| = \frac{V_{CC}}{2} \quad [3.30]$$

$$|V_{in}| = \frac{V_{CC}}{2e^{KT}} \quad [3.31]$$

where V_{in} = how close the input must be to zero
 T = to generate a metastable delay of T seconds
 K = constant dependent on amplifier and switches
 V_{CC} = power supply voltage

公式建立了采样时刻的输入电压值与等待触发器输出的时间T之间的关系。

使用输入信号的上升时间，我们可以把输入电压 V_{in} 转换为时间偏移。通过观察当电压接近零处，信号波形是斜线，与边沿转换速度成正比，从而完成了上述转换。如果输入信号的转换点在 T_w (if the input signal transition is located within T_w of the clocking moment)，输入电压将小于 V_{in}

$$T_w = V_{in} \frac{T_{10-90}}{V_{CC}} \quad [3.32]$$

公式3.33把相同的结果转换到时间域，告诉我们输入到达时刻和等待输出的时间的关系。

把公式3.31代入公式3.32中的 V_{in} ：

$$|T_w| = \frac{T_{10-90}}{2} e^{-KT} \quad [3.33]$$

如果数据上升沿在亚稳态窗 $\pm T_w$ 之外到达，输出延时小于T秒。如果数据在亚稳态窗内到达，输入数据延时大于T秒。

所有的触发器都表现亚稳态特性。它们的亚稳态窗宽度 T_w 由以下公式求得：

$$|T_w| = Ce^{-KT} \quad [3.34]$$

其中，常数C和K是所使用的特定触发器的特征参数，T是Resolution time.

例3.4：亚稳态误差率

图3.30中的电路使用的是Actel ACT-1门阵列，当它的输入改变时，输出产生脉冲的机率是有多大？对同步逻辑原理过分简化的应用会告诉我们永远不会有输出脉冲。但我们对它有更深入的了解。

先看一下最坏情况的上升时间：

$$\begin{aligned} T_{PD} &= 9.3 \text{ ns (clock to } Q_1, \text{ with good setup time)} \\ T_{PD} &= 9.3 \text{ ns (inverter-XOR combination)} \\ T_{SU} &= \frac{5.0 \text{ ns}}{23.6 \text{ ns}} \text{ (setup time for } D_2) \end{aligned}$$

低于42MHz(23.6ns)的时钟能够满足所有传输时间和建立时间的需求。Y1和Y2应该永远相匹配，而输出Q4应该永远不为高。

使电路出故障的唯一可能是亚稳态使Q1很迟改变，而错过了D2的建立时间窗（由于逻辑门G1和G2的传输延时），但至少太迟，因此D3没有错过时间窗。

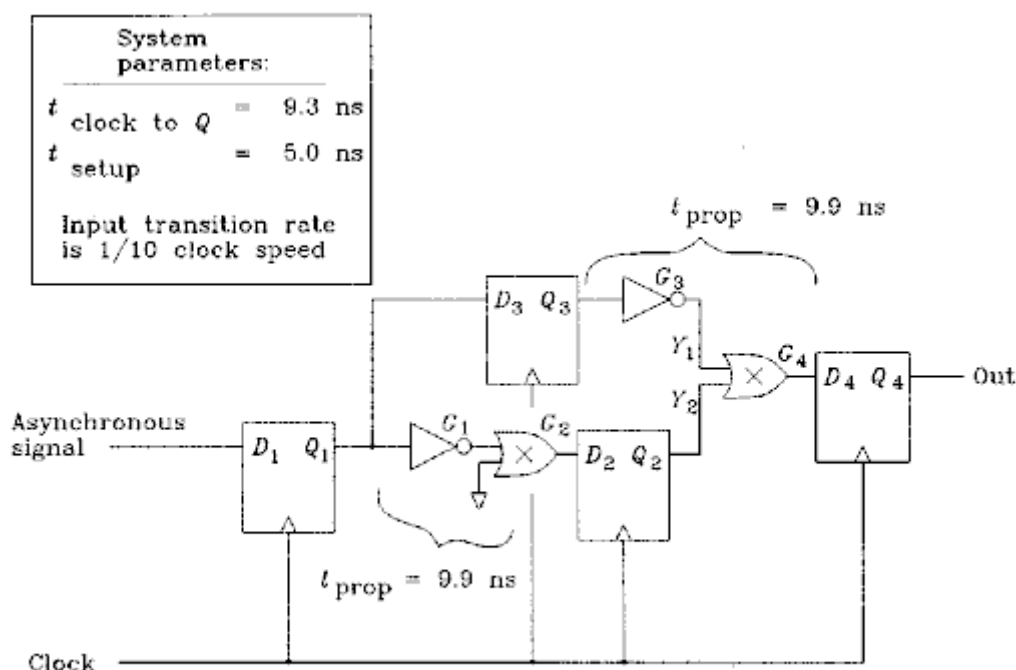


Figure 3.30 Analysis of a metastable circuit.

如果实际时钟速度F小于42MHz，我们可以预计Q1在不错过D2建立窗前提下的亚稳态延时，分配给亚稳态的允许额外延时是

$$T_r = \frac{1}{F} - 23.6 \text{ ns} \quad [3.35]$$

延时 T_r 称为允许处理时间(resolution time)

如下亚稳态窗，Q1在其中要花比 T_r 长的时间才达到稳定

$$T_w = C e^{-\kappa T_r} \quad [3.36]$$

在亚稳态窗 $\pm T_w$ 内周期超出 $1/F$ 的可能性是(the probability of hitting within $\pm T_w$, out of a total cycle time of $1/F$, is)

$$\text{Prob(failure)} = 2T_w F = 2FCe^{-KT_w} \quad [3.37]$$

Actel 的1989 ACT-1系列门阵列产品指导书列出了常数C和K，现在我们根据我们系统的情况调整了两个常数值。

$$C = 0.5 \times 10^{-9} \text{ (sampling switch rise-time constant)}$$

$$K = 4.6052 \times 10^9 \text{ (amplifier response time constant)}$$

故障平均时间 (MTBF)，以小时计，可以由故障可能性和输入翻转率R计算。由于亚稳态只在输入变化时发生，翻转越多，故障的可能性就越大：

$$\text{MTBF} = \frac{0.000277}{\text{Prob(failure)} \times R} \quad [3.38]$$

where MTBF = mean time between failure, h

R = input transition rate, Hz

Prob(fail) = probability of failure on any single input transition

图3.31画出了故障平均时间对时钟频率的变化曲线，图中假设输入翻转率是时钟频率的1/10。35MHz时，故障可能性是 4×10^{-12} 。如果电路每秒处理3500000个输入，它会每19个小时出错一次（相当于一）。

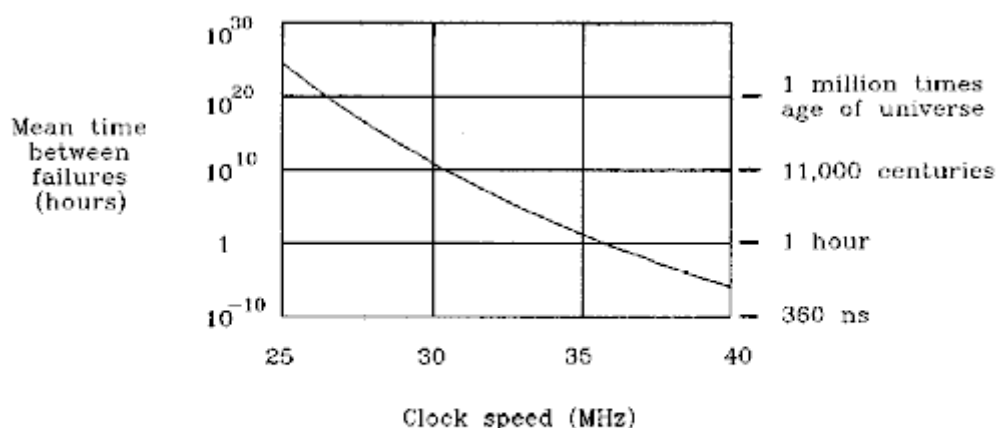


Figure 3.31 Mean time between failures (MTBF) versus clock speed for the circuit in Figure 3.30.

3.11.3 很长处理时间的证据(evidence for very long resolution times)

由图3.28提供的数据，我们必须调整图3.27中的变阻器使关键翻转达时间在10ps内以产生一个大于20ns的时钟到输出的延时。这是很难的。

幸好，还有另一种方法达到非常准确的延时调整。我们可以构造一个监控输出亚稳度的反馈网络，控制时钟-D输入的相对位置以获得很长的处理时间(resolution time)。

反馈电路放大了亚稳态事件的数量，所以我们可以轻易地看到它们。

这个电路在图3.27的上部。它由一个监控Q输出电压并把它反馈到数据缓冲器U2的T形RCR低能滤波器组成。

当DATA信号的上升沿太早到达，Q输出每个周期都会变高，提升了Q输出端的平均电压。T形滤波器通过向U2的输入节点注入正极电流而产生响应，稍微提高该点延时的CLKA信号的电压。CLKA的负向跳变，电平比一般时要高，使U2比平时晚一点变高，有效时使DATA信号的上升沿延时。

总的效果是调整了DATA跳变的位置。控制范围是 $\pm 100\text{ps}$ 。一旦变阻器的调节给DATA信号带来100ps的关键翻转时间(once the potentiometer adjustment brings the DATA signal within 100ps of the critical switching time)，控制环路开始工作。变阻器调节的灵敏度会变低且更易调节。

当变阻器调节到产生最大延时，我们得到图3.32。第一个波形是DATA信号的输入，第二个波形是CLK输入，而带有斑点的波形是Q的输出。因为示波器是对输入的波形进行采样而不是连续地显示它们，示波器在每个波形中只捕捉到一个点，所以得到的是斑点图。

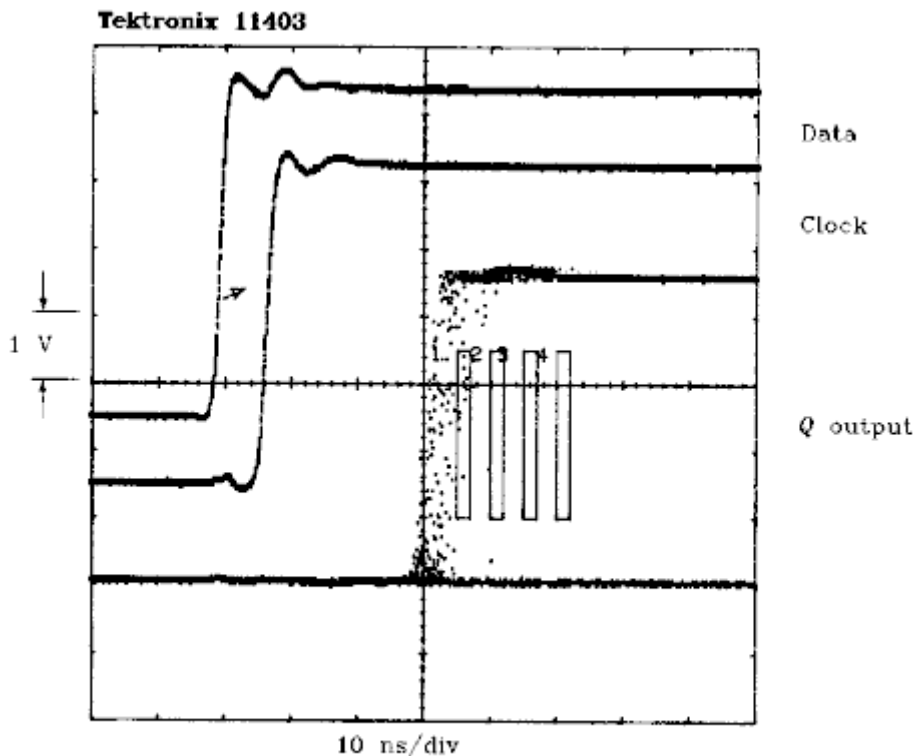


Figure 3.32 Metastability in 74HC174 (CMOS) 3-s point accumulation.

有时Q输出等待24ns然后变高。有时它变低。其它时候它等待很长时间才变高。

时钟-输出的最小延时是24ns。记住对于好的输入，名义翻转时间是13ns（如图3.28）。这个长的延时表明DATA信号在关键翻转点由反馈环路保持了几个纳秒。在这个限制时间里，实际DATA信号可能早一点翻转，也可能晚一点翻转，是随机的。

这种随机行为是由触发器内部的热噪声和注入电路的随机外部噪声引起的。在很靠近关键翻转时间点的区域，DATA信号在各点采样的可能性是相等的。

数字采样示波器运行在点累积模式下，保持屏幕上的每个采样点。示波器不断进行点的累积直到屏幕上512个水平位置相对每个位置都有20个点。DATA和CLK信号被分别预先记录下来，并添加在最终波形图上。这幅图的累积时间是3秒。

图中最右边的点表示时钟-Q的偶然延时，最小30ns。这些事件的可能性有多大？

研究图3.34，超出给定处理时间(resolution time)的DATA窗宽度随处理时间呈指数下降。如果DATA的到达时间在关键翻转点附近平均分布，我们希望看到长处理时间的可能性呈指数下降。也就是说，对于处理时间的每个固定增长，我们期望得到超出处理时间的事件的数量下降的固定百分比。

我们可以直接用Tektronix的屏蔽计数(mask-counting)功能验证这个假设。图3.32的四个矩形定义了四个屏蔽计数(mask-counting)区域。示波器对每个屏蔽区内和边界上的点进行计数。屏蔽区域相隔5ns平均分布（在时钟后的35、40、45、50ns）。

在这个例子里，屏蔽区1和2分别有13个点和1个点。没有点落入屏蔽区3和4。我们期望每个区域的点数呈指数下降，但我们得不到足够的点来验证我们的计算。

图3.33使用与图3.32相同的设置，但让点累积功能开启30分钟。屏蔽区域计数是：

Mask 1	30ns	4685
Mask2	35ns	445
Mask3	40ns	42
Mask4	45ns	4

相邻区域之间的衰减参数是10。最后一个区域得到4个点，时钟-输出延时是45ns。如果我们等待50小时（图3.33等待时间的100倍），我们可能在55ns处的屏蔽区域得到4个点。

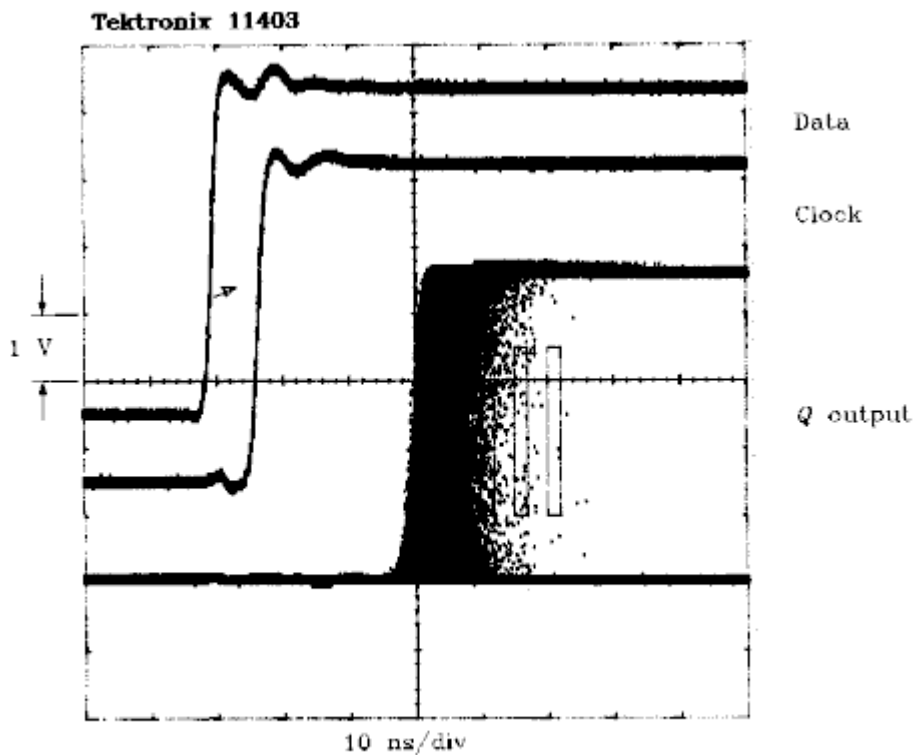


Figure 3.33 Metastability in 74HC174 (CMOS) 30-min. point accumulation.

图3.34在相同的实验中使用74F174触发器。它的延时比74HC174短得多，但效果一样。要提一下的是74F174的输出缓冲比74HC174小，可能只上升到一半(tends to rise to half-mast and then make its decision one way or the other)。输出短脉冲干扰可以轻易地触发输出端Q的后续电路。

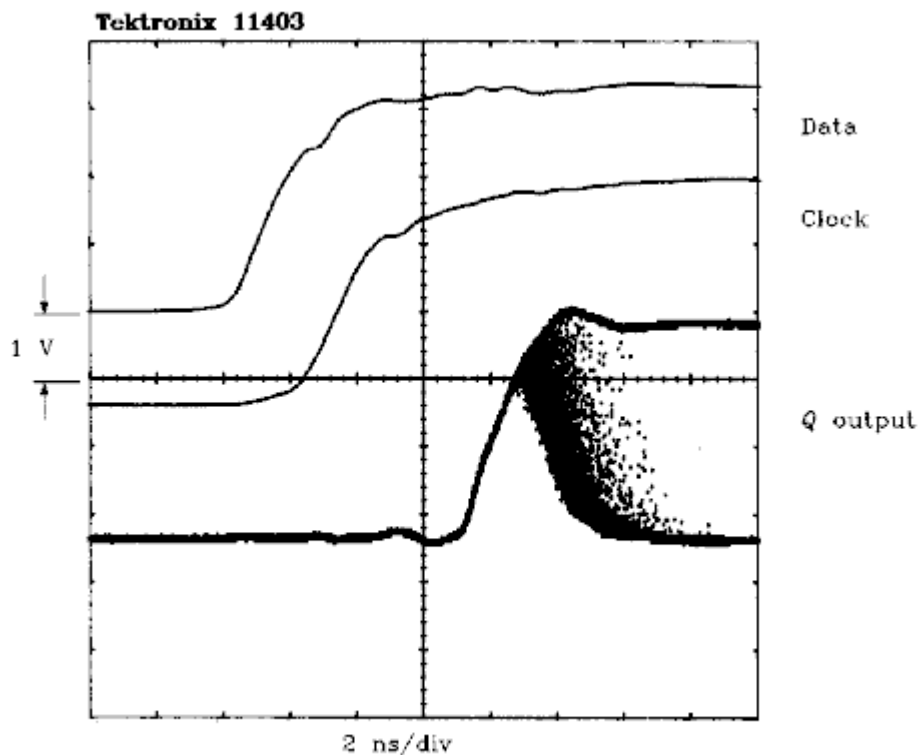


Figure 3.34 Metastability in 74F174 (TTL) 10-s point accumulation.

3.11.4 亚稳态曲线

如果你面临亚稳态的问题，以下建议可能有帮助：

- 1、使用更快的触发器；它可能有更窄的亚稳态窗。
- 2、两个（甚至更多）触发器串联，使用相同的时钟，由N个触发器组成的触发器链的误差可能性等于 P^N ，其中P是一个触发器的亚稳态故障可能性。标准的情况至少使用两个触发器，有时三个，对于每个异步输入，触发器是串联的(flip-flops in series for every asynchronous input)。
- 3、使用亚稳态稳定(metastable-hardened)的触发器，这些器件内部包含一个高速低功耗的触发器，K值很大，带有正常速度输出驱动器。它们有非常吸引人的亚稳态特性。
- 4、少点采样（如果可能）。更宽的时钟周期降低了进入亚稳态窗的可能性，给予触发器更多的时间处理它的输出。随着时钟频率的降低，故障率以比指数更快的速度下降。
- 5、有些触发器在输入信号变化缓慢的时候亚稳态问题更严重。使用变化快的信号输入。

本节要点：

- ◆ 所有触发器都有亚稳态。
- ◆ 随着时间T的增长，触发器输出延时大于T秒的可能性呈指数下降。

高速数字电路设计教材

拟制:	_____	日期:	_____yyyy-mm-dd_____
审核:	_____	日期:	_____yyyy-mm-dd_____
审核:	_____	日期:	_____yyyy-mm-dd_____
批准:	_____	日期:	_____yyyy-mm-dd_____



华为技术有限公司
版权所有 侵权必究

目 录

第4章 传输线	2
4.1 普通直连导线的缺点	3
4.1.1 直连导线的信号失真	4
4.1.2 直连导线的EMI	4
4.1.3 直连导线的串扰	6
4.2 无限长传输线	7
4.2.1 理想的无失真、无损耗传输线	9
4.2.2 有损耗的传输线	9
4.2.2.1 低损耗的传输线	13
4.2.2.2 RC传输线	15
4.2.3 趋肤效应	17
4.2.3.1 趋肤效应的空间分布	18
4.2.3.2 趋肤效应区域的频率响应	19
4.2.3.3 趋肤效应区域的传输线阻抗	22
4.2.4 补偿效应	24
4.2.5 绝缘损耗	24
4.3 源阻抗和负载阻抗的影响	25
4.3.1 传输线的反射	26
4.3.2 终端匹配	26
4.3.3 源端匹配	30
4.3.4 缩短线长	30
4.3.5 传输线匹配不好时的建立时间	30
4.4 特殊传输线	31
4.4.1 无匹配线	31
4.4.1.1 低阻抗输出驱动无匹配传输线	31
4.4.1.2 高阻抗输出驱动无匹配传输线	32
4.4.2 传输线中点的容性负载	32
4.4.2.1 来自容性负载的信号反射	33
4.4.2.2 容性负载对传输信号的影响	35
4.4.3 等间隔的容性负载	35
4.4.3.1 均匀负载总线的阻抗特性	36
4.4.4 直角弯曲布线	36
4.4.5 延迟线	38
4.5 LINE IMPEDANCE AND PROPAGATION DELAY	39
4.5.1 Control of Transmission Line Parameters	41
4.5.1.1 How tightly must we control impedance	41
4.5.1.2 How physical dimensions affect impedance	41
4.5.1.3 有效介电常数(Effective electric permittivity)	43
4.5.1.4 Reasonable manufacturing tolerances	46
4.5.1.5 Software for transmission line calculations	47
4.5.2 Formulas Involving Coaxial Cable (见图4.29)	48
4.5.3 Formulas Involving Twisted-pair Cable	49



4.5.4 simple formulas set for microstrips	49
---	----

第4章 传输线

摘要:

在高频数字电路中，传输线的性能优于普通的直连导线，主要体现在：1、信号变形小；2、电磁干扰很小；3、信号串扰少。

同时传输线也有它的缺点，例如需要更高的驱动功率，但在高速数字电路中，信号的性能是最重要的，因此传输线的使用也是必然的。

本章描述了传输线的基本概念，并将传输线与普通的直连导线进行对比，给出了线路阻抗的计算方法及其对信号质量的影响。

4.1 普通直连导线的缺点

NEWCO公司曾经为其高速处理器建立过一个模型，NEWCO认为使用PCB不仅成本很高，而且PCB的生产也需要花很长时间，因此NECO使用直连导线技术。该模型建立在一块16in.X20in.的电路板上，内含600多个门电路，2000多个网络，以下列出了这些信号网络的特性：

- 1.网络数目：2000
- 2.平均网络长度：4in.（没有终端匹配）
- 3.线路平均高出地平面的高度：0.2in.
- 4.线宽（AWG30）：直径0.01in.
- 5.信号上升时间：2.0ns
- 6.拐点（Knee）频率（式1.1）：250MHz=0.5/2.0ns

下面我们来分析一下这个模型的性能：

4.1.1 直连导线的信号失真

NEWCO预计信号的上升时间为 2ns，对应的线长为（参考式1.3）：

$$l = \frac{\text{Rise time (ps)}}{\text{Speed (ps/in.)}} = \frac{2000 \text{ ps}}{85 \text{ ps/in.}} = 23.5 \text{ in.} \quad [4.1]$$

而区分集中参数或者分布参数电路的临界参数为：

$$l/6 = 3.9 \text{ in.} \quad [4.2]$$

NEWCO认为，由于模型的平均线长接近该临界参数，他们的模型基本上是一个集中的模型，因此电路不会出现或者只是轻微的振铃，实际结果表明这种预测是错误的。

集中参数电路很少振铃，分布式电路在没有做好匹配的情况下通常都会出现振铃，这是受电路的Q值影响的。电路的Q值代表信号在电路中衰减的速度，低Q电路的信号衰减很快，高Q电路的信号则衰减很慢，从而有更大机会产生振铃。

电路的Q值是单位振荡频率下能量的储存量与丢失量之比，已知Q值的电路的过冲最大值可以由式4.3估算：

$$\frac{V_{\text{overshoot}}}{V_{\text{step}}} = e^{\left[\frac{\pi}{(4Q^2 - 1)^{1/2}} \right]} \quad [4.3]$$

这里， $V_{\text{overshoot}}$ = 信号上冲幅度，单位V；

V_{step} = 期望的稳定电压输出，单位V；

Q = 谐振参数（假设 >0.5 ）。

一个典型的例子是如图4.1所示的二阶电路，衰减常数为 $2L/R$ ，严格遵循式4.3。

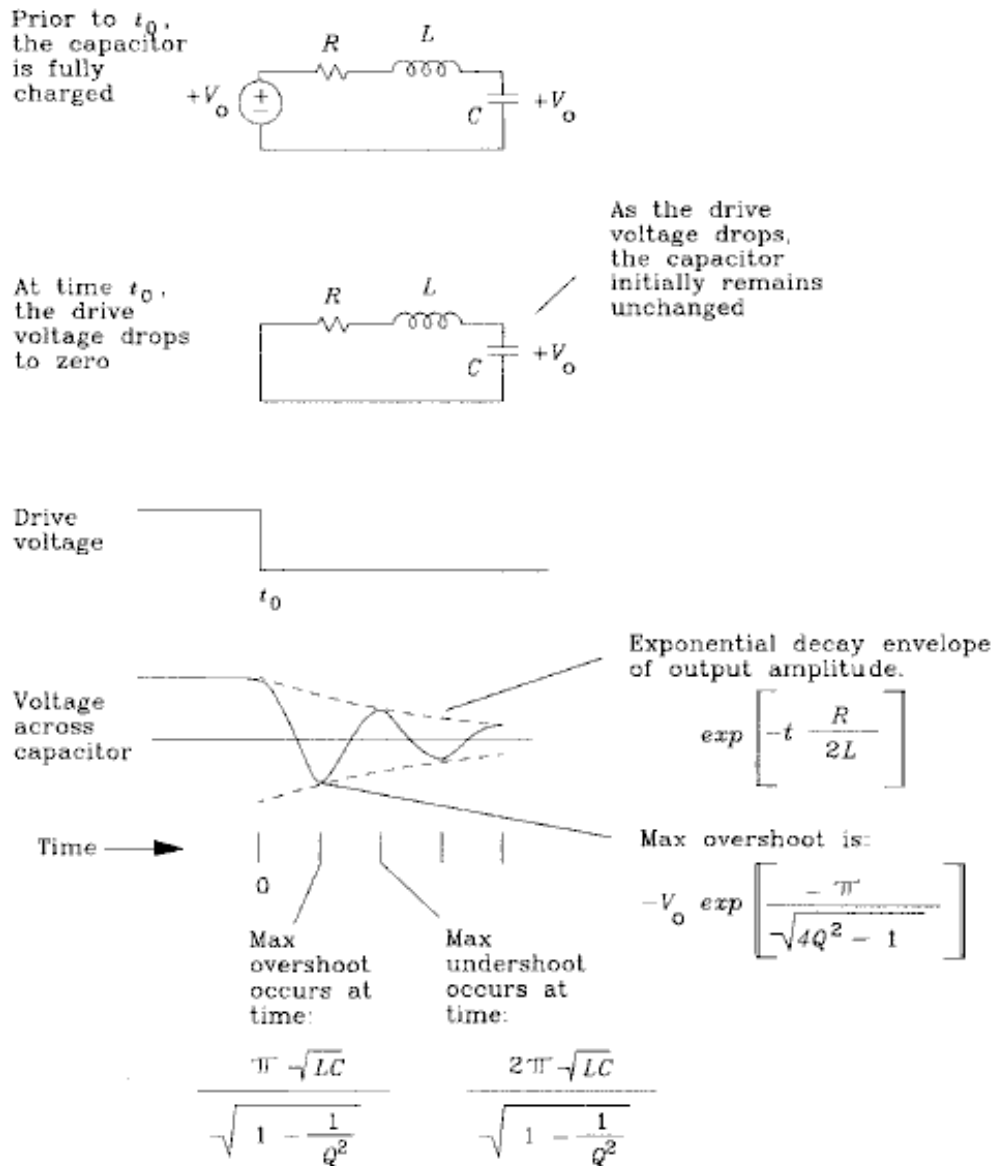


Figure 4.1 Overshoot and ringing calculated by the Q method.

从经验上来讲，对于理想的阶跃冲激源输入， Q 为1的数字电路会产生16%的过冲，如果 Q 值上升到2，则过冲增加到44%， Q 值低于0.5的数字电路则很少产生过冲或者振铃。

当电路的感抗已知时，很容易计算电路 Q 值。直连导线的最基本的问题就在于感抗太高，电路的线路感抗高，容性负载比较大，导致电路的 Q 值就相对较高。

我们可以计算一下NEWCO模型的线路感抗（参考附录C中的公式）：

$$L = X \left(5.08 \times 10^{-9} \right) \left(\ln \left(\frac{4H}{D} \right) \right) = 89 \text{ nH} \quad [4.4]$$

这里，L = 回路感抗，单位H；

D = 线圈的直径，0.01 in.；

H = 信号线离地线的高度，0.2 in.；

X = 信号线长度，4in.。

由方程3.12可得RLC电路的Q值：

R = 30欧（TTL输出阻抗）

L = 89nH（线路平均感抗）

C = 15pF（典型容性负载）

$$Q \approx \frac{(L/C)^{1/2}}{R_s} = \frac{(89 \text{ nH}/15 \text{ pF})^{1/2}}{30 \Omega} = 2.6 \quad [4.5]$$

Q值高达2.6，这表明，对于一个理想的阶跃冲激源，电路将会有很严重的振铃和过冲现象，估算过冲电压最大可达到：

Vstep = 3.7V（TTL step输出）

Q = 2.6（从等式4.5得来）

$$\text{Overshoot} = V_{\text{step}} \exp \left(\frac{-\pi}{(4Q^2 - 1)^{1/2}} \right) = 3.7e^{-0.616} = 2.0 \text{ V} \quad [4.6]$$

当NEWCO模型的工作频率高于振铃频率时可能出现最大过冲，振铃频率可按照4.7式计算：

$$F_{\text{ring}} = \frac{1}{2\pi(LC)^{1/2}} = \frac{1}{2\pi[(89 \text{ nH})(15 \text{ pF})]^{1/2}} = 138 \text{ MHz} \quad [4.7]$$

NEWCO的拐点频率为250MHz（拐点频率在公式1.1中定义），远高于NEWCO模型的振铃频率，因此该电路的振铃现象非常严重。（当电路的拐点频率等于振铃频率时，振铃将减弱一半，更低的拐点频率可以使振铃更弱。

以上是频域分析的结果，如果从时域方面分析，当信号上升时间等于振铃周期的一半时，振铃可以削弱一半，上升时间更长，则振铃更弱。当上升时间远小于振铃周期的一半时，振铃最强。

NEWCO电路在138MHz产生振铃，最大过冲可达到2V，由线性电路原理可知，最大过冲发生的时间在信号阶跃沿之后1/2个振铃周期，那么我们可以推断出对于NEWCO电路，最大过冲将出现在信号跳变的3.6ns之后。

4.1.2 直连导线的EMI

我们知道，信号产生的磁场与环路面积是成正比的（FCC测试理论），对于环形线圈，其电流环路面积很大，在信号变化很快时产生瞬变磁场，从而引入严重的电磁干扰问题。

传输线则通过抑制信号电流明显降低了EMI。使用普通的导线时，从逻辑门里驱动出来的电流经过信号线之后，可能从电源线上返回，信号线和电源线之间的距离，或者说环路面积可能达到几个英寸。设计传输线的目的，就是为了保证信号电流流出和返回的路径尽量靠近，形成一个很小的闭合环路，这样信号变化所导致的磁场就小，从而能够很好的改善EMI问题。如何设计合适的地线和地平面请参考第五章。

图4.2中的PCB中，信号线在地平面上0.005in.，NEWCO采用的模型布线都在地平面以上0.2in.，其电流的环路面积比传输线大40倍，对于同样的信号上升时间，这个PCB发射出的电磁场能量将比NEWCO模型要低32dB。

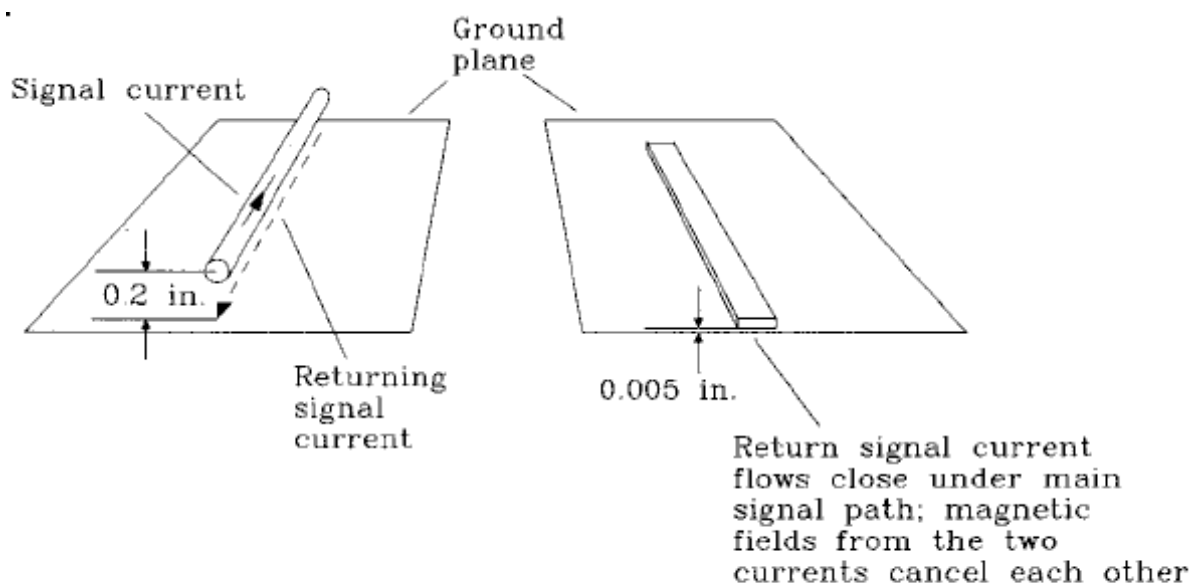
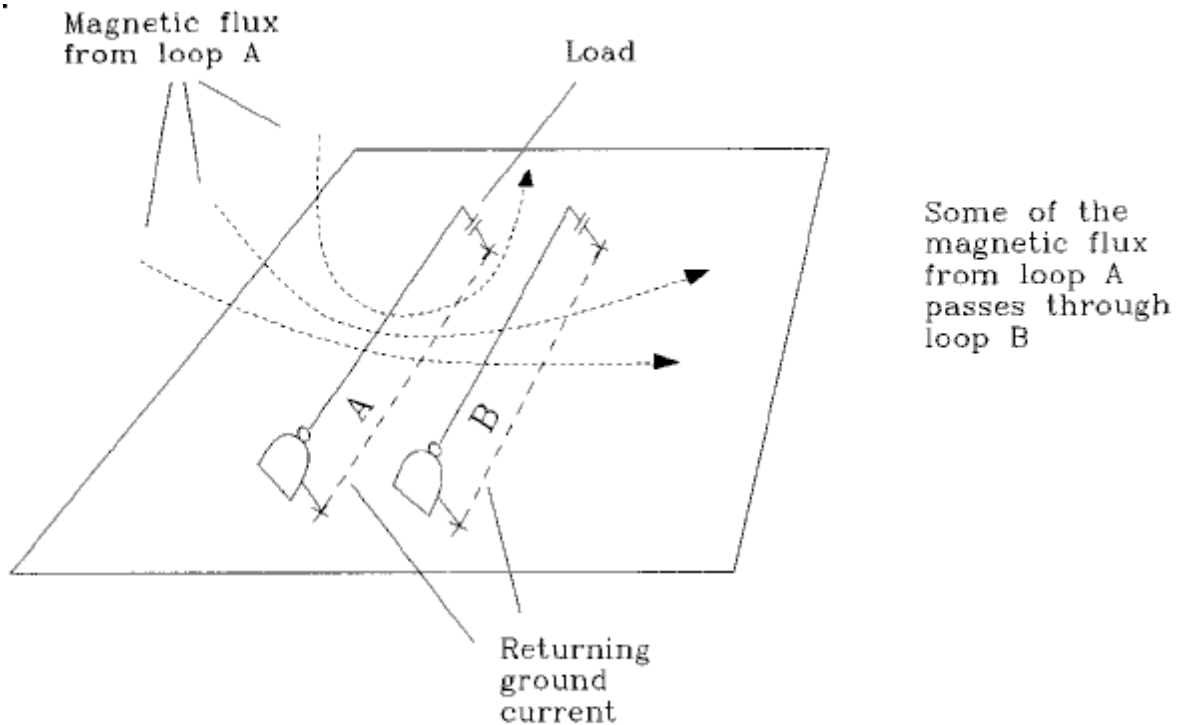


Figure 4.2 EMI is proportional to wire height above ground.

4.1.3 直连导线的串扰

如图4.3所示，串扰是由磁场变化引起的。环路A电流会产生磁力线，其中的一部分也同时穿过了环路B。这样环路A中的电流变化就会引起环绕环路B的磁通量的变化，变化的磁通量将会在环路B中引入噪声，称为串扰。A的电流和B的电压之间按照一个恒定的比例变化，即 L_M （A和B之间的互感系数）。



Loops A and B are magnetically coupled.

Changes in current in loop A induce proportional voltages in loop B.

The constant of proportionality is L_M , the mutual inductance of loops A and B.

Figure 4.3 Crosstalk in wire-wrapped system.

在高速信号系统中串扰是一个主要问题。对于NEWCO电路，假定有两个临近的平行环路，每个4in.×0.2in高，环路间距为0.1in。参考附录C中关于两条平行线的互感系数的计算公式，我们可以计算其互感。（也可以用式4.4计算传输线感抗）。

$$L_M = L \left[\frac{1}{1 + (s/h)^2} \right] = 71 \text{ nH} \quad [4.8]$$

这里， $h = 0.2$ (线到地平面的距离)；

$s = 0.1$ (线间距)；

$L = 89\text{nH}$ (单根线的感抗)；

$L_M =$ 线路互感。

该线路互感与单根线的感抗相当，也就是说，两根线会高度耦合，导致严重的串扰。

电流变化率 dI/dt 的最大值与互感值相乘即可得串扰电压。我们在前面的计算表明，信号经过负载电容的实际上升时间大约是3.6ns（也就是过冲达到最大的时间），将该值代入式2.42，得：

$$\Delta V = 3.7\text{V};$$

$$T_{10\sim90} = 3.6 \text{ ns};$$

$$C = 15 \text{ pF (容性负载)};$$

$$\frac{dI}{dt}(\text{max}) = \frac{1.52 \times \Delta V}{T_{10-90}^2} C = \frac{(1.52)(3.7)}{(3.6 \times 10^{-9})^2} 15 \times 10^{-12} = 6.5 \times 10^6 \text{ A/s} \quad [4.9]$$

可以计算出串扰为12%(0.46V):

$$\text{Crosstalk} = \frac{dI}{dt}(\text{max}) L_M = (6.5 \times 10^6) (71 \times 10^{-9}) = 0.46 \text{ V} \quad [4.10]$$

可以看到，仅仅是4in.距离的线就能产生460mV的串扰，而设计者通常可以把10到20根线捆绑成一束，每一根导线的串扰都是线性相加的，10根临近的导线串扰可以达到50%，足以引起严重的错误。

本节要点:

- 分布参数电路如果没有终端匹配会产生振铃，集中参数电路如果Q值过高，也会产生振铃。
- 直连导线有很大的分布电感，分布电感导致负载电容加重，形成高Q值电路。
- 当电流环路面积较大时，电流的迅速变化产生瞬变磁场，减小环路面积可以改善EMI。
- 直连导线尽可能靠近地平面分布，效果要比捆扎在一起好的多。

4.2 无限长传输线

我们在这里主要讨论的传输线形式有同轴线、双绞线、微带线、和带状线（见图4.4）。

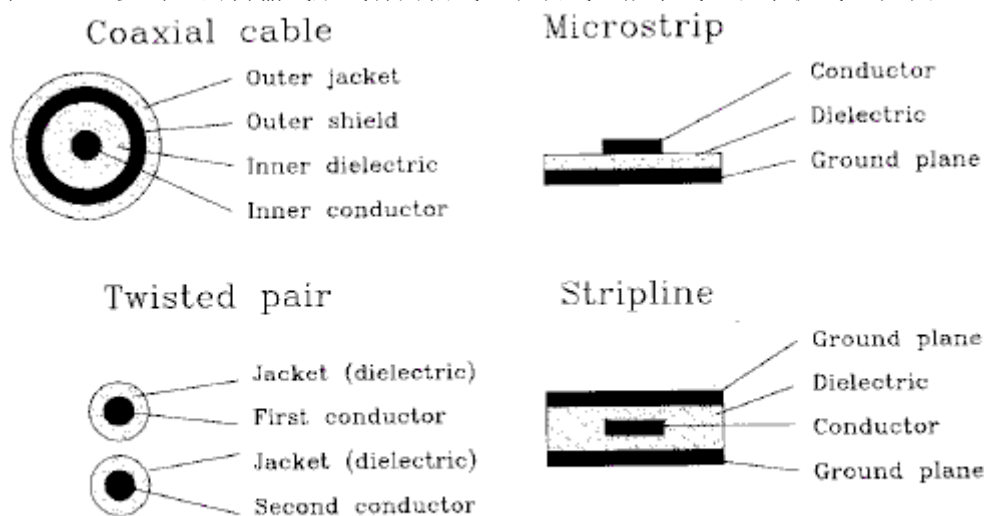


Figure 4.4 Cross sections of popular transmission line geometries.

4.2.1 理想的无失真、无损耗传输线

理想的传输线由两部分导体组成，导体的电阻为零，无限延伸并均匀分布在横截面中。图4.4中为四种常用的规格，包括平衡双绞线和做非平衡线如同轴线、微带线、带状线。在平衡传输线中，信号电流从一根电缆流出从另一根电缆流回。在非平衡传输线中，信号从单根电缆中流出从某个地线连接中流回。在非平衡传输线中地线往往比信号线粗，可能被多个信号线共用。

加在理想传输线一端的电压始终保持无失真、无衰减的传输。理想传输线具有下列三种特性：

- 无限长；
- 信号在传输中不会变形；
- 信号在传输中不会衰减。

理想传输线上每一点的电压都是输入波形延迟后的拷贝，理想传输线单位长度上的延迟称作**传输时延**，单位是picoseconds/inch(皮秒/英寸)。传输速率和发射速率都是指传输时延的倒数，单位是inches/picosecond（英寸/皮秒）。一些参考材料上将光在真空中的速率定为100%作为参考标准，用百分数来表示发射速率。光在真空中的速率为0.0118in./ps，即延迟为84.7ps/in。那么66%的相对速率将会带来更大的延时：

$$\text{Delay (ps/in.)} = \frac{84.7 \text{ ps/in.}}{\text{percent velocity}} = \frac{84.7}{0.66} = 128 \text{ ps/in.} \quad [4.11]$$

传输线上的时延与单位长度上分布的级联电感和并联电容有关，一段导线上总是会有一些寄生的级联电感（导体都这样），临近的导体之间也有共生的电容。在传输线中，这些参数与导线的长度成比例，它们是否有良好的匹配对信号的无失真传输有很大影响。

我们来测量一下RG-58/U同轴电缆的电容和电感，见图4.5。先剪下一段长10英寸的RG-58/U同轴线，用高性能的阻抗仪表测试其电容，测量值为26pF，也就是2.6pF/in。

接下来将同样10英寸的一段电缆一端短路，在另一端测量其电感，测量结果是64nH，亦即6.4nH/in。

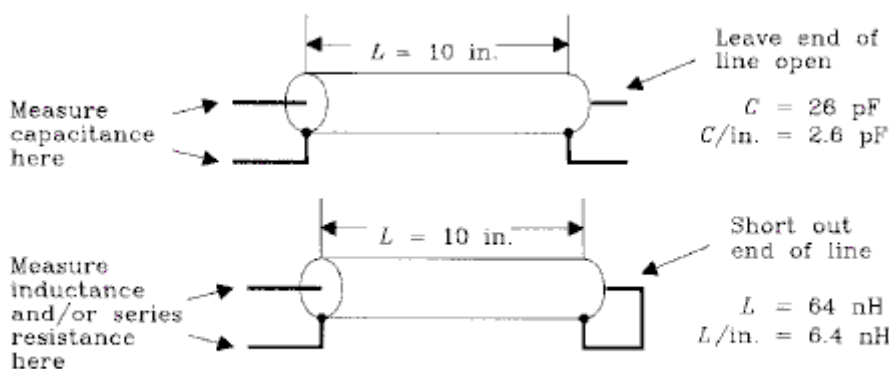


Figure 4.5 Measurement pertaining to inductance and capacitance of transmission lines.

我们可以用高灵敏度欧姆表测得这个同轴电缆的中心导线（芯线）有一个级联的 0.009Ω 的电阻，或是说 $0.9\text{m}\Omega/\text{in}$ 。虽然理想的传输线应该具有零欧姆的电阻，但对于我们的用途来说，10英寸的RG-58/U电缆已经可以作为一个理想的传输线使用了。

由电磁场理论我们可以知道，传输时延等于：

$$\text{Delay (ps/in.)} = 10^{+12} [(L/\text{in.})(C/\text{in.})]^{1/2} \quad [4.12]$$

如果按单位（比如英寸）来定义电感和电容，这样它们的乘积的平方根就等于单位距离引起的时延（以秒作单位）。公式4.12按照ps/in.计算出这个延迟，对印制电路板的工作是十分方便的。

给出单位长度的电容和传输时延，我们就可以求出传输线的输入阻抗。我们可以加一个阶跃电压在这根导线的一端，然后测量到底需要多大的电流才能保证波形的均衡传输。

假设，一个阶跃电压V在导线中传输，图4.6演示了这个电压随时间变化分别在电缆的始端、点X和点Y处的波形。在时间 t_0 时阶跃电压经过点X，过了T秒以后，经过点Y。在T时间内X和Y之间的电容充电，电压为V。

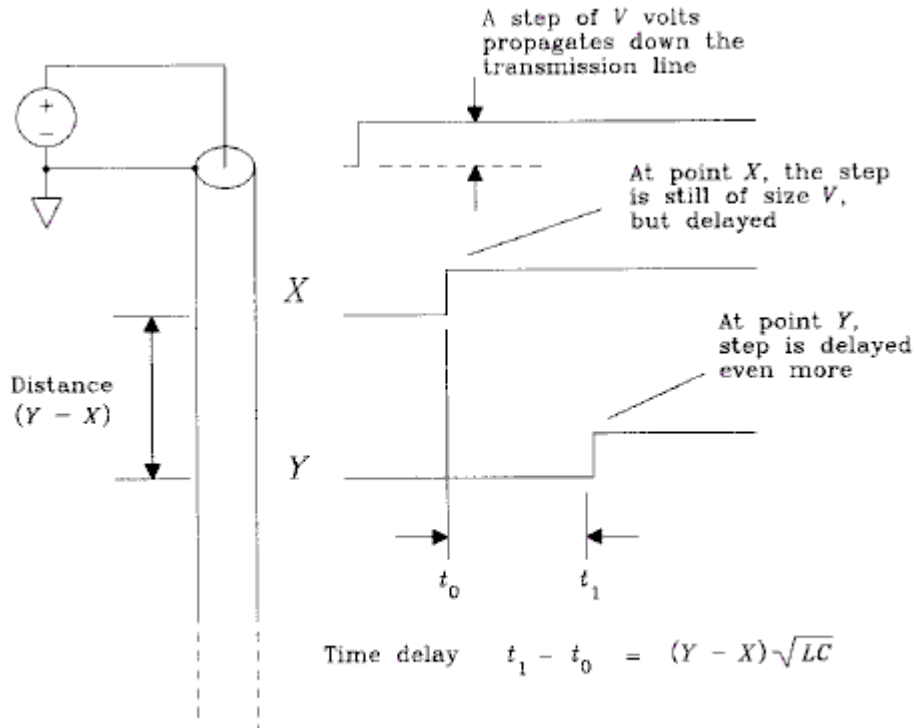


Figure 4.6 Voltage step input to an ideal transmission line.

将 X 和 Y 之间的电容充电到 V 需要多大电流呢？首先，计算电容 C 值：

$$C_{XY} = (C/\text{in.})(Y - X) \quad [4.13]$$

则必须由输入源提供的总电量等于：

$$\text{Charge} = C_{XY}V = (C/\text{in.})(Y - X)V \quad [4.14]$$

将电容 C_{XY} 充电所需的时间（秒）等于两点之间的距离倍乘传输时延（秒）：

$$T = (Y - X)[(L/\text{in.})(C/\text{in.})]^{1/2} \quad [4.15]$$

电流平均值等于输入源单位时间内提供的电量：

$$I = \frac{\text{charge}}{T} \quad [4.16]$$

将公式4.14和4.15分别代入上面的charge和 T ，可以得到信号传输电流：

$$I = \frac{(C/\text{in.})(Y - X)V}{(Y - X)[(L/\text{in.})(C/\text{in.})]^{1/2}} \quad [4.17]$$

化简 V/I ，如式4.18， Z_0 为传输线的输入阻抗，或者叫做特征阻抗。

$$Z_0 = \frac{V}{I} = \left(\frac{L/\text{in.}}{C/\text{in.}} \right)^{1/2} \quad [4.18]$$

可以看到特征阻抗是一个常数，与频率无关，阻抗的范围一般为 10Ω （电缆的内部到外层之间）到 300Ω （电视天线所用的一种平衡结构）

RG-58/U电缆的特征阻抗等于：

$$Z_0 = \left(\frac{6.4 \text{ nH}}{2.6 \text{ pF}} \right)^{1/2} = 50 \Omega \quad [4.19]$$

也就是Belden Wire and Cable Master Catalog 885中列出的RG-58/U的特征阻抗。

印制电路板上的走线特征阻抗范围一般从50欧姆到75欧姆。图4.7表示了用FR-4材料作基板时，要使设计满足这些阻抗所需要的粗略走线尺寸。附录C有计算特征阻抗的精确的公式，标记 Z_0 为理想传输线的特征阻抗。

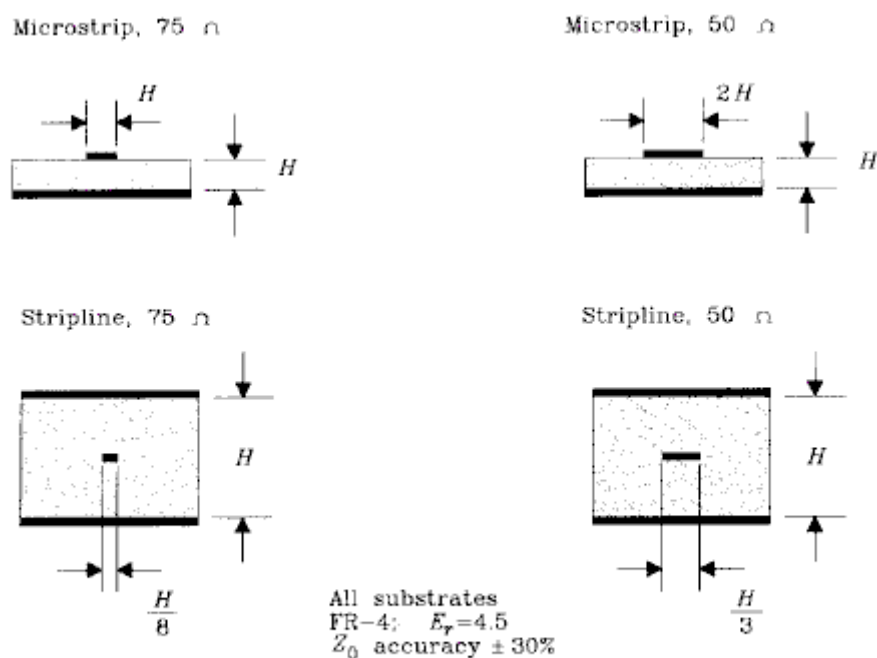


Figure 4.7 Cross sections of approximate trace geometries needed to produce 50- and 75- Ω transmission lines.

假设某输出电路的输出阻抗固定为 R_s ，用该电路输出一个单元阶跃信号到理想传输线中，如图4.8。该图也显示了同样的信号输出到电阻中和电容中的情况。

负载电阻 R_L 仅仅起分压作用，对特定的驱动电压，在A点的分压是一个固定的值。如果负载的阻抗超过驱动的阻抗，那么在A点将会分得大部分的驱动电压。

理想传输线具有输入阻抗，可以看作是一个负载电阻。B点的电压实际上是驱动电压当中没有被传输线分掉的电压，方程4.20称做传输线的输入接受方程。

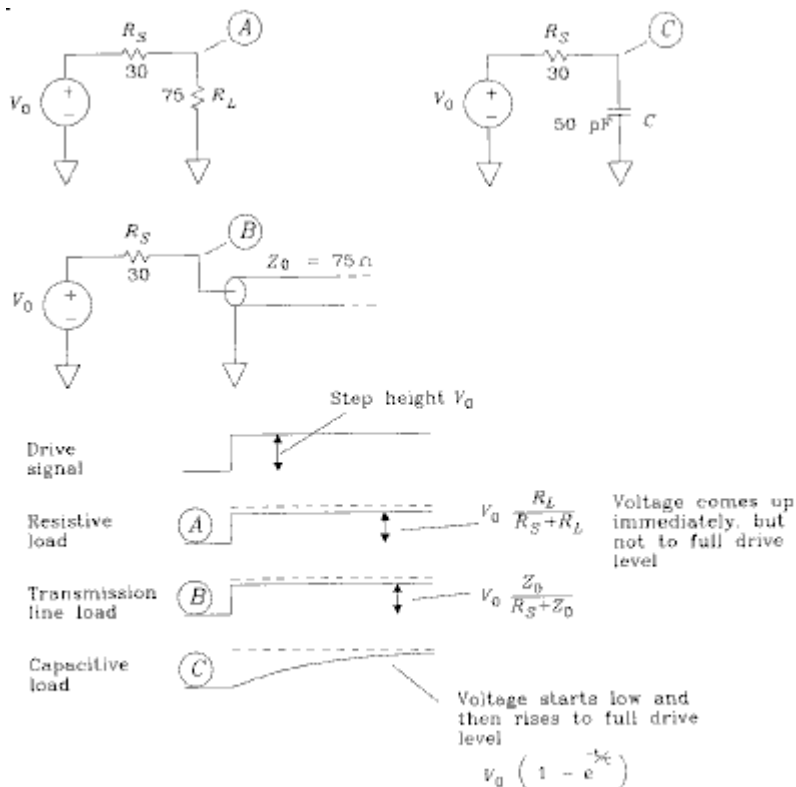


Figure 4.8 How an ideal transmission line differs from a capacitor.

$$V_{\text{accepted}} = V_0 \frac{Z_0}{R_S + Z_0} \quad [4.20]$$

理想传输线与电容不同。电容的阻抗在初始时的一小段时间很低，使输入信号衰减。随着时间推移，流经电阻 R_S 的电流对电容充电，在C点的输出电压也逐渐升高最终等于驱动电压。

现在我们先讨论理想传输线，由图可见其特性表现为阻性，而不是容性。

4.2.2 有损耗的传输线

理想的传输线是零电阻的。但实际上导线总是会有一些小的串联电阻，这些电阻会导致传输信号的衰减和失真。这一节我们来讨论如何计算传输线的电阻和它所引起的衰减。

对于长的电缆来说，串联电阻用ohms/1000feet来度量。当使用双绞线时，这个电阻包括出线的电阻和返回导线上的电阻。对于同轴线来说，其电阻包括芯线的电阻和外屏蔽层的电阻。为了准确的计算信号衰减量，内部导体和外部屏蔽层的电阻都必须计算在内，因为两者都有电流流过。

以下是八条计算圆形铜线的电阻的规则：

- (1) 直径0.02英寸的24号线(AWG 24)，在室温下每1000英尺电阻为25Ω。
- (2) AWG 24号双绞线在室温下每1000英尺电阻为50Ω（每根都有1000英尺）
- (3) 使用 AWG 20号芯线的RG-58/U同轴线在室温下每1000英尺电阻为 10.8Ω。
- (4) AWG系统使用对数的方法来度量线缆的直径，AWG号越大，电缆直径越小。
- (5) AMG每增加三个点，线缆电阻增加一倍。
- (6) AMG每增加三个点，线缆等效截面面积减小一倍。
- (7) 直径正比于截面面积的平方根，AMG每增加六个点，直径减小一倍。

(8) 温度每升高1摄氏度，铜线的电阻增加0.39%，超过70℃的温度变化范围可以导致电阻变化31%。

以下是AWG和英寸的换算公式：

$$AWG = (-10) - 20\log_{10} (\text{diameter in inches}) \quad [4.21]$$

$$\text{Diameter in inches} = 10^{-(AWG+10)/20} \quad [4.22]$$

$$R \text{ per } 1000 \text{ ft} = \frac{0.01 \Omega}{(\text{diameter})^2} \quad (25^\circ\text{C}) \quad [4.23]$$

$$R \text{ per } 1000 \text{ ft} = 10^{(AWG-10)/10} \quad (25^\circ\text{C}) \quad [4.24]$$

印制电路板上走线的电阻是铜线厚度和走线宽度的函数。布线的厚度和镀层的重量有关，例如1或2英两镀层分别对应0.00135或0.0027英寸厚度。每英寸走线的电阻可以由走线的厚度和宽度计算得到：

$$R = \frac{0.65866 \times 10^{-6}}{WT} \Omega / \text{in.} \quad [4.25]$$

其中 R= 导线的串联电阻，单位是Ω/in.；

W= 导线的宽度，单位是in.；

T= 导线的厚度，单位是in.。

如果铜镀层的重量是已知的，可以利用下式：

$$R = \frac{0.000487}{(W)(\text{oz})} \Omega / \text{in.} \quad [4.26]$$

其中 R= 导线的串联电阻，单位是Ω/in.；

W= 导线的宽度，单位是in.；

T= 导线的厚度，单位是in.。

传输线的串联电阻使线上传输的信号衰减和变形，在距离信号传输起点X处的信号衰减，相移和频率的关系如式4.27所示，该式仅适用于无限长的传输线，其他类型的传输线不符合该式，我们将在4.3节讨论。

$$H_X(\omega) = e^{-X[(R+j\omega L)(G+j\omega C)]^{1/2}} \quad [4.27]$$

这里，R= 导线的串联电阻，单位是Ω/in.；

L= 导线的串联电感，单位是H/in.；

C= 导线的并联电容，单位是F/in.；

G= 导线的并联电导，单位是mhos/in.；

$H(\omega)$ = 频率为 $\omega=2\pi f$ 时传输线的幅度响应和相位响应；

X= 电缆长度，单位是in.。

参数G在绝大多数数字系统中都等于零。它用来表征电流的泄漏，因为在一个长的信号导线中会有些潮湿或是不完全绝缘的情况。

1GHz以下的印制电路板、带状电缆或室内的同轴电缆的G都可以认为等于零。

G假设为0代入公式4.27进行化简：

$$H_X(w) = e^{-X[(R+jwL)(jwC)]^{1/2}} \quad [4.28]$$

将公式4.28分解为实数部分和虚数部分，则实数部分决定了幅度的衰减，虚数部分则决定了相位的变化：

$$H_X(w) = e^{-X \operatorname{Re}[(R+jwL)(jwC)]^{1/2}} e^{-Xj \operatorname{Im}[(R+jwL)(jwC)]^{1/2}} \quad [4.29]$$

$$\text{Attenuation at frequency } w = e^{-X \operatorname{Re}[(R+jwL)(jwC)]^{1/2}} \quad [4.30]$$

$$\text{Phase shift at frequency } w = e^{-Xj \operatorname{Im}[(R+jwL)(jwC)]^{1/2}} \quad [4.31]$$

$-\operatorname{Re}[(R+j\omega L)(j\omega C)]^{1/2}$ ，即单位长度上的信号幅度取对数，和传输线衰减的分贝数是成比例的。

$-\operatorname{Im}[(R+j\omega L)(j\omega C)]^{1/2}$ ，是单位长度传输线上的相移（以弧度为单位）。衰减和相移合起来构成了传输线的传输系数。

串联电阻使传输线的特征阻抗发生变化，参见式4.32，传输线的特征阻抗可描述为频率的函数：

$$Z_0(w) = \left(\frac{R+jwL}{jwC} \right)^{1/2} \quad [4.32]$$

特征阻抗是频率的函数。当频率足够低，使 ωL 小于 R 时，公式4.32所给出的特征阻抗与频率的平方根成反比。当频率较高使 ωL 大于 R 时，特征阻抗逐渐趋向于一个常数。实际传输线总是跑不出这两种模式。根据频率的不同，一根传输线可以表现为一个阻—容线（低频率时）或是一个低损耗传输线（高频率时）。

$$\begin{aligned} &RC \text{ case:} \\ &w \ll R/L \quad (\text{also } R \gg wL) \end{aligned} \quad [4.33]$$

$$\begin{aligned} &\text{Low-loss case:} \\ &w \gg R/L \quad (\text{also } R \ll wL) \end{aligned} \quad [4.34]$$

我们先讨论低损耗的传输线，它代表了高速数字信号设计的一些基本特性。

4.2.2.1 低损耗的传输线

当角频率 ω 高于 R/L 时，传输系数 $[(R+j\omega L)(j\omega C)]^{1/2}$ 的相位角接近 $+\pi/2$ 。此时，虚数部分实际上等于 $\omega(LC)^{1/2}$ ，实数部分为 $1/2[R(C/L)^{1/2}]$ 。

图4.9为RG-58/U同轴电缆的传输系数相对于频率的实数和虚数部分示意图。频率低于 R/L 时，实数部分（衰减的对数）和虚数部分（相位的弧度）都和 $\omega^{1/2}$ 成比例。频率高于 R/L 时，虚数部分（即相位）仍旧随频率的升高直线增长，而实数部分基本保持不变。

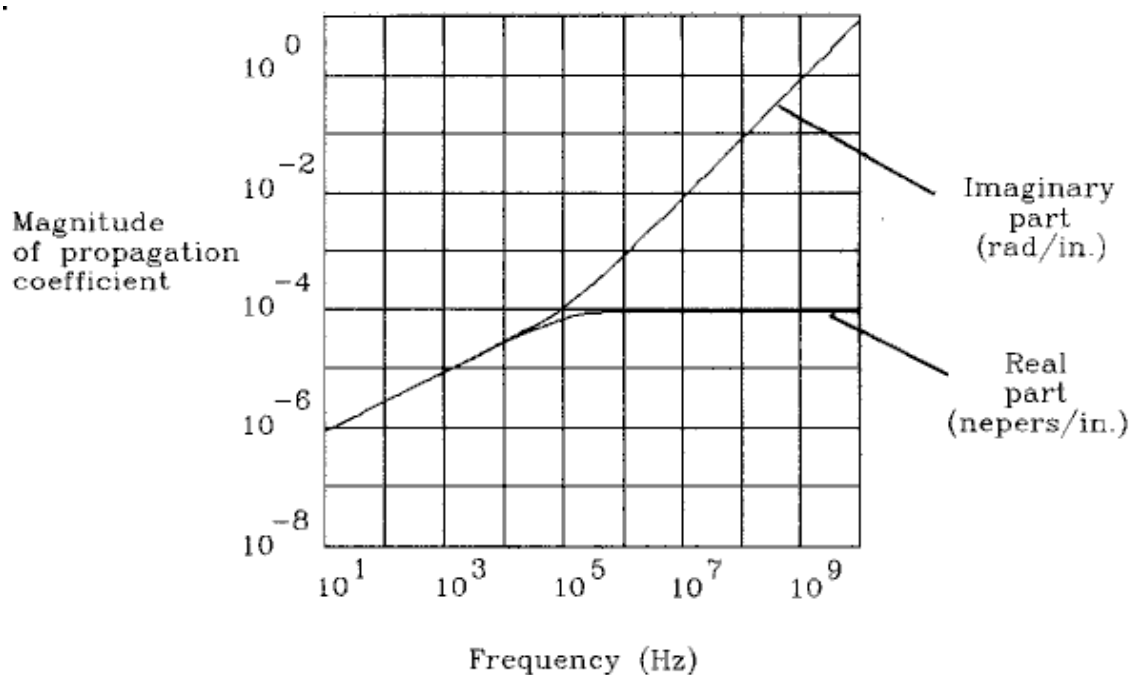


Figure 4.9 Propagation of a cable with fixed series resistance (no skin effect).

在频率高于 R/L 时相位线性变化而衰减不变，该特性意味着此时传输线仅仅是一个简单的时延元件。其延时正比于传输的距离。距离增加一倍则延时也会增加一倍。

这个时延器件的增益总是低于1的（是一个损耗电路）。其损耗（用分贝计算）正比于传输距离。传输距离增加一倍则dB数也会增加一倍。一个neper（奈培）等于8.69dB的衰减。

当频率高于 R/L 时，特征阻抗等同于一个常数 $(L/C)^{1/2}$ ，是一个实数，此时传输线就像一个普通的电阻。

低损耗传输线模型的特性如下：

$$\text{Characteristic impedance, } Z_0 = (L/C)^{1/2} \quad [4.35]$$

$$\text{Attenuation at } X \text{ inches} = e^{-\left[\frac{RX}{2(L/C)^{1/2}} \right]} \quad [4.36]$$

$$\text{Loss per inch} = 4.34 \left[\frac{R}{(L/C)^{1/2}} \right] \text{ dB} \quad [4.37]$$

$$\text{Delay per inch, } T_p = (LC)^{1/2} \text{ (s/in.)} \quad [4.38]$$

从上面几个公式可以推出：

$$L = Z_0 T_p \quad [4.39]$$

$$C = \frac{T_p}{Z_0} \quad [4.40]$$

其中 L = 感抗, 单位H/in.;

C = 容抗, 单位 F/in. ;

T_p = 时延, 单位 s/in. ;

Z_0 = 特性阻抗, 单位 Ω 。

一般的数字逻辑门能忍受的信号损失是非常小的, 接收信号上的任何微小的变化都可能造成很大的噪声余量。为此, 单板数字信号网络的衰减总是设计的非常低。低衰减意味着低电阻。利用公式4.42可计算电阻的门限值。

设公式4.37中的衰减为0.2dB:

$$(X) 4.34 \left[\frac{R}{(L/C)^{1/2}} \right] = 0.2 \quad [4.41]$$

其中 X = 传输线长度, 单位 in. ;

R = 传输线阻抗, 单位 Ω /in.;

L = 传输线感抗, 单位 H/in.;

C = 传输线容抗, 单位 F/in.。

整理得式4.42, 该式表明, 为了降低衰减, 引线电阻必须远远小于传输线的特征阻抗。

$$RX = 0.046(L/C)^{1/2} \quad [4.42]$$

其中 RX = 整条线的阻抗, 单位 Ω ;

L = 传输线感抗, 单位 H/in.;

C = 传输线容抗, 单位 F/in.。

在这里我们假设信号衰减不超过0.2 dB, 也就是说信号衰减小于2%。注意以上公式仅仅适用于无限长传输线。

4.2.2.2 RC传输线

当频率低于 R/L 时, 信号衰减变小, 与此同时, 相位与频率的平方根成比例, 而不是象在低损耗情况下与对数频率成线性。这种频率的非线性引入了信号的失真, 因为从频域来看, 信号的不同部分变化不同。式4.32也表明特征阻抗在频率低于 R/L 时有明显的上升。

工作在这个区域的传输线叫做RC 传输线。描述这种传输线使用偏微分方程(称做扩散方程)。

EXAMPLE 4.1: RC 传输线

我们通常在家里使用的电话线是AWG 24线。这种双绞线特性如下:

$$Z_0(w) = \left(\frac{R + jwL}{jwC} \right)^{1/2} = |648| \angle -45^\circ \quad [4.43]$$

这里, $R=0.0042\Omega$ /in.;

$L=10\text{nH}$ /in.;

$C=1\text{pF}$ /in.;

$\omega=10000\text{rad/s}$ (1600Hz) 语音信号的频率。

(1600Hz为电话线上音频的中间频率, 在这个频率下, 电话线特征阻抗为648 Ω , 相位角为-45度。你能分析出为什么电话局使用600欧姆的终端匹配吗?)

集成多晶硅或其他高阻材料的超大规模集成电路的长线(0.2英寸也算长线)表现为Rc传输线。工作在低频段的超长电缆, 比如海底电话电缆, 也同样表现为RC传输线。

如果希望降低传输线的衰减，必须限制该传输线上的信号频段低于 R/L （拐点频率低于 R/L 如1.1式所示），也就是说，应当限制传输线工作在RC区域。

在典型的短距离传输的应用中，数字信号升时间很短，拐点频率可能刚好高于 R/L ，电路工作在低损耗区域。

4.2.3 趋肤效应

我们提到电气参数如传输线的串联电阻等的时候，必须注意在这个参数有效的信号频段，图4.10为RG-58/U电缆的电阻-频率函数（使用log-log表示），该图同时也示明了感抗 ωL -频率函数。

信号频率低于 $\omega=R/L$ 时，阻抗超过感抗，线缆表现为RC传输线（容性阻抗随频率而变化，非线性相移），信号频率高于 $\omega=R/L$ 时，线缆表现为低损耗传输线（容性阻抗为常数，线性相移）。当信号频率超过0.1MHz时串联电阻开始增加，导致信号的衰减，但相移是线性的。这种串联电阻增加的现象称为趋肤效应。

传输系数 $[(R+j\omega L)(j\omega C)]^{1/2}$ 的实数和虚数部分（实数单位为奈培，虚数部分为弧度）如图4.11所示，一个奈培等于8.69个dB的损耗。图4.11表明了RC工作区域，低损耗工作区域和趋肤工作区域的衰减和相移情况。可以看到，与RC区域和趋肤区域相比低损耗区域是非常窄的。

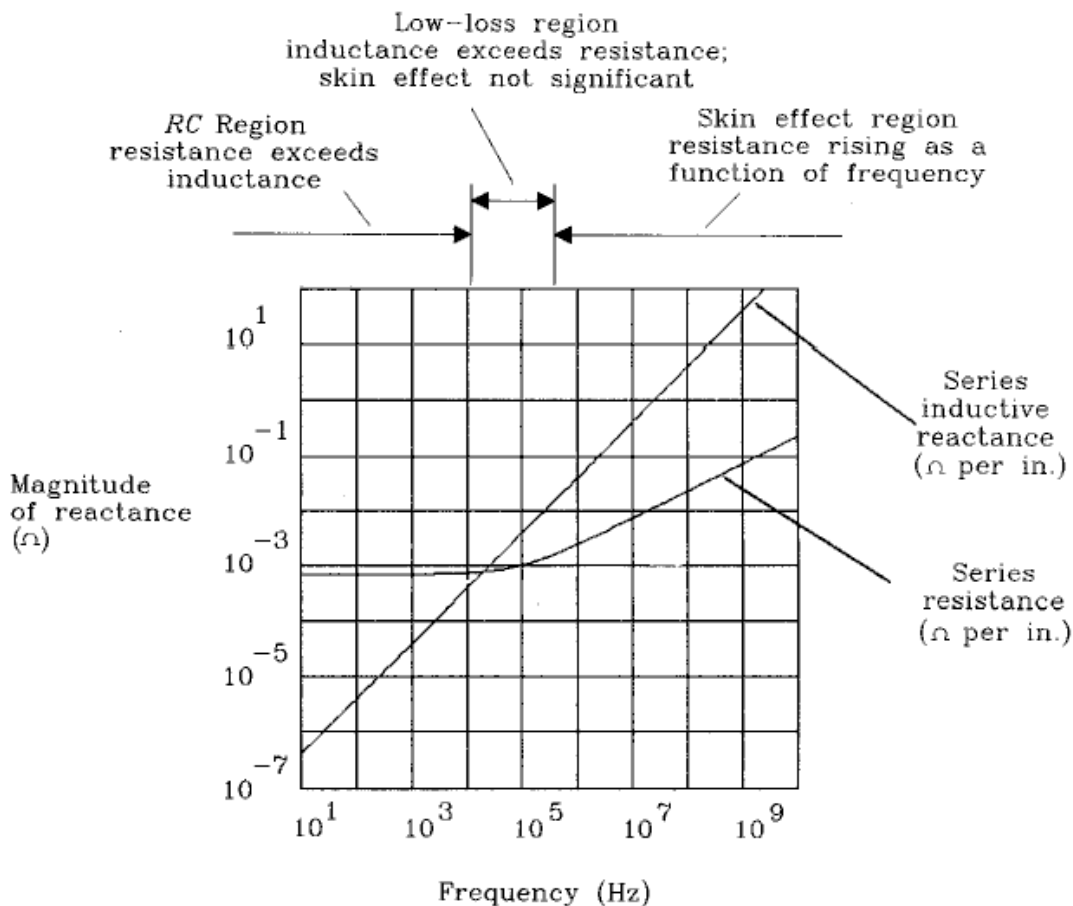


Figure 4.10 Series resistance and series inductive reactance of RG-58/U coax versus frequency.

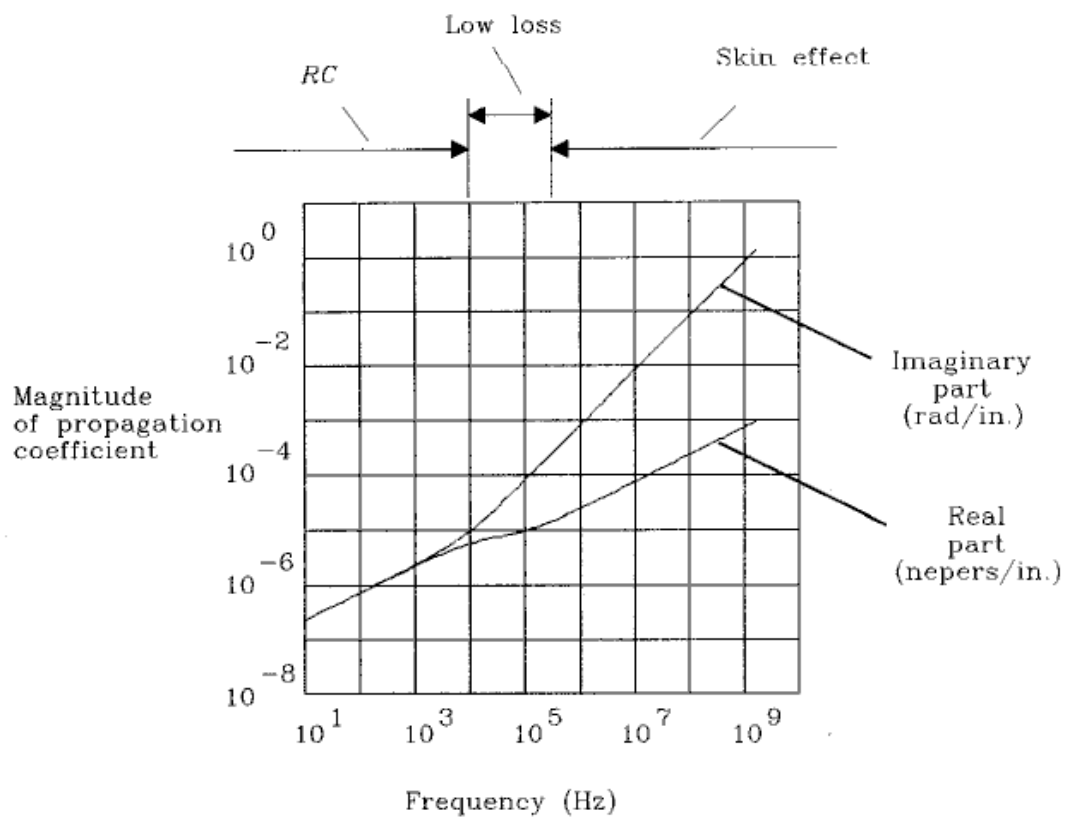


Figure 4.11 Propagation coefficient of RG-58/U includes skin effect.

下面我们来讨论趋肤效应的产生原因及影响。

4.2.3.1 趋肤效应的空间分布

导体工作在低频时，其中的电流分布是均匀的，也就是说，电流在导体的中间和表层是相等的。工作在高频时，导体中的电流大部分分布在表面，在中间几乎没有电流通过，如图4.12所示。

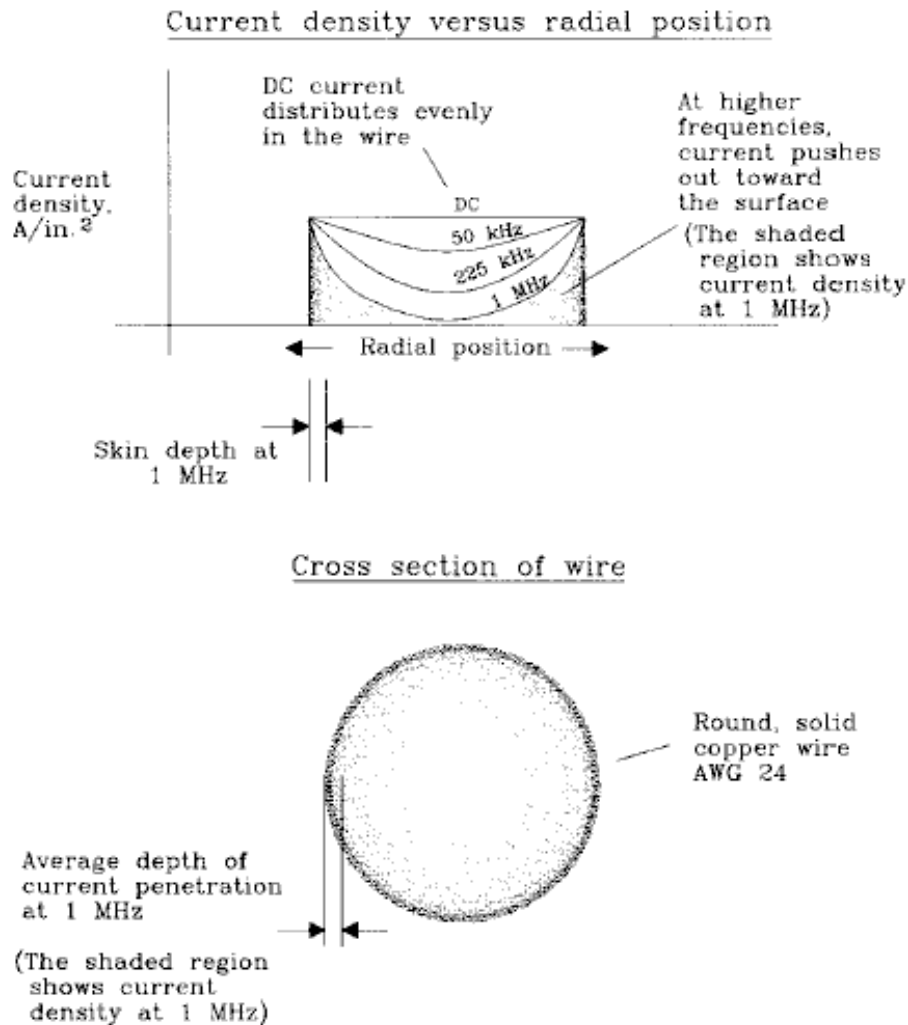


Figure 4.12 Distribution of current in a round wire.

为证明电流在高频下的分布状况，我们假设把导线纵向切成很多同轴的小管，就象树木的年轮一样。就每个“年轮”的感抗而言，较细的内层管的感抗大于较粗的外层管，而我们知道高频信号的电流会走感抗最小的通路，因此高频电流更可能走外层管，但与此同时，管之间的互感会导致电流有轻微的倾向走内层管。在高频时，电流传播的导体层的平均深度，称为“趋肤深度”，是很浅的，电流在导体内按照趋肤效应的规律分布，从外层到内层按照指数规律降低，平均的趋肤深度是频率 ω （单位弧度/秒），磁场渗透参数 μ 以及导体电阻系数 ρ 的函数。

$$\text{Skin depth} = \left(\frac{2\rho}{\omega\mu} \right)^{1/2} \quad [4.44]$$

导体中大部分电流都走靠近表层的管，很容易使人联想到导体的电阻会增加，增量是趋肤深度的函数，导体的电阻与趋肤深度成反比，方程4.44表明趋肤深度是与频率的方根成反比的，那么导体的交流电阻就与频率的方根成正比。

趋肤深度是与材料有关的参数，图4.13为铜线的趋肤深度和频率的坐标图，也给出了AWG24线缆的电阻与频率的关系图。当频率足够低，趋肤深度可以与线缆直径相比较时，线缆的电阻仅表现为直流电阻，而在趋肤深度远小于线缆直径时，单位长度的电阻与频率的方根成正比，

如式4.45所示。

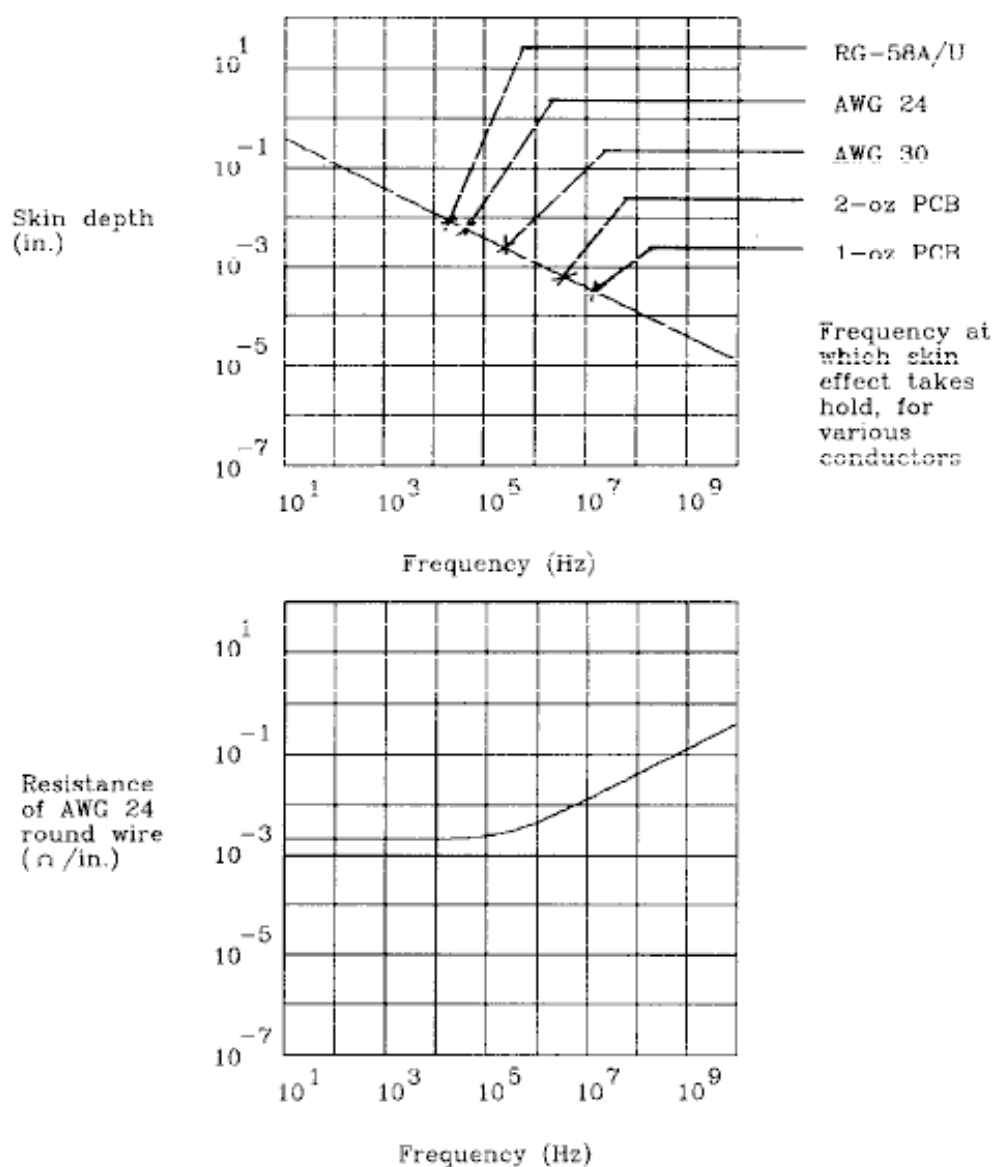


Figure 4.13 Skin effect in copper versus frequency.

$$R_{AC}(f) = \frac{(2.61 \times 10^{-7})(f\rho_r)^{1/2}}{\pi D} \quad [4.45]$$

这里，D= 导体直径，单位in.；

R_{AC} = 交流电阻，单位是欧姆/in.；

ρ_r = 相关电阻系数，比如铜的系数为1.00；

f = 频率，单位Hz。

可以发现低频时的交流电阻呈为0。

方程4.46将直流电阻也考虑在内，可以看出这个方程是无解的，因此只能用来作为估计。

$$R(f) = \left\{ (R_{DC})^2 + [R_{AC}(f)]^2 \right\}^{1/2} \quad [4.46]$$

由4.46可见，在低频时，电阻表现为常数，高频时电阻与频率方根成正比。电阻开始增长的频率值点就是趋肤深度变得小于线缆直径的值点，对于圆形导体来说，这个临界的趋肤深度为导线直径，对于扁平的印制板线路来说，临界的趋肤深度为线路厚度的一半。

表4.1列出了不同的导体出现趋肤效应的频率值点。

TABLE 4.1 SKIN-EFFECT FREQUENCIES FOR CONDUCTORS

Round conductors	Radius	Skin-effect frequency (KHz)
RG-58/U	0.017	21
AWG 24	0.010	65
AWG 30	0.005	260
Printed circuit trace	Copper weight (oz)	Skin-effect frequency (MHz)
0.010 width	2	3.5
0.005 width	2	3.5
0.010 width	1	14.0
0.005 width	1	14.0

趋肤效应是一个表层现象，因此增加表层面积对性能是有所助益的。绞合（Litz）线就是这样的原理，绞合线是由多股绝缘的线绞合而成的，这样使得每股线暴露在同样的磁场下，电流会从每股线均匀流过，大的表面积降低了趋肤效应。

4.2.3.2 趋肤效应区域的频率响应

将方程4.46代入方程4.28，可以计算出在趋肤效应区域内，传输线的衰减和相移情况。

传输损耗（单位为分贝）与传输线电阻成正比例（方程4.37），而传输线电阻又与频率的方根成正比例，因此衰减（单位为分贝）与频率的方根成正比例，如图4.14所示为RG-174/U的衰减-频

率曲线。

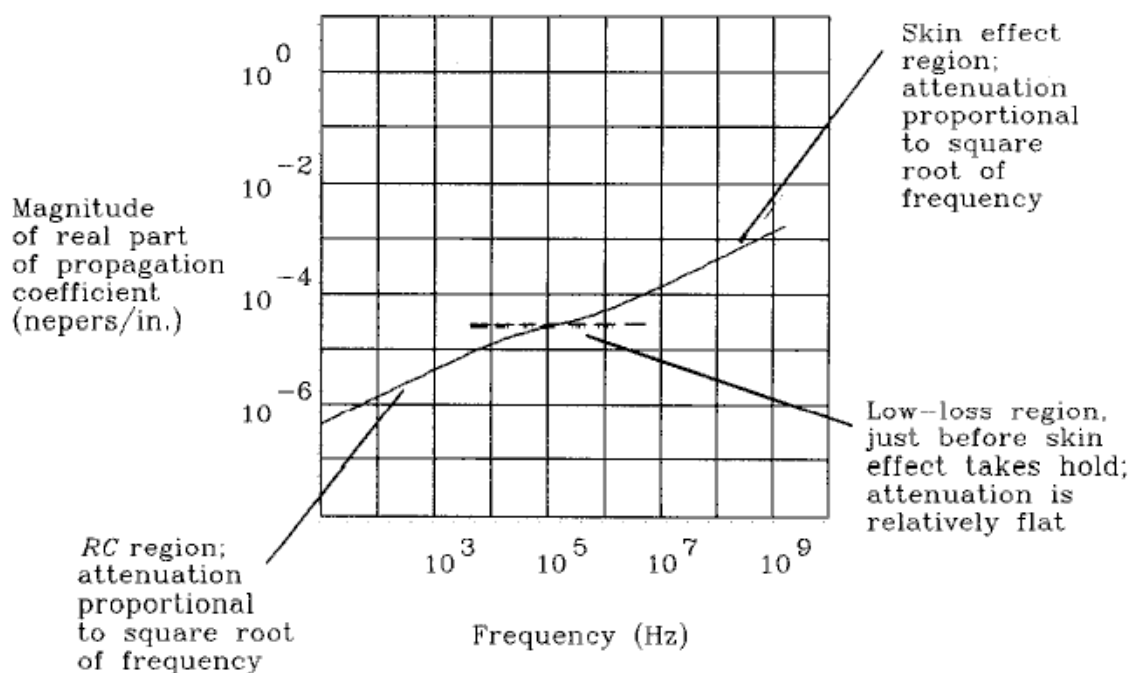


Figure 4.14 Attenuation coefficient of RG-174/U showing skin effect.

现有的传输线理论通常集中在如图4.14所示的中心区域（介于RC区域和趋肤效应区域之间），线缆在这些区域的衰减-频率曲线比较平缓，没有相位变形，特性阻抗也保持平滑，线缆可看做理想传输线，但实际上这样的理想区域是很窄的。

在趋肤效应区域内，线长减小一半，则频率响应结果要倍4，这是因为衰减与频率的方根成正比，与长度成正比，长度减半时，衰减也随之减半，如果我们把频率提高4倍，则信号又会恢复原形。

长距离传输系统通常使用特殊的收发器，该收发器具有比普通TTL电平更大的电压范围，可以容忍0.2dB以上的损耗。我们可以用式4.30来计算在拐点频率信号的损耗（R要加上趋肤效应电阻）。如果在拐点频率能限制损耗在0.5dB以下，那么信号的上升沿可以保证95%以上的振幅。适用于长距离传输的另外一个方法，是将数据编码成0, 1个数相等的码流（扰码），并通过交流耦合的方式收发，交流耦合可以消除直流的偏压，这种方法可以容忍3dB或更大的衰减。

图4.15显示了信号在长距离传输时的一种最坏情况，在A点，发送器开始发送一长串“1”，在B点，线路的有限频率响应使信号形成坡度，并到达最大点，在C点，小的信号脉冲到来，小信号脉冲的有效频率是 $F_{CLK}/2$ ，而长信号脉冲的有效频率是 $F_{CLK}/4N$ ，如果线路频率响应在 $F_{CLK}/2$ 的振幅为在 $F_{CLK}/4N$ 振幅的一半，那么C点的脉冲根本无法过0，接收器也就无法正确接收它。

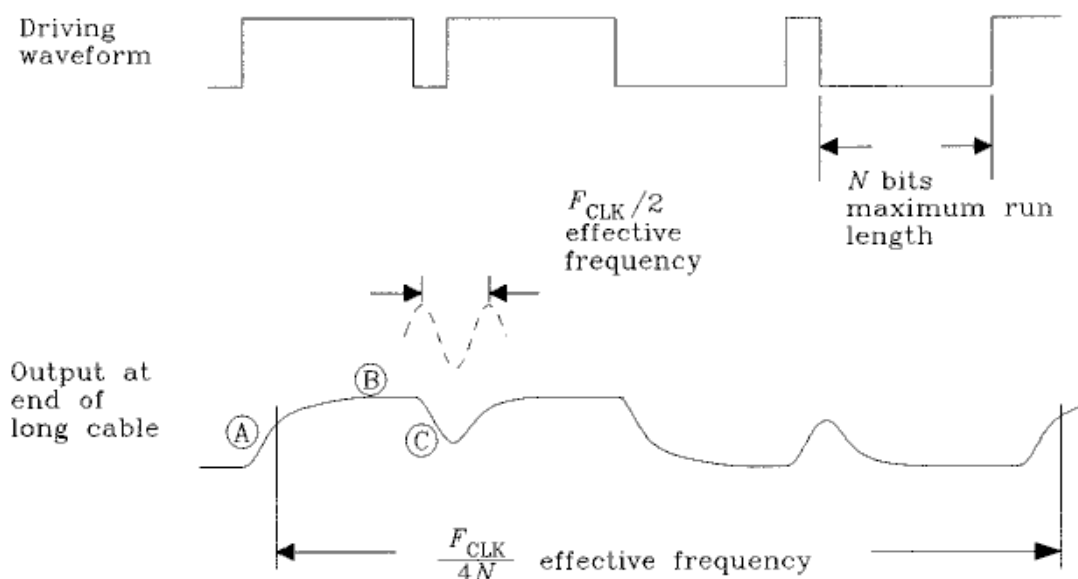


Figure 4.15 Worst-case data pattern for run-length limited code.

因此尽量缩短线路长度，以满足式4.47才能保证信号的正确传输。（证明该式需要模拟电路的理论，不在此列举）。

$$\frac{|H(2\pi F_{CLK}/2)|}{|H(2\pi F_{CLK}/4N)|} > 0.7 \quad [4.47]$$

4.2.3.3 趋肤效应区域的传输线阻抗

一旦超过临界频率 R/L ， ωL 随着 ω 的增长而线性增长，而 $R(\omega)$ 由于趋肤效应的影响，与 ω 的方根成正比，与 ωL 相比 $R(\omega)$ 是非常小的，因此方程4.32计算出的输出阻抗保持在 $(L/C)^{1/2}$ ，而传输线的输入阻抗不会受趋肤效应影响。

4.2.4 补偿效应

补偿效应是一种物理现象，它导致相邻线路方向相反的电流相互靠近，这种现象是由于磁场的变化引起的，仅仅影响高频电流，直流电的磁场稳定，因此不会出现补偿效应。

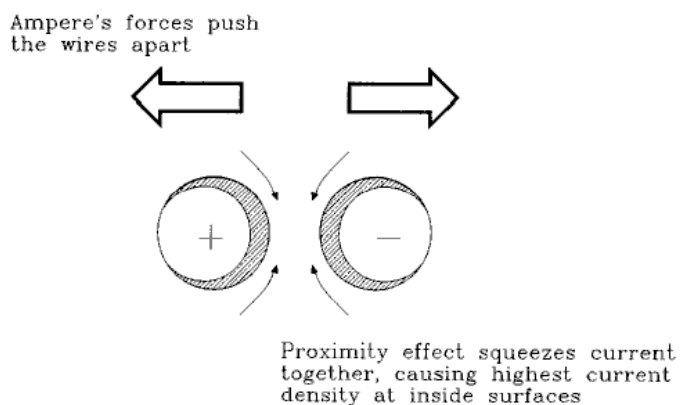


Figure 4.16 Proximity effect on two round wires carrying opposite high-frequency currents.

补偿效应象趋肤效应一样改变电流的密度，表现在阻抗上就是对高频段的阻抗影响很大，但不同于趋肤效应，补偿效应并非随频率升高而加剧，在频率较低时补偿效应可以达到平衡。

如方程4.45所示，补偿效应必须与线路的交流趋肤电阻相乘。补偿效应达到平衡时的数量级由线距对线直径的比率决定，如图4.17所示。

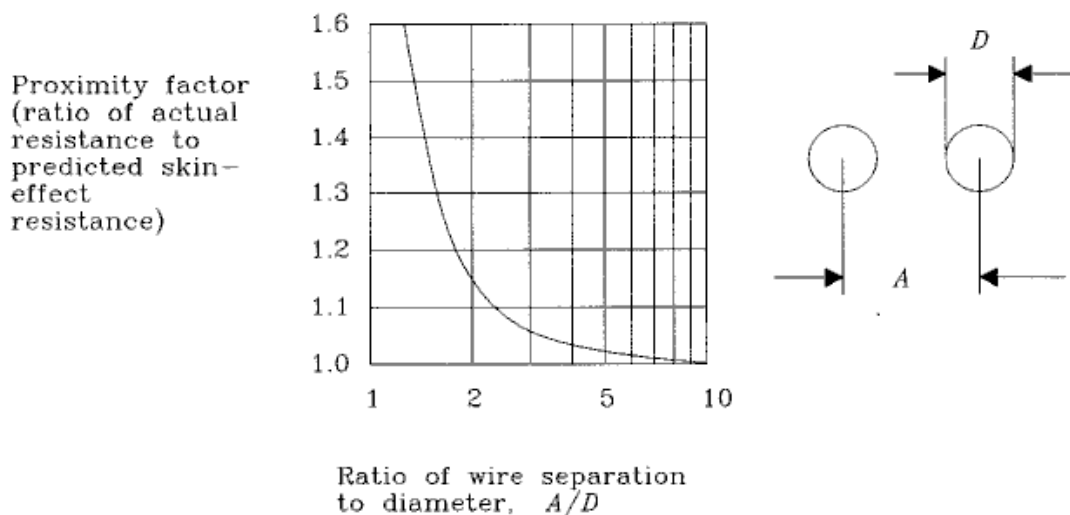


Figure 4.17 Proximity factor for parallel round wires. (Reproduced from Frederick Terman, *Radio Engineer's Handbook*, McGraw-Hill, New York, 1943, p. 36.)

可以看到两线距离非常近的时候补偿效应最明显。信号回流也会由于补偿效应的原理而从距离线路最近的地平面部分通过。

4.2.5 绝缘损耗

如果将一块环氧印制板材料（无铜）放到一个微波烤箱里烤1分钟，很快就会变热，如果用耐热玻璃也一样会变热。被绝缘体吸收的热量是与该种材料的绝缘损耗参数（dielectric loss factor）成正比例的。

缘损耗会导致信号的衰减，损耗越大，衰减也越大。绝缘损耗是频率的函数，我们通常所用的印制板材料是FR-4，在1GHz以下的信号传输时，可以忽略绝缘损耗，当频率更高时，可以使用陶瓷底层，氧化铝，在1G以上频率表现出比较好的绝缘损耗特性。

使用FR-4板材设计模拟电路时，低频的绝缘损耗也值得一提，特别是在高Q电路中。数字电路通常会避免高Q的设计，因此对绝缘损耗不是很敏感。

绝缘损耗在长距离线缆中尤其明显，典型的如PVC电话线在10MHz时具有很明显的绝缘损耗，该损耗随着频率的升高而增长，通常与趋肤损耗一起形成总的损耗，该损耗与频率 f^y 成正比例），其中 y 略大于1/2。

本节要点：

- 无限长传输线的输入应当看做阻性的，而不是容性的。
- 感抗和容抗的计算公式如4.48和4.49：

$$L = Z_0 T_p \quad [4.48]$$

$$C = \frac{T_p}{Z_0} \quad [4.49]$$

- 对于普通的数字电路而言，整条线路的电阻通常只是传输线阻抗的一小部分。
- 趋肤效应使长距离传输线的频率响应受到很大限制。
- 数字应用中，传输线的衰减与频率的方根成正比（趋肤效应）。
- 补偿效应对传输线的影响很小。
- 对于1GHz以下的应用不需要考虑绝缘损耗。

4.3 源阻抗和负载阻抗的影响

实际上我们所应用的传输线是有限长度的，有限长传输线的性能较理想传输线有所下降，不再遵循方程4.29，根据源阻抗和负载阻抗的不同，这种性能的下降可能对电路影响不大，也可能造成毁灭性的影响。

对于数字信号而言，选择适当的传输线之前首先要考虑的是，信号在拐点频率的传输损耗 $H_X(\omega)$ 应当小于几十分之一分贝，其次再考虑源阻抗和负载阻抗。

本章阐明了源阻抗和负载阻抗对信号的影响，并讨论了如何选择合适的源阻抗和负载阻抗。

4.3.1 传输线的反射

如图4.18所示，信号到达传输线的始端时，一部分驱动电压沿着传输线传播，这部分电压所占的比例是频率的函数，假设为 $A(\omega)$ ，称为输入接受函数， $A(\omega)$ 的值由源阻抗 Z_S ，传输线阻抗（由方程4.32计算）决定，如式4.50：

$$A(\omega) = \frac{Z_0(\omega)}{Z_S(\omega) + Z_0(\omega)} \quad [4.50]$$

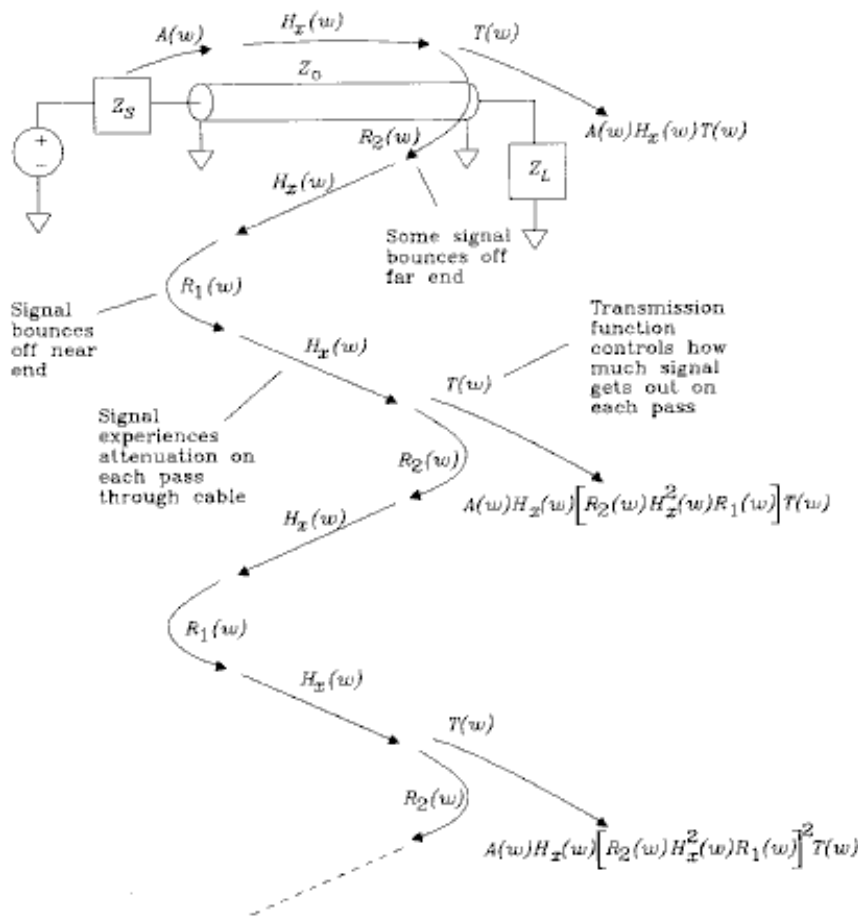


Figure 4.18 General transmission line problem.

信号传播时会产生衰减，衰减程度与 $H_X(\omega)$ 成正比例，如方程4.51所示，该方程类似4.30，只是考虑趋肤效应的影响， $R(\omega)$ 是频率的函数：

$$H_X(\omega) = e^{-\chi[(R(\omega) + j\omega L)(j\omega C)]^{1/2}} \quad [4.51]$$

在线路的末端，一部分信号的幅度受到衰减，衰减系数是频率的函数，记为 $T(\omega)$ 。 $T(\omega)$ 的值由负载阻抗 Z_L 和方程4.32给出的传输线阻抗决定。见式4.52， $T(\omega)$ 的值在0到2之间变化。

$$T(\omega) = \frac{2Z_L(\omega)}{Z_L(\omega) + Z_0(\omega)} \quad [4.52]$$

信号传输时，不光是沿着线路正向传输，在线路末端也会有部分信号反射向信号源端，发生反射的时候，反射的信号与正向信号同时传播，互不相干。这部分反射信号称为 $R_2(\omega)$ ，末端反射函数为：

$$R_2(\omega) = \frac{Z_L(\omega) - Z_0(\omega)}{Z_L(\omega) + Z_0(\omega)} \quad [4.53]$$

反射的信号向源端传播的时候，又会再度受到 $H_X(\omega)$ 的影响而衰减，在源端又会有第二次反射，反射函数为：

$$R_1(\omega) = \frac{Z_S(\omega) - Z_0(\omega)}{Z_S(\omega) + Z_0(\omega)} \quad [4.54]$$

经过源端反射之后，信号受到第三次衰减，参数为 $H_X(S)$ ，然后信号还会按照 $T(w)$ 的规律衰减和反射，反射信号又向头端传播，如此无穷反复。

因此，第一次反射之前的信号为：

$$S_0(w) = A(w)H_X(w)T(w) \quad [4.55]$$

经过二次反射之后的信号为：

$$S_1(w) = A(w)H_X(w)[R_2(w)H_X^2(s)R_1(w)]T(w) \quad [4.56]$$

后继的反射信号为：

$$S_N(w) = A(w)H_X(w)[R_2(w)H_X^2(s)R_1(w)]^N T(w) \quad [4.57]$$

最终

$$S_{\infty}(w) = \sum_{n=0}^{\infty} S_n(w) \quad [4.58]$$

这个无穷和可以归结为：

$$S_{\infty}(w) = \frac{A(w)H_X(w)T(w)}{1 - R_2(w)H_X^2(w)R_1(w)} \quad [4.59]$$

方程4.59是图4.18所示的传输系统从源端到末端的频率响应。

图4.19是假设整个线路的直流电阻为1.2欧姆，与线路的高频阻抗 $(L/C)^2 = 50\Omega$ 相比，可以忽略，那么该系统的 $Z_0(w) = 50$ ，我们可以计算出图4.19的4个反射系数，如下：

$A(w) = 0.847$ （输入接受函数）

$R_2(w) = 0.200$ （末端反射系数）

$R_1(w) = -0.965$ （头端反射系数）

$T(w) = 1.2$ （末端传输系数）

（15in.长度的传输常数为0.940。）

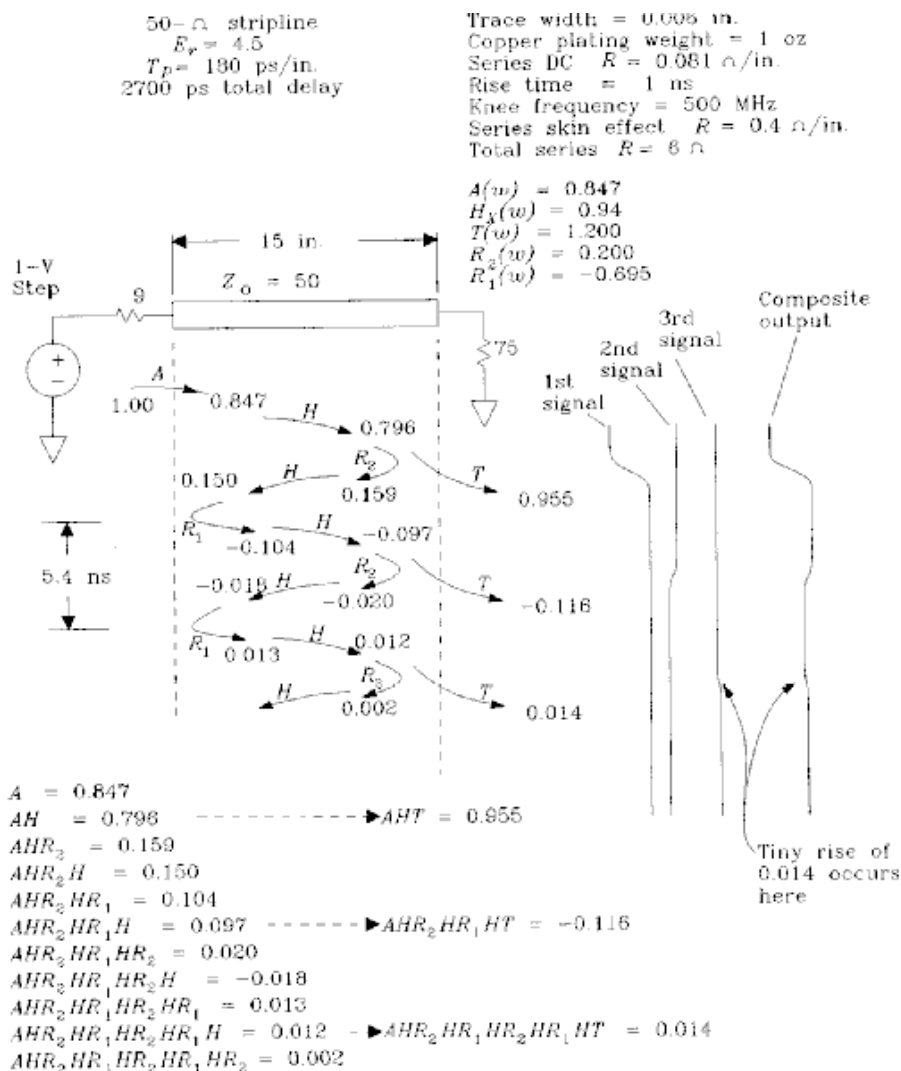


Figure 4.19 Transmission line reflection chart.

由 $H_X(w)$ 导致的相位延迟为2700ps。

我们在这里忽略RC区域和趋肤效应区的影响，假设 $H_X(w)$ 为常数。（这种忽略只是为了便于理解我们的例子。实际上是应该考虑多种因素影响的。）

根据输出接受度可以计得信号初始电压幅度为0.847V，2700ps之后到达另一端，振幅降低到 $A(w)H(w) = 0.796V$ 。然后再受到 $T(w)$ 的作用，首次到达负载的电压振幅为0.955V。接下来由于反射的作用，我们可以从图4.19中看到，各个点的电压幅度受传输系数影响而变化。（4.19图的右边是不同的信号波形图以及合成后的信号。）信号的稳定终值为0.893V，等于系统的直流响应 $S_{\infty}(0)$ 。

如果输入信号的上升时间足够长，就不会产生振铃现象，仅当信号的上升时间能够与信号在传输线上的延迟相比较甚至更小的时候，才会出现明显的过冲和振铃。

下面我们讨论一下怎样控制传输线上的反射。将方程4.52和4.53相结合，得：

$$T(w) = R_2(w) + 1 \quad [4.60]$$

代入4.59，得：

$$S_{\infty}(w) = \frac{H_X(w)A(w)(R_2(w) + 1)}{1 - R_2(w)R_1(w)H_X^2(w)} \quad [4.61]$$

由4.61式可知，设 $H_X(w)$ 为定值，那么我们可以控制的参数就是源阻抗和负载阻抗。源阻抗与 $A(w)$ 和 $R_1(w)$ 有关，负载阻抗仅与 $R_2(w)$ 有关。我们可以通过以下三条措施来保证平滑的频率响应：终端匹配，串联电阻，缩短线长。

4.3.2 终端匹配

适当的终端匹配可以减小负载阻抗，置 $R_2(w)$ 为0，此时4.61式简化为：

$$S_{\text{end term}} = H_X(w)A(w) \quad [4.62]$$

此时反射现象几乎完全消失。这是因为信号在末端被完全吸收，不会反射回源端。只要使负载电阻 Z_L 等于传输线的特征阻抗 Z_0 就可以使 $R_2(w)$ 等于0，从而消除反射。

对于工作在RC区域的长传输线，很难找到合适的终端匹配网络。

4.3.3 源端匹配

采用适当的源端匹配，置 $R_1(w)$ 为0，此时4.61式简化为：

$$S_{\text{source term}} = H_X(w)A(w)[R_2(w) + 1] \quad [4.63]$$

此时信号的二次反射在源端被完全吸收，不会反射回末端。只要使源电阻 Z_s 等于传输线的特征阻抗 Z_0 就可以使 $R_1(w)$ 等于0，从而消除反射。

当 Z_s 等于 Z_0 时，输入接受度变为0.5， $T(w) = 2$ ， $R(w) = 1$ ，输入端的信号幅度减半由末端信号增半补偿。采用这种方式的缺点是，由于此时 $R_2(w) = 1$ ，导致很大一部分信号反射回源端。我们可以看到在经过源端匹配同时无末端匹配的线路，上，信号首先是以一半的幅度传播到末端，然后由反射回来的信号将幅度增强到全幅。

4.3.4 缩短线长

尽可能缩短线长，使 $H_X(w)$ 为1，基本上消除信号衰减和相位延迟，此时4.61变为：

$$S_{\text{short line}}(w) = \frac{A(w)[R_2(w) + 1]}{1 - R_2(w)R_1(w)} \quad [4.64]$$

将4.50，4.53相减，并将 $R_1(w)$ 、 $R_2(w)$ 和 $A(w)$ （4.54）代入，得：

$$S_{\text{short line}}(w) = \frac{\frac{Z_0}{Z_S + Z_0} \cdot \frac{2Z_L}{Z_L + Z_0}}{1 - \frac{Z_L - Z_0}{Z_L + Z_0} \cdot \frac{Z_S - Z_0}{Z_S + Z_0}} \quad [4.65]$$

化简得：

$$S_{\text{short line}}(w) = \frac{Z_L}{Z_L + Z_S} \quad [4.67]$$

以上假设的前提是线长小于信号上升时间对应的长度的1/6。

即：

$$\text{Length} \ll \frac{1}{6} \frac{T_{\text{rise}}}{(LC)^{1/2}} \quad [4.68]$$

其中Trise为信号上升时间，L为线路感抗，单位为H/in.，C为容抗，单位是F/in.，length为传输线的最大长度，单位是In.。

4.3.5 传输线匹配不好时的建立时间

从图4.18可见，信号到达负载的中间在传输线内会多次反射，每次反射的信号都有一定程度的幅度衰减，这是受R1R2的影响导致的。随着时间的增长，信号幅度按照指数规律减小。如果R1R2足够小，我们可以忽略二次以至更多次的反射，而认为在信号首次到达传输线末端时就可以到达稳态。如果R1R2很大，传输线在多次信号反射之后才能到达稳态。

一次反射所需要的时间等于传输线的长度乘以其传输延时：

$$T = (\text{length})(LC)^{1/2} \quad [4.69]$$

在这段时间内，信号幅度为：

$$\text{Signal size}(t) = |R_1(w)R_2(w)|^{(t/T)} \quad [4.70]$$

R1R2的数量级通常小于单位（less than unity），因此4.70可以看作是随着时间变化的方程。

对于underamped backplanes或者lengthy unterminated传输线来讲，必须采用适当的时钟系统，用来等待信号到达稳态时才采样数据，通常设方程4.70中的w为 $2\pi F_{\text{knee}}$ 。Fknee的计算参见方程1.1。

本节要点：

- 传输线的源阻抗和负载阻抗使其性能下降。
- 传输线的频率响应为：

$$S_{\infty}(w) = \frac{A(w)H_x(w)T(w)}{1 - R_2(w)H_x^2(w)R_1(w)} \quad [4.72]$$

- 过冲和振铃仅在信号传输延时大于信号上升时间时出现。
- 消除反射的手段有：减小R2（终端匹配）和R1（串行匹配），或者确保线长足够短，使 $H_x=1$ 。

4.4 特殊传输线

4.4.1 无匹配线

无匹配传输线的特点是源阻抗和负载阻抗都没有和传输线的特征阻抗相匹配。通常无匹配传输线的负载阻抗都比其特征阻抗值高。源阻抗可能比特征阻抗高，也可能比特征阻抗低，不同值的源阻抗使无匹配传输线表现出不同的特性，而在这两种情况中，负载阻抗都很高，可以认为 $R_2(w) \approx 1$ （见公式4.53）， $T(w) \approx 2$ （见公式4.52）。两种情况的不同之处在于R1(w)的符号和A(w)的大小。

4.4.1.1 低阻抗输出驱动无匹配传输线

象ECL电路或者大功率的TTL总线驱动器都可以认为是低阻抗的输出，在无匹配的情况下驱动传输线，就是我们这一节要讨论的内容。

我们可以画出这种传输线的单元阶跃响应。在这种情况下，电路的输入接受函数 $A(w)$ 近似于1（见公式4.50），传输函数 $T(w)$ 近似于+2.0（见公式4.52），它们的乘积，初始阶跃输出，约等于2.0V。

由于反射系数 $R1(w)$ （见公式4.54）近似于-1，乘积 $R2R1$ 将近似于-1。线路上的损耗使 $R1R2$ 的乘积略小于1。 $R1R2$ 为负表示线上产生的后续反射信号有相反的符号，随着响应逐渐衰减，它会在终值的附近来回摆动，两个相反符号的反射信号间隔时间最短为2次反射的时间（2个传输线来回），所以摆动的周期等于4倍的传输线时延。衰减时间可根据公式4.71算得。

我们现在可以知道，阶跃响应在最开始会有近-100%的过冲，并以4倍的传输线时延为周期摆动，衰减时间为确定值，由于没有直流负载，所以信号最终大小等于输入阶跃值。图4.20所示即为这种阶跃响应。

如果某个信号的上升时间小于在传输线上往返的总延时，则在输出端信号的过冲非常明显。从而在大多数TTL和CMOS逻辑的输入保护二极管上造成过量电流。过量电流从芯片的地引脚回流，使地在内部参考地和外部地平面之间出现弹跳。在极端情况下，这种来自于低阻抗传输线的信号过冲会破坏输入保护电路。

4.4.1.2 高阻抗输出驱动无匹配传输线

没有经过缓冲的CMOS输出驱动传输线时，电路输入接受函数 $A(w)$ 非常低（见公式4.50），而传输函数 $T(w)$ 近似于+2（见公式4.52），它们的乘积，即初始阶跃输出会很小。

反射系数 $R1(w)$ （见公式4.54）接近+1， $R2R1$ 的乘积接近+1，线上存在的损耗使 $R1R2$ 的乘积略小于1。 $R1R2$ 为正表示线上的后续反射信号有相同的符号，输出的波形必然单调的达到其最终值。信号的衰减时间（与输出信号的建立时间相等）可由公式4.71给出。

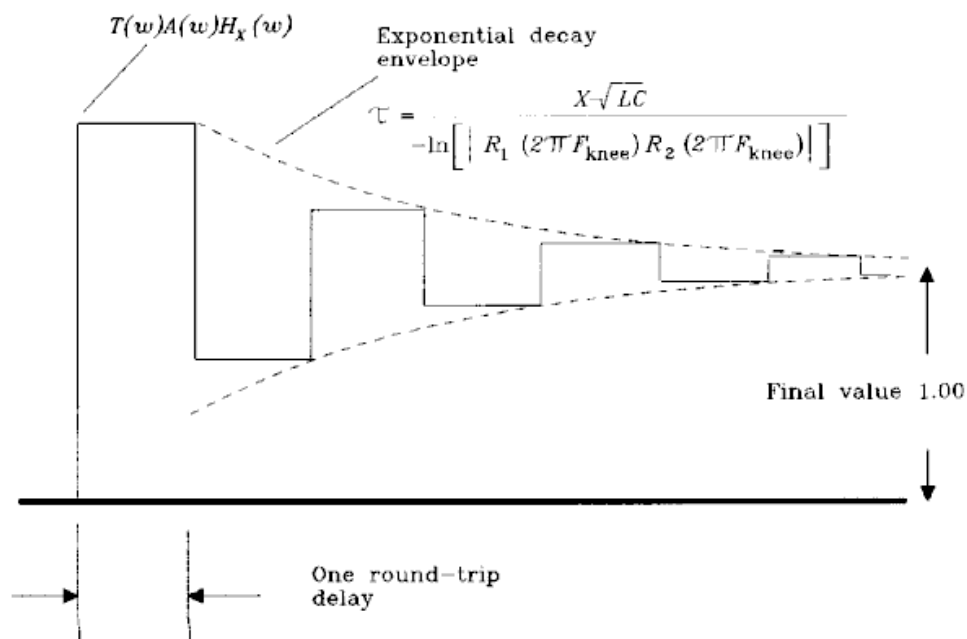


Figure 4.20 Estimating the step response of an unterminated line with low source impedance.

此时阶跃响应在最初较小，在确定的时间段之内（该时间段可以计算得到）建立，由于没有直流负载阻抗，其最终值等于输入阶跃值。图4.21所示为这种阶跃响应。看起来非常象RC滤波的响应。阶跃响应的建立时间段值与源阻抗和线上电容的乘积相近，因此把短的传输线看作集总参数元素是很合适的。由于高阻无匹配传输线的阶跃响应与RC滤波的相似性，我们可以把传输线的输入看做容性负载。

4.4.2 传输线中点的容性负载

图4.22表示了一个电容接在传输线的中点。从左端进来的信号碰到电容后分为两部分，一部分反射回去，另一部分通过。

问题的棘手方面是反射系数是频率的函数。我们对反射信号的大小和通过的信号受到的影响进行估计，分别进行处理。

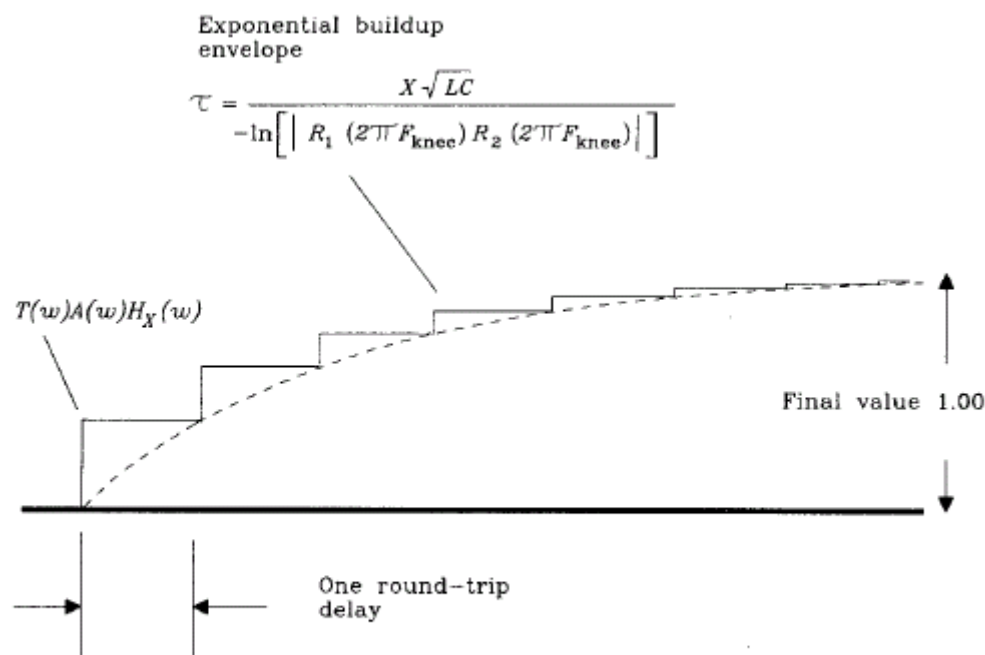


Figure 4.21 Estimating the step response of an unterminated line with a high source impedance.

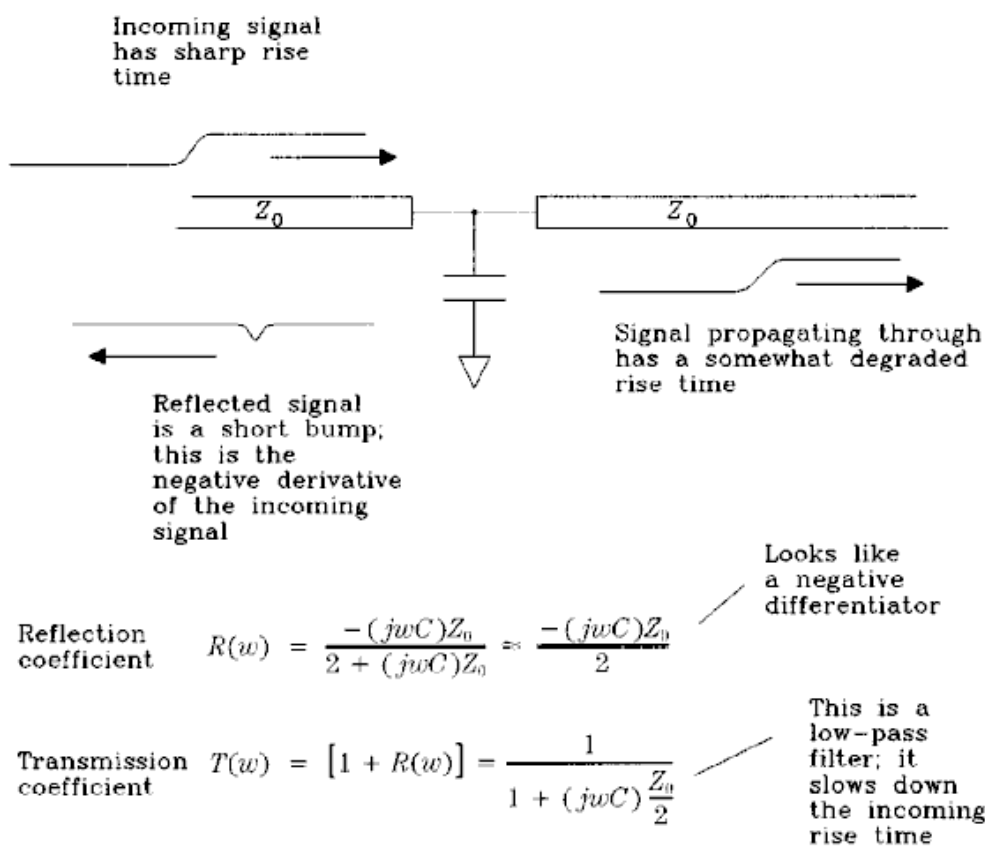


Figure 4.22 Capacitive load in the middle of a transmission line.

4.4.2.1 来自容性负载的信号反射

与其它的反射问题一起，我们尝试使用反射公式4.53。公式要求我们指明传输线和终端阻抗。现在我们用 Z_0 表示传输线阻抗，对终端阻抗进行研究。

图4.22上的传输线的左边部分到电容为止。线上总的终端负载等于电容与线上剩余输入阻抗的并联电抗。在不知道右边部分终端的情况下，我们很难估计它的输入阻抗。那么，怎样才能算总的终端负载呢？

为了走出困境，首先假设我们研究的是低损耗线（不是RC的情况）。进一步假设右手边的传输线是末端终止的。它的输入阻抗是 $Z_0 = (L/C)^{1/2}$ ，与频率无关。同样地，假设右手部分的线很长，由远端反射回来的信号很迟才到达，不会对电容C的反射造成影响。另一方面，假设右边的输入阻抗等于 Z_0 。

现在我们可以将电容C和 Z_0 的并联值 Z_L 代入公式4.53。经过简化和整理，得出容性负载情况下的反射系数：

$$R_C(\omega) = \frac{-j\omega C Z_0}{2 + j\omega C Z_0} \quad [4.73]$$

频率在

$$f_{\max} = (C Z_0 \pi)^{-1}$$

以上时几乎是全部反射，传输线工作频率不要超过 f_{\max} 。频率在 f_{\max} 以下时，反射系数会有区别。它返回一个脉冲，与输入阶跃的派生相等。区别的常数等于 $-C(Z_0/2)$ 。

如果数字拐点频率（可参考公式1.1对拐点频率的定义）小于 f_{\max} ，可以估计反射脉冲的峰值振幅：

$$P = C \frac{Z_0}{2} \frac{-(\Delta V)}{T_{\text{rise}}} \quad [4.74]$$

这里， ΔV = 输入电压步进值；

P = 反射脉冲幅度，单位V；

T_{rise} = 输入信号的上升时间，单位s；

C = 容性负载，单位F；

Z_0 = 线路高频阻抗， $(L/C)^{1/2}$ 。

4.4.2.2 容性负载对传输信号的影响

如上，假设两边的线都很长，对于短的持续时间，它们的有效阻抗（As seen by the capacitor）等于 $Z_0 = (L/C)^{1/2}$ 。

基于这种假设，我们可以计算传输系数：

$$T_C(\omega) = 1 + R_C(\omega) = \frac{1}{1 + j\omega C(Z_0/2)} \quad [4.75]$$

这是时间常数等于 $C(Z_0/2)$ 的低通滤波公式。阶跃响应10-90%上升时间的是时间常数的2.2倍。或者

$$T_{10-90}(\text{step response}) = 2.2 C \frac{Z_0}{2} \quad [4.76]$$

容性负载使通过信号的上升时间变大，用公式3.1可求得通过信号的上升时间.它将输入的上升时间和电容的上升时间混合起来求输出的上升时间。

本节和上一节的基本内容是：

- (1) 传输线的两个方向是否终止的；
- (2) 传输线的两个方向是否比上升沿长。

低阻抗驱动器与负载电容连接太接近时，有效阻抗(如电容所示)变小。网络的最终结果是更小的反射和更小的上升时间失真。

4.4.3 等间隔的容性负载

图4.23所示的情况经常发生在宽总线形式时，特别是在存储卡上有大量单线存储模块阵列时（如SIMMs）。容性负载等值并且均匀分布。

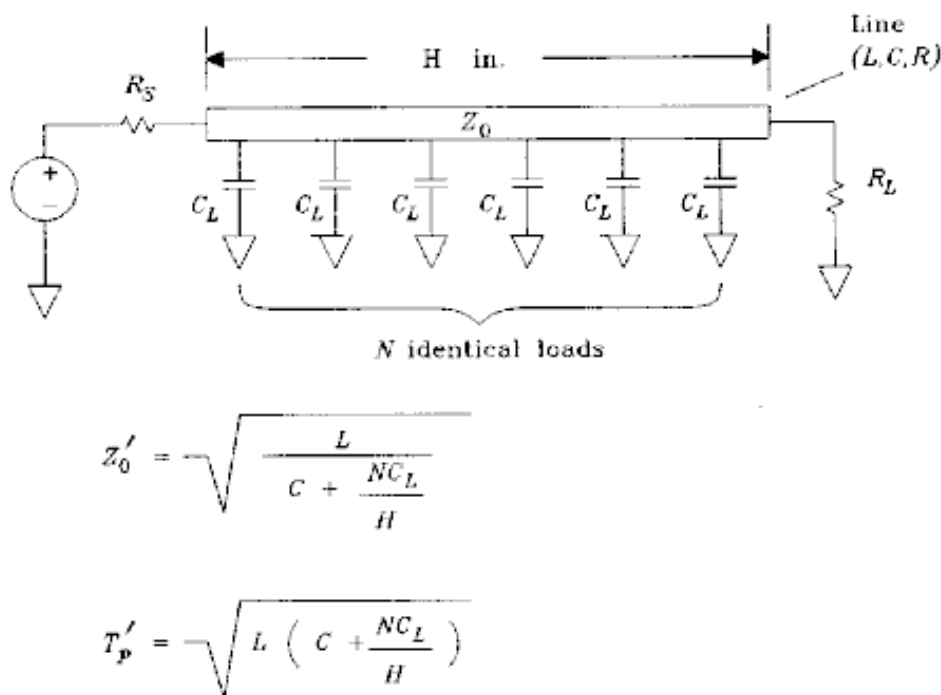


Figure 4.23 Equally spaced capacitive loads.

如果上升沿的长度超出负载的间隔时，可以推出简化的电路特性，它告诉我们两点：

- (1) 传输线的有效阻抗减少；
- (2) 线上的传输延时增大。

以上两条都严重影响高速信号总线的性能。

4.4.3.1 均匀负载总线的阻抗特性

当上升沿与负载间隔有可比性或比它更小时，信号将按照公式4.73前后弹跳。对于足够小的负载(小电容)，直接把各个负载的反射加起来可计算出总的反射脉冲高度。然而把反射相加是一种最坏的操作，因为反射脉冲到达每个点的时间都是不一样的。

二次和三次反射信号因为大大衰减而不足为计。

对于上升沿长于负载间隔的，在上升沿单个电容的影响会均衡减弱。结果是：无论使用两倍个数,电容值为一半的电容，还是按统一的英寸波法率来分布电容,其结果都是一样的。

统一地分布电容是理解这个电路的关键。

构造一条新的传输线模型，它和原始模型相比，有相同的电感系数和每英寸阻抗值，但有新的电容值。以总线长度的英寸值除总的负载电容得出每英寸负载电容值。然后把这个电容值加到现存的传输线每英寸电容值之上得出新模型的电容值。

$$C' = C_{\text{line}} + \frac{NC_{\text{load}}}{\text{length}} \quad [4.77]$$

这里， C_{load} = 负载电容，单位pF；

N = 负载个数；

Length = 总线长度，单位in.；

C_{line} = 传输线容抗，单位pF/in.；

C' = 新模型的电容值，单位pF/in.。

现在运用这个模型，可以重新计算出传输线有效阻抗 Z' ：

$$Z'_0 \approx \left(\frac{L}{C'} \right)^{1/2} \quad [4.78]$$

4.4.3.2 均匀负载总线的传输延迟

$$\text{Effective delay} = (LC')^{1/2} \text{ ps/in.} \quad [4.79]$$

这里， C' = 新模型的电容值，单位pF/in.；

L = 感抗，pH/in.。

均匀负载总线的有效特征阻抗可以是非常的低，这使得驱动电路很难在总线上留下全值信号。就算是降低驱动电路的阻抗，还会有延时问题。问题归咎于传输线结构的分布电感，是不能避免的。

例4-2：均匀负载总线

Sam使用单线存储模块(SIMMs)构造一块在存储容量的板子，他计划用16 SIMMs 构成大容量存储阵列，如图4.24所示。所有16个SIMMs的地址线都是由一端并行驱动，标为门A。

这是每条线的关键参数：

$$C_{\text{load}} = 50 \text{ pF}$$

$$N = 16$$

$$\text{Length} = 8 \text{ in.}$$

$$C_{\text{line}} = 2.9 \text{ pF/in.}$$

$$L = 7250 \text{ pH/in.}$$

先计算线上的有效电容：

$$C' = C_{\text{line}} + \frac{NC_{\text{load}}}{\text{length}} = 102.9 \text{ pF/in.} \quad [4.80]$$

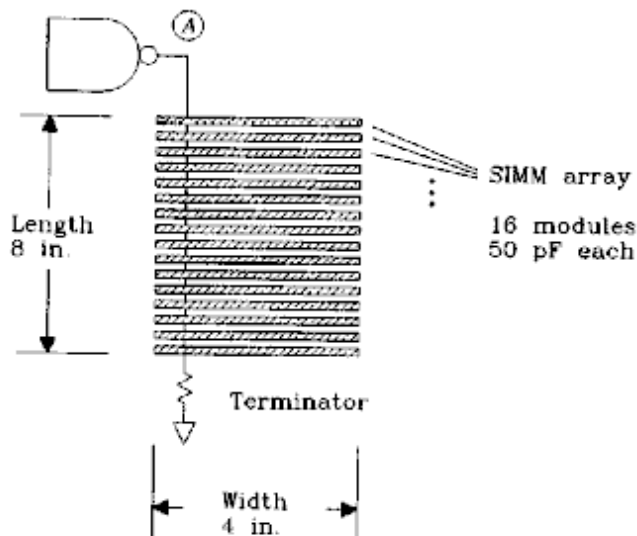
Address line driver
(one shown)

Figure 4.24 SIMM loading example.

用新的值去重新表示 Z_0 和传输延时:

$$Z_0 = \left(\frac{L}{C'} \right)^{\frac{1}{2}} = 8.4 \, \Omega \quad [4.81]$$

$$\text{Delay/in.} = (LC')^{\frac{1}{2}} = 864 \, \text{ps/in.} \quad [4.82]$$

总的传输延时为

$$\text{Delay} = (\text{length})(\text{delay/in.}) = 6900 \, \text{ps} \quad [4.83]$$

最后一块SIMM接收到地址信息的时间比第一块要晚6.9ns。这个偏差降低的存储器的定时容限。而且，终止值和驱动阻抗都变得出奇的低。

可能的解决办法都要把SIMM地址总线分解为带动更小负载的多条总线。

作为检查，Sam应该使用类似于图1.6的电路来测量总的线电容($C' \times \text{长度}$)。Sam也许需要比图1.6更小的电阻来获得足够的电流使SIMM输入通过传输区域。

4.4.4 直角弯曲布线

在图4.25的直拐角位置，有效传输线宽度增大。宽度的增大会产生不必要的寄生电容。拐角处有如附加于传输线上的容性负载。

我们可以把拐角的外角做成圆弧，保证固定的宽度。这可以降低信号反射量和对信号上升时间的不良影响。一种更简单的能保证10GHz速度的方法是按图4.26进行拐角斜切。对拐角进行斜切可能更容易，这要看布线软件。

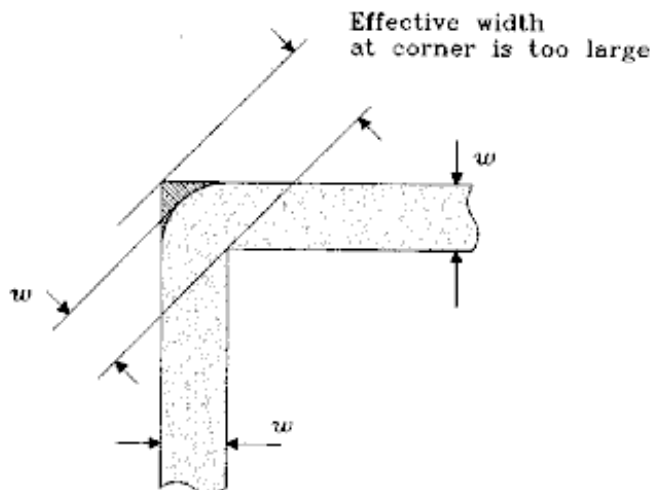


Figure 4.25 Right-angle bend in a transmission line.

图4.25中阴影部分所示的负载电容粗略等于

$$C \approx \frac{61we_r^{1/2}}{Z_0} \quad [4.84]$$

这里，w = 线宽，单位in.；

ϵ_r = 对空气的电磁渗透系数；

Z_0 = 高频特性阻抗，单位欧；

C = 拐角的负载电容，单位pF。

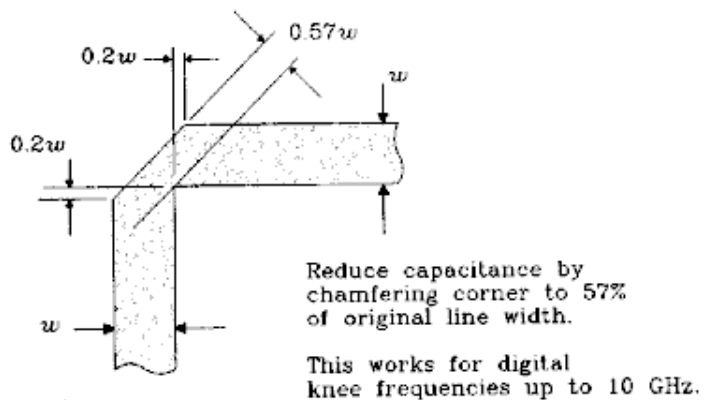


Figure 4.26 Chamfering the corner of a PCB trace to reduce capacitive loading.

由公式4.76可推出带有这种块负载(lumped)的10-90%上升时间常数：

$$T_{10-90} = 2.2 \left[\frac{61we_r^{1/2}}{Z_0} \right] \frac{Z_0}{2} = 67w(e_r)^{1/2} \text{ ps} \quad [4.85]$$

事实上这是很微小的上升时间，对于上升时间小于100ps或者非常宽的线(在微波工程中很平常)，这是可能是要予以考虑的。

不要担心45度拐角，他们不会有问题。第七章将讨论过孔的影响。

4.4.5 延迟线

若做成蜿蜒的形状，传输线可做为有的延时线。这可以解决在很快的翻转中与保持时间相关的问题及其它数字定时问题。与外部延时元素相比，布线上的延时线是很便宜的。

图4.27表示了有4.9ns输入输出延时的波形，图4.28显示了延时线的布置。输入上升时间是638ps，而输出上升时间是888ps。延时线一般会在一定程度上导致输入上升时间的增加。在这种布置中，减少不同延时线的距离会使交叉耦合增大，从而导致上升时间进一步增加。如果进行一下特殊的处理的话，上升时间可以控制在560ps内(是理想输入信号的阶跃响应的10-90%上升沿时间)。

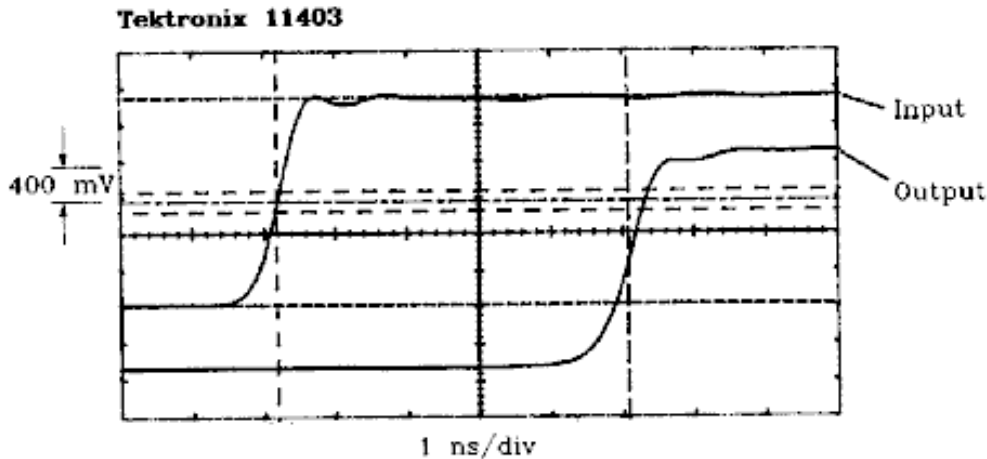


Figure 4.27 Delay line implemented with a printed circuit board trace.

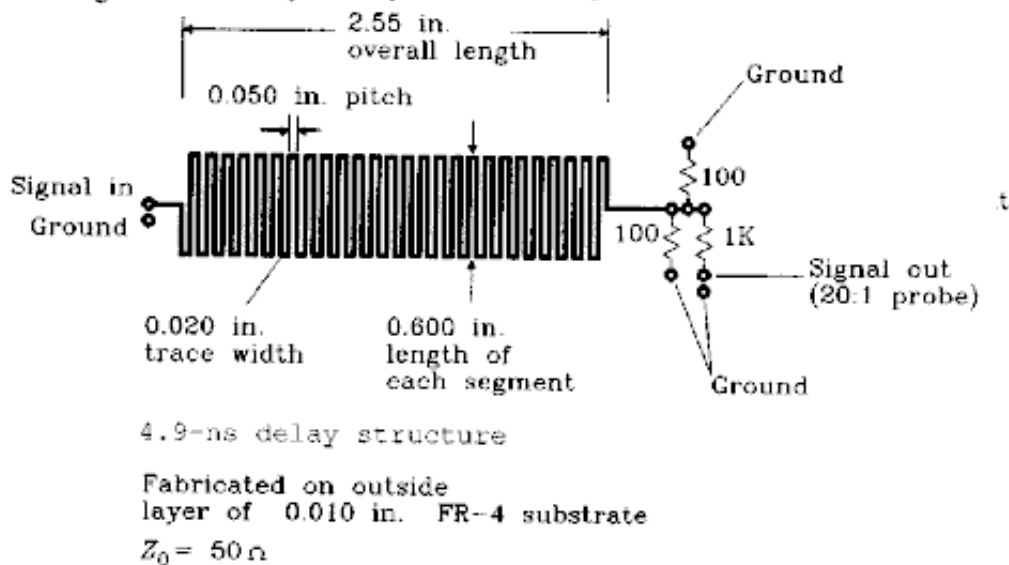


Figure 4.28 Delay line configuration.

为适应薄FR-4基板时而进行设计收缩时，应根据基板的厚度按比例缩小线的宽度，使阻抗常数不变。你同样可以根据基板的厚度按比例缩小交叉布线的距离。这能提供相同的走线交叉耦合，并保持上升时间不变。减小宽度和厚度而保持交叉走线的距离常数能够降低交叉耦合并获得更好的上升时间。

环氧玻璃FR-4电路板材料的介质常数随温度而改变。在0-70℃温度范围内总的变化约为20%。介质常数的改变导致FR-4电路板走线的延时随温度改变10%。FR-4板上信号速度随温度的升高而降低。

本节要点:

- 容性负载延长信号的上升时间，并使信号向上游反射。
- 统一分布的容性负载降低传输线的有效阻抗和传输速度。
- 可以把印制板走线做成小的延时线。

4.5 传输线阻抗和传播延迟

传输线阻抗是导体的几何尺寸和分隔它们的材料的介电常数的函数。

对于印制电路板的布线，最关键的因素是线宽与对地高度的比率。对于同轴电缆，最关键的因素是中心导体直径与护套直径之比。而双绞线则是线直径与线间距离之比。

对于所有的情况，阻抗都与介电常数的开方成反比。传送延时仅仅与介电常数有关。

图4.29--4.35 说明了附录C中用于计算传输线参数的公式的使用。这些公式按传输线的种类而分，分别对应同轴电缆、双绞线、微波传输带和带状线。

附录中列出的针对微波传输带和带状线的传输结构的传输线公式是作者能找到的是可靠的公式。它们来自于微波的文献并提供了原始的参考以便于你进一步的研究。公式中已经列出每条公式准确度及为确保准确度各参数所在的变化范围。它有别于其它资料中常用的公式组，如Motorola MECL System design Handbook。由于ECL逻辑族的关系，Motorola在70年代普及了这个公式组。现在我们把这公式组作为简单的公式组。

简单的公式组的好处是应用方便，用计算器就可计算。它给出了走线高度大于0.020英寸，线阻抗超出75欧姆的解答。公式第一次出现的时候，走线高度是0.020英寸，是正常值。

现在电路的布线经常的高度为地以上0.005英寸，或者更小。在这么小的高度里，线的厚度的影响变得很大。附录C的公式组可以准确地预计出线厚的影响，使用这些公式，我们可以预计铜的重量从1-变为2-oz 是如何影响最终的阻抗值的。

简单公式最明显的失效发生在低线阻抗的情形，当线宽超出其高度的7倍时，简单公式会出问题，产生负的结果。这种影响出现在图4.32中。如果你要使用低阻抗时钟分配线（可能是20欧姆），简单公式就用不了。

4.5.1 传输线的参数控制

很明显，要精确控制阻抗，就需要对物理几何因素及介电常数进行精确控制。

4.5.1.1 传输线阻抗的控制

根据公式4.53，传输线阻抗10%的误差会产生5%的反射。这很有用，只要给出反射失配的百分比，将它乘2就得出特征阻抗与终止电阻的允许失配值。举个例子，10%的反射允许有10%的特征阻抗失配和10%的终止电阻误差。一般地，终止值越明确(可能2%)，对阻抗变化的允许量就越大。

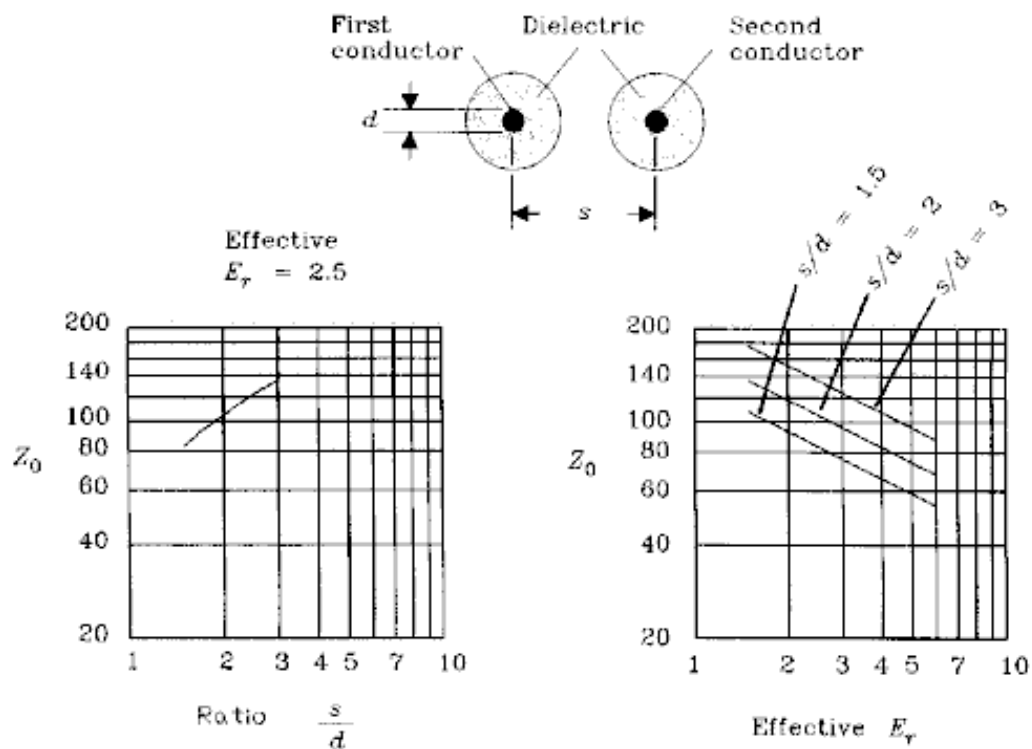


Figure 4.30 Characteristic impedance of a twisted-pair cable versus geometry and permittivity.

对于同轴电缆和双绞线的情形，对线缆的阻抗不需要苛刻的要求。而印制电路板则是另一处情况。明确了制作中的各种板上参数，设计者几乎可以对阻抗的变化进行任意的控制。

不要指定过于严格的允许量，需要额外的工作去满足严格的指标，因为需要额外的测试，导致低产出，及其它生产问题。(看章节4.5.1.4)

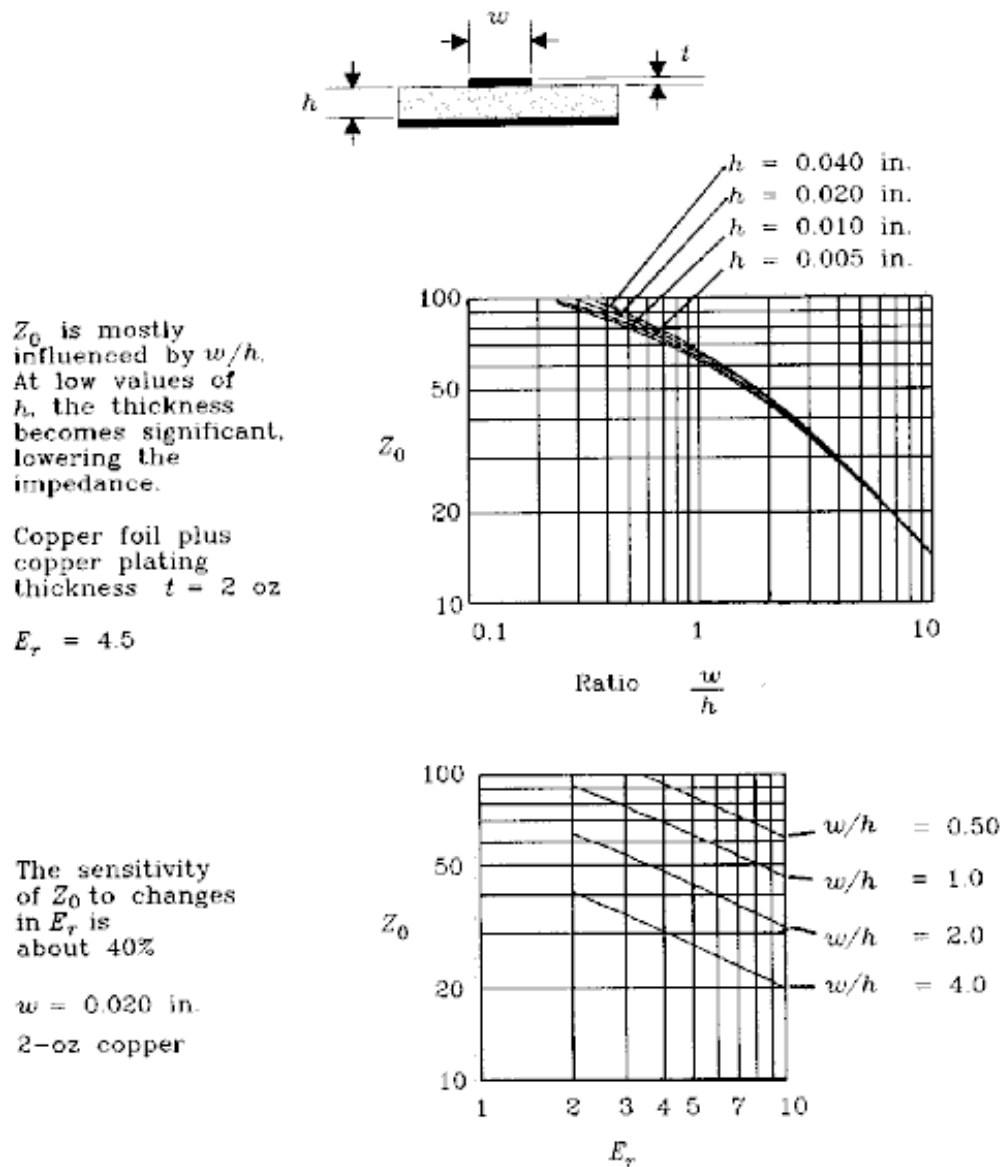


Figure 4.31 Characteristic impedance of a microstrip transmission line versus geometry and permittivity. (See formulas in Appendix C.)

4.5.1.2 物理尺寸对抗的影响

在大多数的传输阻抗公式中，物理尺寸都作为自然对数的参数出现。对数函数变化缓慢，意思是物理尺寸变化只会对阻抗产生很小的影响。这是对我们有利的。

阻抗对物理尺寸变化的灵敏度较低。“灵敏度”是定义为单位的线宽变化引起的阻抗变化。log-log图直接显示了灵敏度。log-log图中标出的任何一个函数的斜率等于这个函数对其参数的敏感度。斜率等于1表示函数与输入成正比，输入变化1%使输出也变化1%。斜率为1/2表示函数与参数的平方根成正比。输入1%的变化导致输出的0.5%的变化。

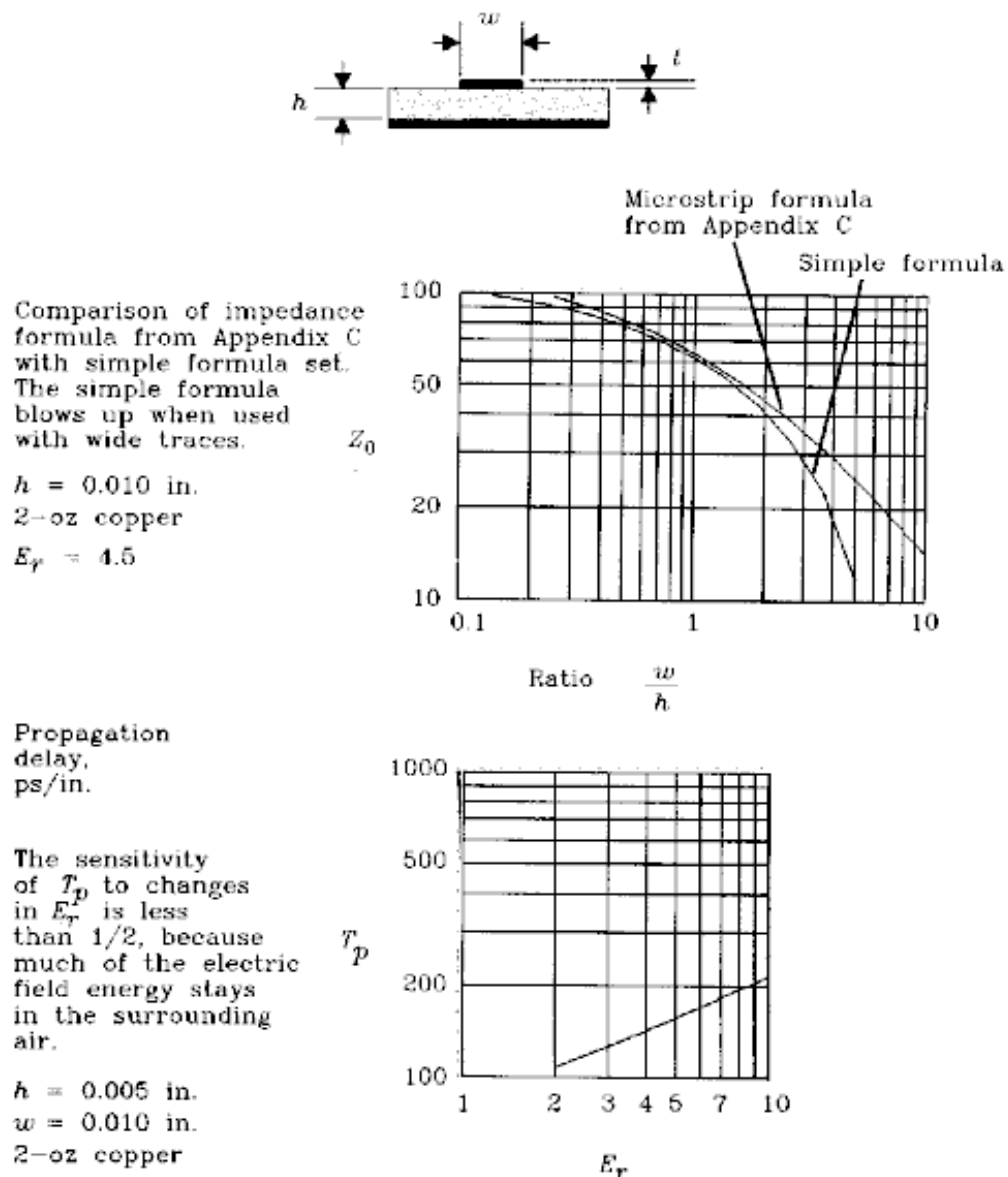
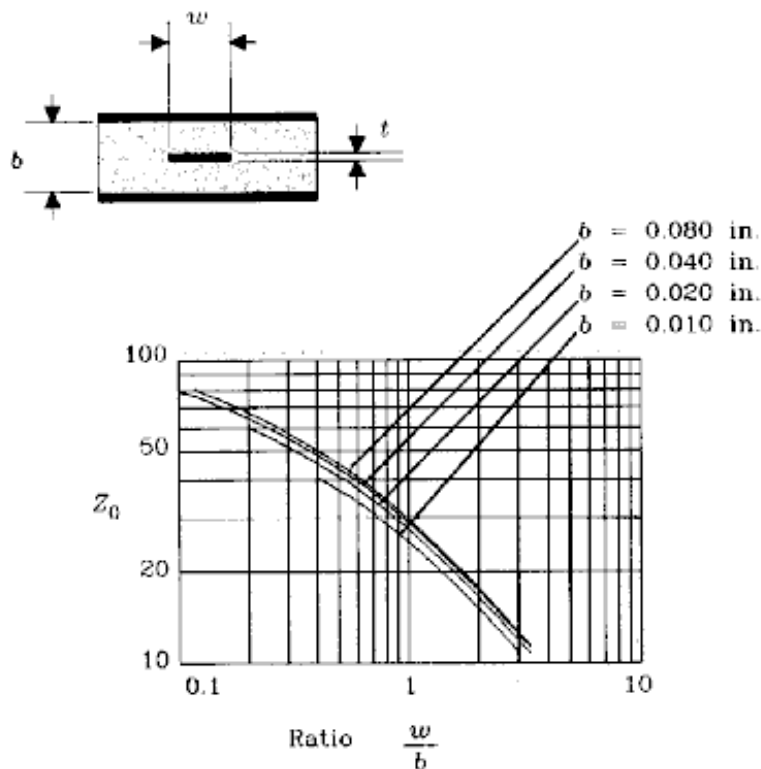


Figure 4.32 Characteristic impedance and propagation speed of a microstrip transmission line. (See formulas in Appendix C.)

Z_0 is mostly influenced by w/h . At low values of h , the thickness becomes significant, lowering the impedance.

Copper foil thickness $t = 2$ oz

$E_r = 4.5$



The sensitivity of Z_0 to changes in E_r is exactly $1/2$

$w = 0.010$ in.

1-oz copper

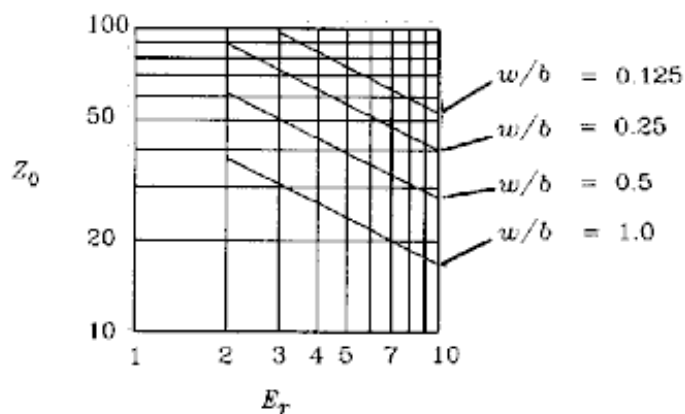


Figure 4.33 Characteristic impedance of a stripline transmission line versus geometry and permittivity. (See formulas in Appendix C.)

对于关键的应用，设计一个双向流的构造环，你能够尝试一个受控阻抗设计并针对二次传递中不可避免的寄生影响进行调整。对一次传递板进行微细的分区以确定制作过程是否准确地复制了你的设计。把这个数据和高频绝缘测试及对板上走线的阻抗测量综合起来，判断设计是否需要更改。

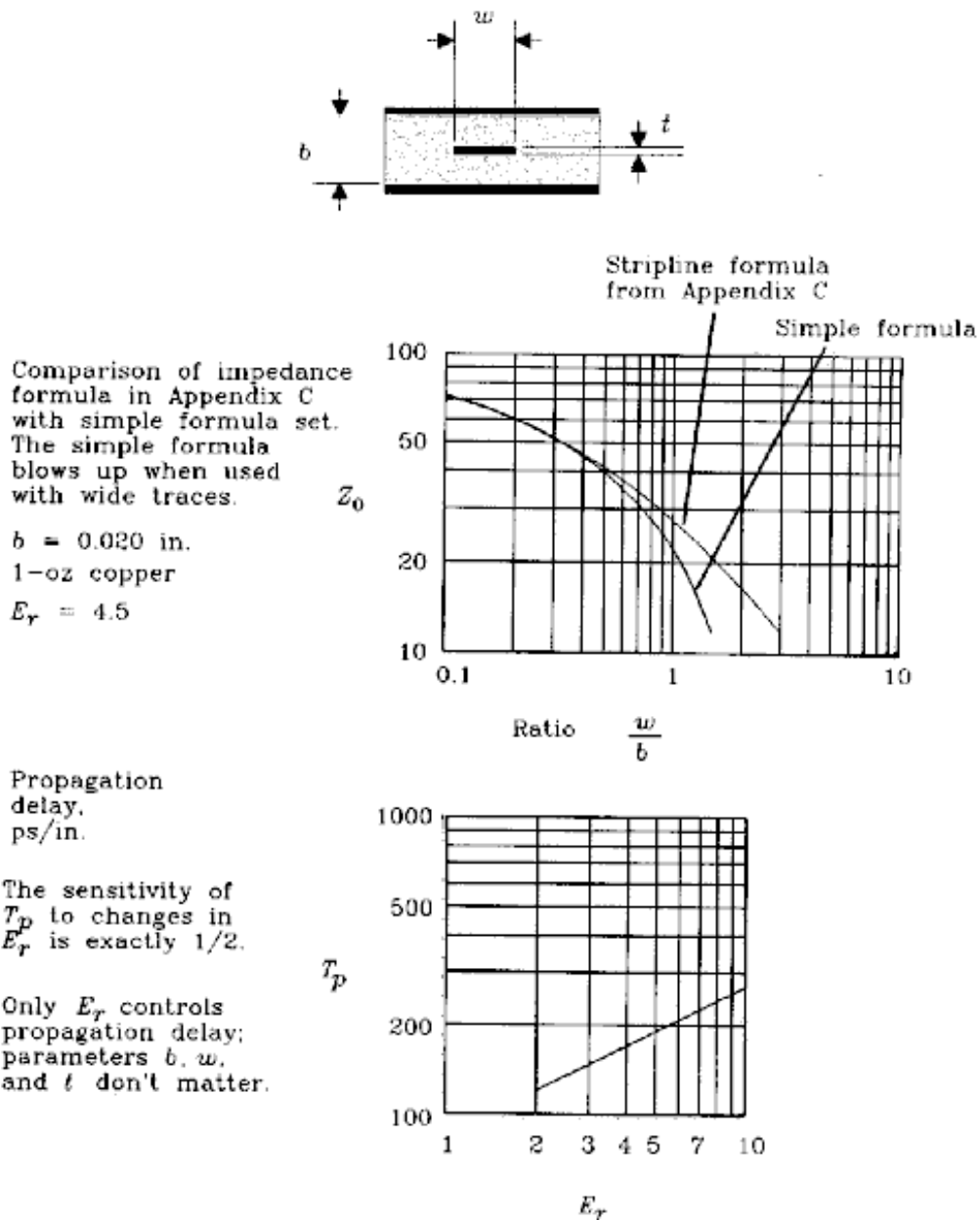


Figure 4.34 Characteristic impedance of a stripline transmission line.

4.5.1.3 有效介电常数

所有传输速率的公式与介电常数的有效平方根成反比。有效介电常数有时候很难确定。

例如，在同轴电缆中，所有的电气元素都在电缆内，处于外壳与中心导体之间。有效介电常数就是绝缘层材料的介电常数。

在绕得较松的双绞线中，或者说线距与直径之比较大的双绞线中，电磁场以扫描曲线的方式存在于导体之间的空气中。有效介电常数是空气的相对介电常数和绝缘材料的相对介电常数的平均值。

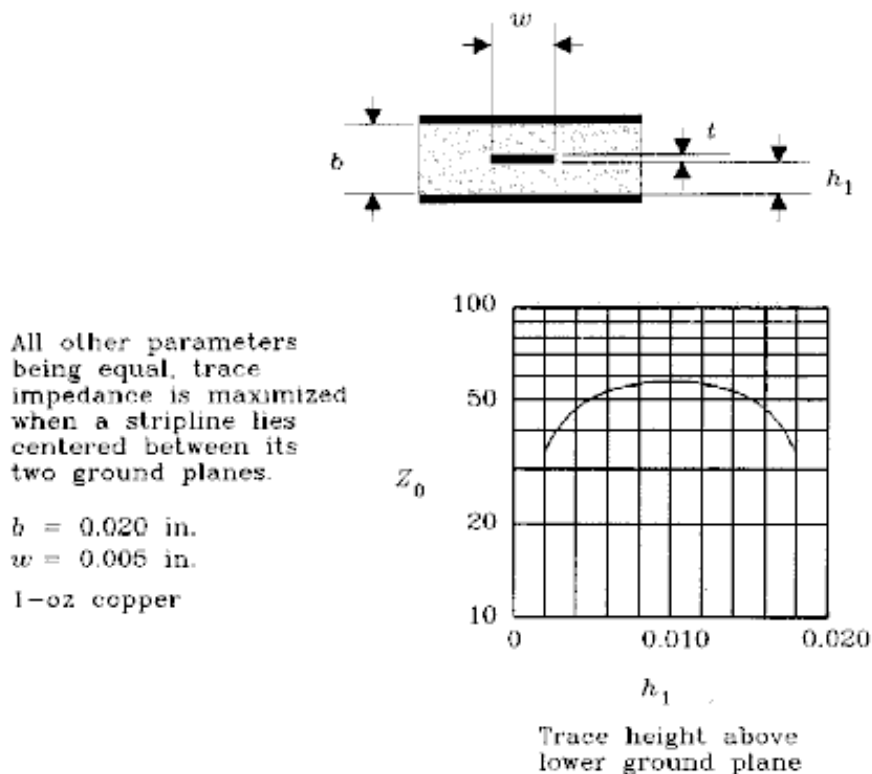


Figure 4.35 Impedance of an offset stripline. (See formulas in Appendix C.)

扁平带状电缆特别容易受到这种影响。在邻近有导线的情况下，导体由绝缘材料完全包裹着的厚电缆有与绝缘材料相近的有效介电常数，邻近没有导线情况下，用于计算的有效介电常数实际上是一致的，电磁场的绝大部分分布在绝缘体之外的空气中。

有些带状电缆生产商用扁、硬、薄的材料来支撑导线，但没有对它进行包裹。在薄的带状线表面上会出现不均匀。由于大部分的材料是处于空气中，与厚的绝缘电缆相比，它有更低的有效介电常数，因而有更高的传输速率。

绝缘介电常数随温度而改变。在0--70℃温度变化范围内，FR-4环氧玻璃电路板材料的介电常数有20%的变化。设计用于同轴电缆的绝缘体随温度的变化要比它小。

4.5.1.4 合理的加工公差

对印制电路板，加工公差由基体材料及加工板子的蚀刻和电镀工艺决定。常用的FR-4基体材料加工时的环氧/玻璃比可以有所变化，印制电路板的制造商可以通过购买高质量，低公差的基体材料来控制这些参数， 4.5 ± 0.1 的公差要求是合理的。相对介电常数随频率而改变。低频时，50% resin FR-4 的相对介电常数是4.7，1MHz时降到4.5，1GHz时是4.35。介电常数的典型测试频率是1MHz。做介电常数测试时一定要指明测试频率。计算阻抗时，使用电路的数字拐点频率处的介电常数。

FR-4的相对介电常数随温度产生很大的变化。如果这个因素对你很重要，可以考虑使用陶瓷或Teflon作为基体以获得稳定的绝缘性质。

军用标准 MIL-STD-275, “Printed Wiring for Electronic Equipment” 及相关的商业标准 IPC-ML-950, “Performance Specifications for Rigid Multi-layer Printed Boards”，都建立了机械及

电气公差的方针。军用标准根据加工的难度提出了板的三种等级：优选、标准、低的可生产性(reduced producibility)(军事专家提出的概念)。商用标准则根据应用提出了板的三种等级：消费品、一般、高可靠。

军用标准允许的线宽公差主要是看制作的工艺。用于板子中间层的简单蚀刻工艺获得最好的公差，电路板外层所需的附加电镀工艺会给线的几何尺寸带来不确定性。对于任一层，铜层越薄，对尺寸的控制就越好，但降低了导线携带电流的能力。表4.2所列的外层2-oz铜重量的公差是最差的情况。外层用1盎司的铜会好一点。

为理解典型公差，军用方针是很好的入门点。与电路板的加工商一道，弄清它们的加工能力，并要问清楚要花多少钱？

TABLE 4.2 PRINTED CIRCUIT BOARD TOLERANCES MIL-STD-275

	Preferred	Standard	Reduced producibility
Minimum layer thickness (figure at least 10% or 0.001 tolerance on thickness)	0.008	0.006	0.004
Minimum conductor width			
Inner	0.015	0.010	0.008
Outer	0.020	0.015	0.008
Width tolerance			
Inner, 1-oz	+0.002 -0.003	+0.001 -0.002	+0.001 -0.001
Inner, 2-oz	+0.004 -0.006	+0.002 -0.005	+0.001 -0.003
Outer, 2-oz	+0.008 -0.006	+0.004 -0.004	+0.002 -0.002

¹³See Equation 1.1 defining digital knee frequency.

¹⁴Institute for Interconnecting and Packaging Electronic Circuits (IPC).

4.5.1.5 传输线参数的软件计算

大部分数字工程师根据以下的简单公式，用于制作一批电路板，然后根据需要对线宽和线间距进行调整。

为了更高的准确度，应使用附录C列出的更为复杂的公式。为了你的方便，其中所有的公式都已经在MathCAD中实现。他们可以从作者那里得到，为你节省时间。请看书后的订货单。

如果你需要在制作电路板前对特征阻抗和串扰有更准确的预计，那么你需要一个更复杂的计算模型。在出版的时候，下面的公司提供了精心制作的软件包用于计算特征阻抗和串扰。

B. V. Engineering, Chicago, Illinois
Micro-3
Quad Design, Camarillo, California
Crosstalk Tool Kit
Quantic Laboratories, Winnepeg, Manitoba, Canada
Greenfield
TR line

4.5.2 同轴电缆的计算公式

（见图4.29）

内层导体直径， d_1

内部护套表面直径， $d_2(d_2 > d_1)$

有效相对介电常数， ϵ_r

阻抗：

$$\frac{60}{\sqrt{\epsilon_r}} \ln \left(\frac{d_2}{d_1} \right) \quad [4.86]$$

传输延时(ns/in.):

$$85 \sqrt{\epsilon_r} \quad [4.87]$$

（对于硬核电缆，它等于绝缘材料的介电常数。对于泡沫核，螺旋盘缠或者带有大量空气的其它内核，有效相对介电常数要小一些）。

4.5.3 双绞线的计算公式

导体直径， d

导线中心距， $s(s > d)$

有效相对介电常数， ϵ_r

（对于导线中心距较大的，介电常数等于1，对于两条线的绝缘体相接触的，使用绝缘材料的介电常数）。

阻抗(欧姆):

$$\frac{120}{\sqrt{\epsilon_r}} \ln \left(\frac{2s}{d} \right) \quad [4.88]$$

传输延时(ps/in.):

$$85 \sqrt{\epsilon_r} \quad [4.89]$$

4.5.4 微带线的计算公式

图4.31-4.32中描绘的值是由附录C中的精确公式计算出来的。下面的简单公式可以推出合理的近似值。图4.32包含了对简单公式和精确公式的比较。

地上高度(in.), h

线宽(in.), w

线厚(in.), t

基体相对介电常数, ϵ_r

(简单公式考虑了电介质在基体和空气间是如何分离的, 降低了在基体相对介电常数下的有效介电常数。在这里输入基体的相对介电常数)。

只对窄微波传输带:

当 $0.1 < w/h < 2.0$ 和 $1 < \epsilon_r < 15$ 时, 使用以下公式

阻抗(W):

$$\frac{87}{\sqrt{\epsilon_r + 1.41}} \ln \left(\frac{5.98h}{0.8w + t} \right) \quad [4.90]$$

传输延时(ps/in.):

$$85\sqrt{0.475\epsilon_r + 0.67} \quad [4.91]$$

4.5.5 带状线的计算公式

图4.33-4.35中描绘的值是用附录C中的公式计算的。下面的简单公式可以推出它们的近似值。图4.34中包含了对简单阻抗公式和附录C中公式的比较。

对地的分隔距离(in.), b

线宽(in.), w

线厚(in.), t

有效相对介电常数, ϵ_r

(与周围介质的相对介电常数相等)

对于窄的带状线:

当 $w/b < 0.35$ 和 $t/b < 0.25$ 时使用以下公式:

阻抗(W):

$$\frac{60}{\sqrt{\epsilon_r}} \ln \left(\frac{1.9b}{0.8w + t} \right) \quad [4.92]$$

传输延时(ps/in.):

$$85\sqrt{\epsilon_r} \quad [4.93]$$

本节要点:

- 对于印制电路板的走线, 最重要的几何因素是线宽与布线对地层高度的比例。
- 对反射量倍增一倍找出特征阻抗与终止电阻之间允许的失配值。
- 物理尺寸上大的变化只会对最终的阻抗造成小的影响。
- log-log图上任何函数的斜率等于该函数对参数的敏感度。
- 所有传输速率的公式与介电常数的有效平方根成反比。

高速数字电路设计教材

拟制:	_____	日期:	_____yyyy-mm-dd_____
审核:	_____	日期:	_____yyyy-mm-dd_____
审核:	_____	日期:	_____yyyy-mm-dd_____
批准:	_____	日期:	_____yyyy-mm-dd_____



华为技术有限公司
版权所有 侵权必究

目 录

第 5 章 地平面和层堆积	3
5.1 高速电流在最小的感应系数路径流动 (High Speed Current Follows the Path for Least Inductance)	3
5.2 固定地平面的串扰(Crosstalk in Solid Ground Places)	5
5.3 窄条地平面的串扰(Crosstalk in Slotted Ground Places)	7
5.4 交叉开口地平面的串扰(Crosstalk in Cross-hatched Ground Places)	10
5.5 电源和地指 (FINGERS) 的串扰(Crosstalk with Power and Ground Fingers)	11
5.6 保护路径(Groud Traces)	13
5.7 近端和远端串扰(Near-end and Far-end Crosstalk)	15
5.7.1 感应耦合机制(Inductive Coupling Mechanism)	15
5.7.2 容感耦合方式(Capacitive Coupling Mechanism)	18
5.7.3 相互感抗和相互容感的结合(Combining Mutual Inductive and Mutual Cappable Coupling)	19
5.7.4 近端串扰怎样变成远端问题(How Near-end Crosstalk Becomes a Far-end Problem)	19
5.7.5 在两根线的串扰特性(Characterizing Crosstalk Between Two Lines)	21
5.7.6 使用一系列端点来降低串扰(Using Series Terminations to Reduce Crosstalk)	22
5.8 印制板层数是怎样堆积的(How to Stack Printed Circuit Board Layers)	22
5.8.1 电源和地设计(Power and Ground Planning)	22
5.8.2 底板(Chassis Layer)	23
5.8.3 选择线径尺寸(Selecting Trace Dimentions)	24
5.8.4 路径密度对比层数(Routing Density Versus Number of Routing Layers)	25
5.8.5 规范的层堆积(Classic Layer Stacks)	25
5.8.6 高速板的额外的忠告(Extra Hints for High-speed Boards)	26

第5章 地平面和层堆积

摘要： 在高速数字系统中，地和电源平面主要有三个重要的作用：

- 1) 对数字交换信号提供稳定的参考电压。
- 2) 对所有逻辑器件发散功耗。
- 3) 在信号间控制串扰。

这一章重点放在信号的串扰，5.1-5.6节中分析假定是比较短的路径，相互感应系数的分析是恰当的。5.7节分析长路径，我们将连接分成前向和后向部分。5.8节总结了为防止串扰，如何设计好的印制板的几条规律。

这一章的公式只是在一定程度上是精确的，为了更好地应用这些公式，我们必须建立一些模型，许多是很容易用铜线和线路板建起来的。这些公式很好地显示了电磁波是如何影响物理信号的变化。如串扰如果高达30%，公式就会显示它是如何进一步影响路径的，但是它不能精确地描述对任何部分作用的绝对值。

5.1 高速电流在最少的感应系数路径流动 (High Speed Current Follows the Path for Least Inductance)

在低速电路中，电流经过最小电阻的路径，可参考图5.1，低速电流从A到B通过地平面回到驱动源。回来的电流所经过的面积是很大的，电流密度依赖于所经过路径的电导。

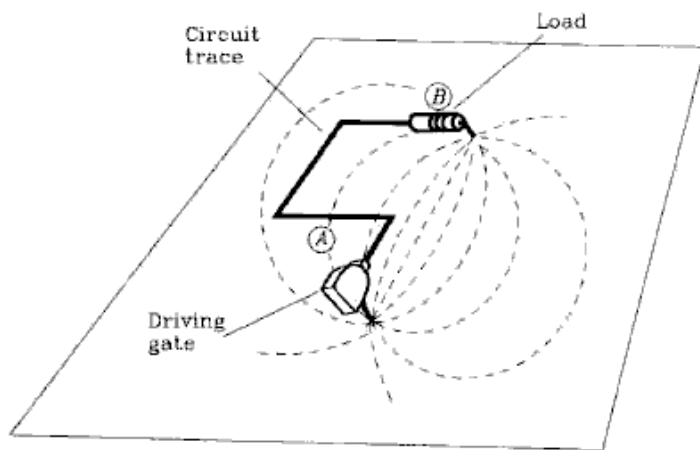


Figure 5.1 At low frequencies current follows the path of least resistance.

在高速电路中，所给定路径的感应系数远远重要于电阻，高速电流返回的路径依赖于感应系数而不是电阻。最低感应系数路径在信号导体的正下方，在去和回来之间有最小的环回面积。返回信号趋向于走这一条路径。如图5.2

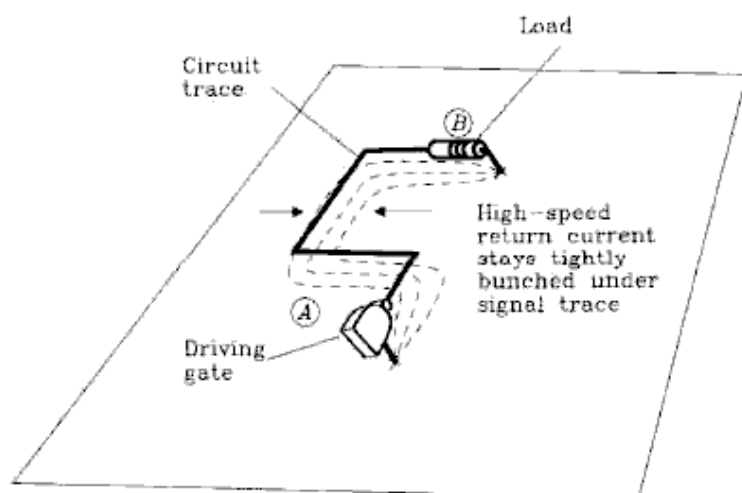


Figure 5.2 At high frequencies current follows the path of least inductance.

图5.3代表在典型印制板中交叉面的返回电流的分布情况，电流密度的峰值在路径的正下方，而向两边迅速减小。在距离信号路径D处的返回电流密度是：

$$i(D) = \frac{I_0}{\pi H} \cdot \frac{1}{1 + (D/H)^2} \quad [5.1]$$

where I_0 = total signal current, A

H = height of trace above circuit board, in.

D = perpendicular distance from signal trace, in.

$i(D)$ = signal current density, A/in.

Current density
at point D is
proportional to

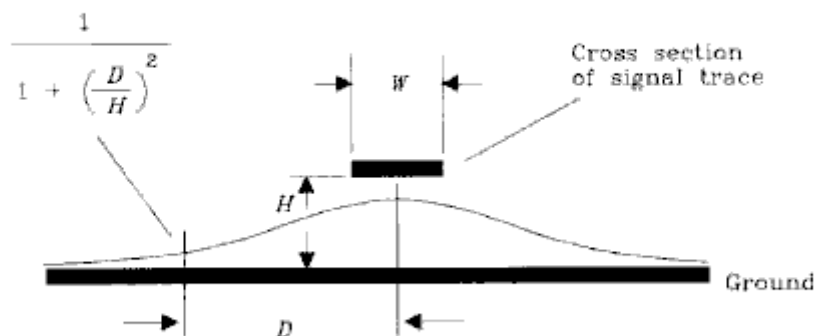


Figure 5.3 Distribution of high-frequency current density underneath a signal trace.

电流分布公式5.1平衡了两个相反的力量。如果电流被拉的更紧，那将会有更大的感应系数(表面电线比平面有更大的感应系数)，如果电流在离信号更远的地方传输，那么在来回的环回面积

会增大，相应的感应系数也会增大。公式5.1是描述在理想情况最小环回面积下电流密度的分布情况。

电流分布也将贮存在信号线周围的电磁场能量减少到最小。

本节要点：

- 高速电流在最小感应系数的路径中流动。
- 返回信号电流靠近信号导体，随着距离的增加成平方的衰减。

5.2 固定地平面的串扰(Crosstalk in Solid Ground Places)

在两个导体之间的串扰依赖于它们之间的感应系数和电容。通常在数字电路中，电感串扰大于电容串扰，因此我们主要讨论电感串扰的几种机制。

这个理论在1.10讨论过，主要是说返回信号电流会产生电磁场，而电磁场又会在其它回路中产生电压。

因为返回电流密度和它相关的本地电磁场强度根据公式5.1下降，我们假设互感系数串扰也会因移动两条路径而下降，如图5.4所描述。

$$\text{Crosstalk} \approx \frac{K}{1 + (D/H)^2} \quad [5.2]$$

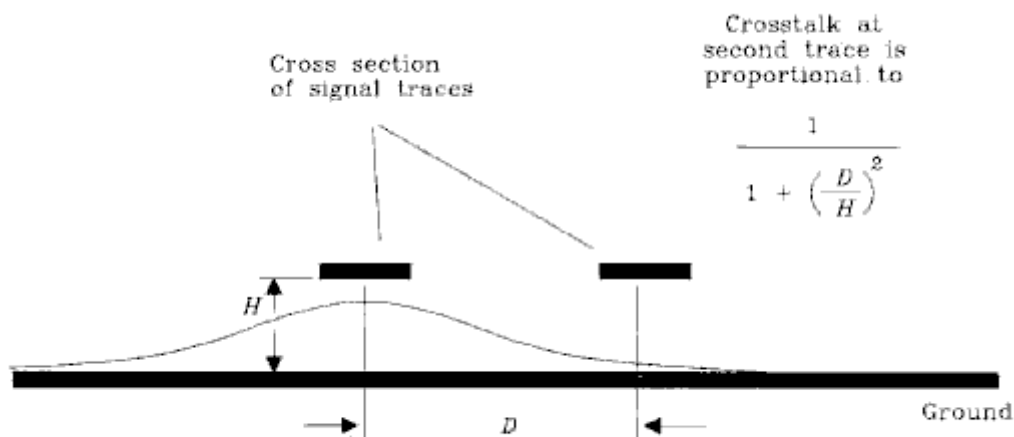


Figure 5.4 Cross section of two traces showing crosstalk.

这里我们将串扰表达成一个测量噪音电压的比率，系数K依赖于电路的上升时间和接口路径的长度，它总是小于1。

我们可以做一个试验来验证这个假设，在图5.5中路径长26in.间隔0.080in. 它们位于单个平面上，地平面是一块铜皮位于线路下面，它们之间是已知厚度的电介质。这样我们可以同时改变地平面上驱动和接收路径的高度。在这个问题中我们要注意 D/H 它比绝对尺寸更重要，它可以测量串扰，通过改变高度，我们可以控制 D/H 。

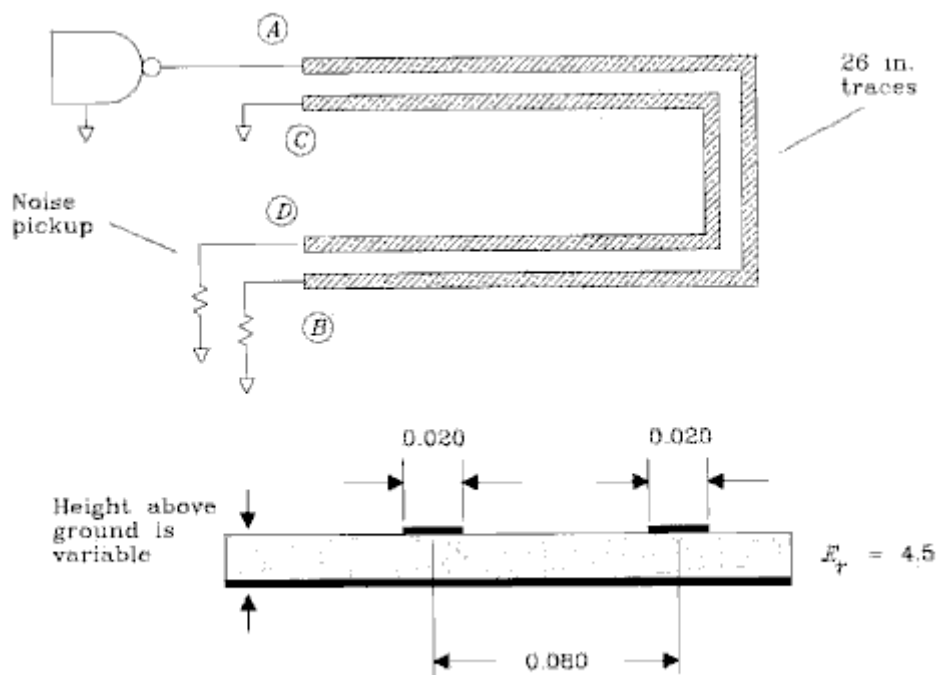


Figure 5.5 Mutual coupling experiment.

图5.6描述各个步骤的情况，在D点，输入3.5V，平面间的距离为0.010，0.020，0.030，0.040，0.050。最后的路径(最大噪音脉冲)是在没有地平面的情况下取得。

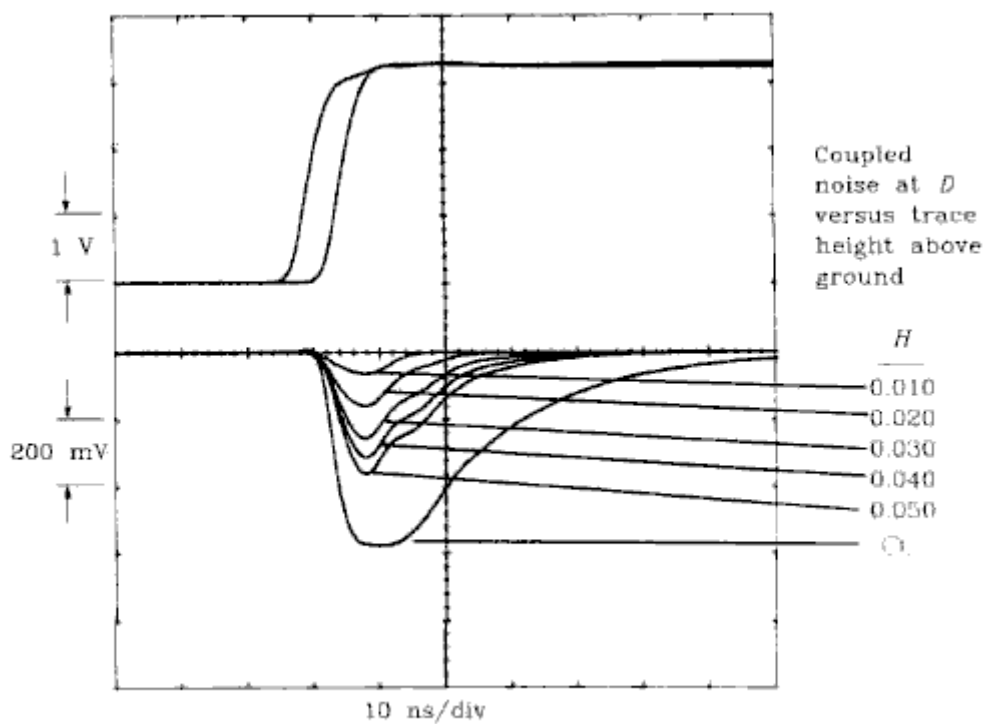


Figure 5.6 Step response of a mutual coupling experiment.

图5.7将这些测量数据汇总成一张表，显示了相互感应系数作为D/H的功能。面积通常用来测量相互的结合，这在1.8节已经解释过。通过测量面积我们可以得到驱动波在面对高环路感应系数时逐渐下降的趋势。这个效果显示出噪音区在高结合因素作为噪音脉冲的长度表示。

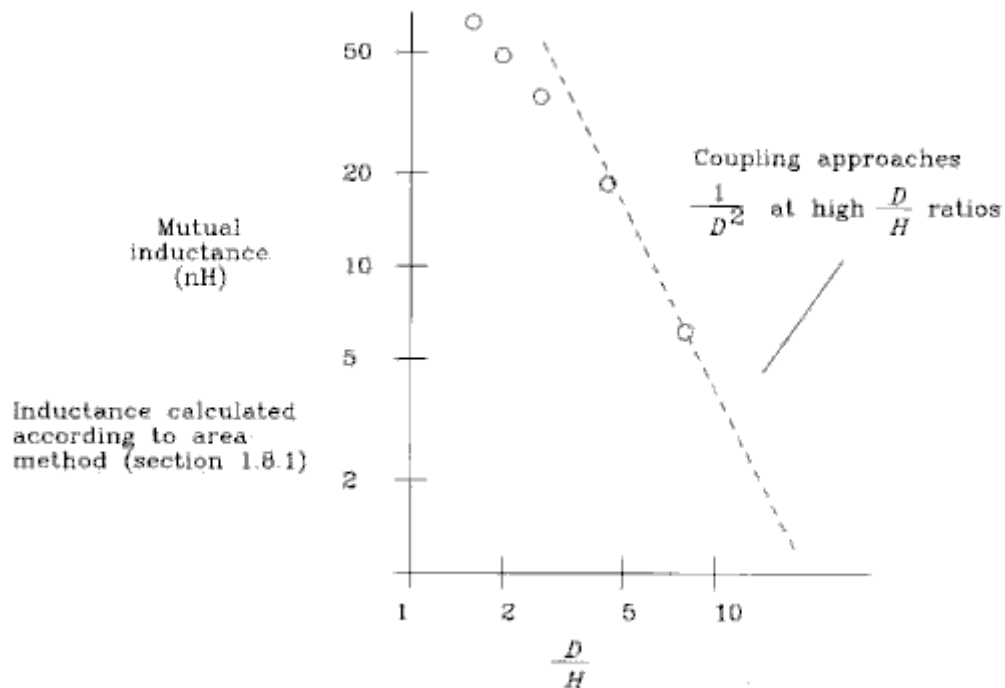


Figure 5.7 Measured data on mutual coupling.

本节要点:

- 返回信号电流产生电磁场，电磁场反过来在另外电路上产生电压。
- 邻近路径产生的噪音随着距离的增加而成平方下降。

5.3 窄条地平面的串扰(Crosstalk in Slotted Ground Places)

在图5.8中描述的情况是一个典型的布线错误，被称作是地槽。这是因为在地平面上留了一个长长的槽并且把信号线放在槽里引起的，如果路径垂直经过地槽那么会对路径增加感应系数，增加串扰，这是不允许的。

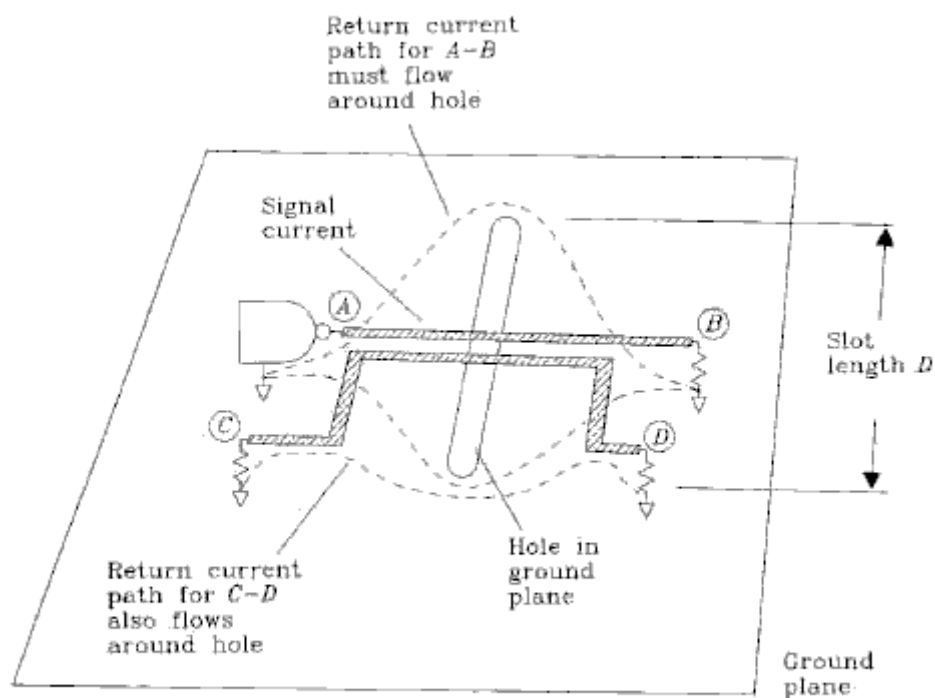


Figure 5.8 Crosstalk in a slotted ground plane.

地槽也会发生在高密度布线层上，当地平面经过连接器的管脚时会因为管脚太大而使地平面不连续。所以在设计中要保证地平面在所有管脚处的连续。如图5.9所示。

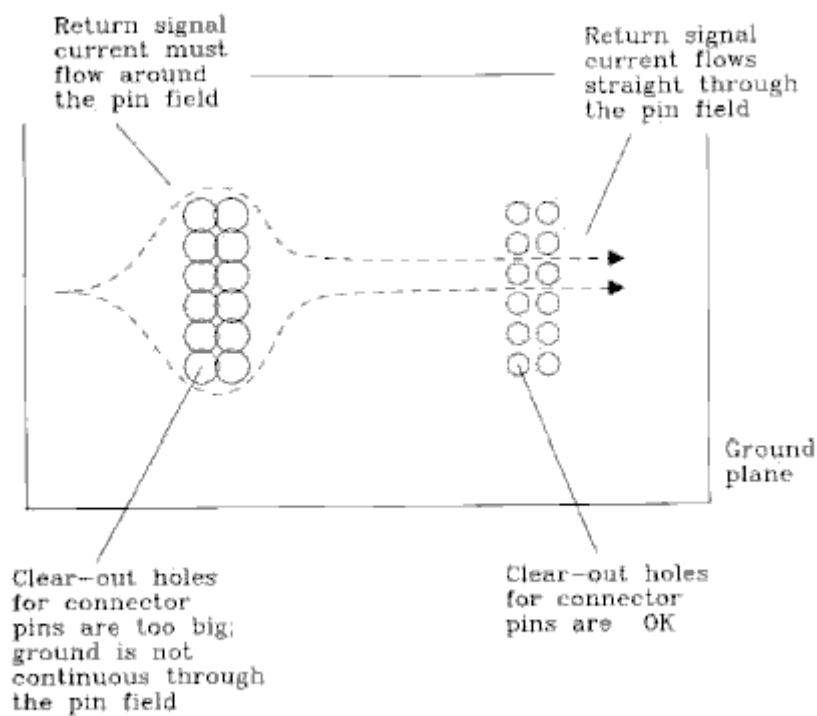


Figure 5.9 Ground slot caused by improper connector layout.

在图5.8中，返回电流不能直接从A-B下面走，它转移到地槽的周围。转移电流使环路增大，动态地增加信号的感应系数，它降低了在B点接收信号的上升时间，转移电流同样加重了C-D间的环路电流通路，重叠的部分导致A-B和C-D间的感应系数。

A-B间的感应系数是：

$$L \approx 5D \ln\left(\frac{D}{W}\right) \quad [5.3]$$

where L = inductance, nH

D = slot length (perpendicular extent of current diversion away from signal trace), in.

W = trace width, in.

不管地槽多么窄，都会引起电流在槽边缘的分流，对感应系数的增加的效果是一样的。如果路径通过地槽的一端，引起的效果会小一些，槽如果比路径小几乎不会引起系数的增加，槽接近但是没有重叠对其影响也很小。

上升时间的降低是由感应系数的变化引起的，依赖于终端的条件，最坏的情况是通过长线，源端的阻抗是 Z_0 ，结果10-90%的上升时间是这样的：

$$T_{10-90\ L/R} = 2.2 \frac{L}{2Z_0} \quad [5.4]$$

将它与自然信号结合起来是：

$$T_{\text{composite}} = \left[\left(T_{10-90\ L/R} \right)^2 + \left(T_{10-90\ \text{signal}} \right)^2 \right]^{1/2} \quad [5.5]$$

对于短线驱动大电容，10-90%的上升时间是：

$$T_{10-90} = 3.4(LC)^{1/2} \quad [5.6]$$

这样电路可能振铃，这个电路的Q是：

$$Q = \frac{(L/C)^{1/2}}{R_s} \quad [5.7]$$

R_s 是驱动源的电阻。当Q比1大的多的时候，电路就振铃，当Q接近1时，上升时间如公式5.6所表示的，当Q小于1时，上升时间比公式5.6表示的小。

如果第二条路径接近第一条路径也和地槽相交叉，那么它们的相互感应系数是 L_m ，第一条路径的感应系数仍是如公式5.3所述的 L 。如果第二条路径靠近地槽的末端，那么它们的相互感应系数随着距离的增加而成线性降低。

两条路径的相互影响的电压可从以下公式得出：

$$V_{\text{crosstalk}} = \frac{\Delta I}{T_{10-90}} L_M \quad [5.8]$$

对于长路径，可以用以下公式表示：

$$V_{\text{crosstalk}} = \frac{\Delta V}{T_{10-90} Z_0} L_M \quad [5.9]$$

对于短路径，并且驱动大容量电容，可用以下公式表示：

$$V_{\text{crosstalk}} = \frac{1.52 \Delta VC}{(T_{10-90})^2} L_M \quad [5.10]$$

公式5.4-5.10可很好地用在由于地平面的不好而引起的变化。

本节要点：

- 地槽引起不需要的感应系数。
- 感应系数在边缘处减小。
- 地槽产生相互串扰。

5.4 交叉开口地平面的串扰(Crosstalk in Cross-hatched Ground Places)

如下图5.10设计电源和地栅格可以节约板面积，但是增加了相互感应系数，这种技术不需要分开的地和电源平面，可以和地或电源平面一样将普通信号在同一平面相连接。这对小的低速的CMOS和TTL信号是合适的，但对高速逻辑信号不能提供合适的地平面。

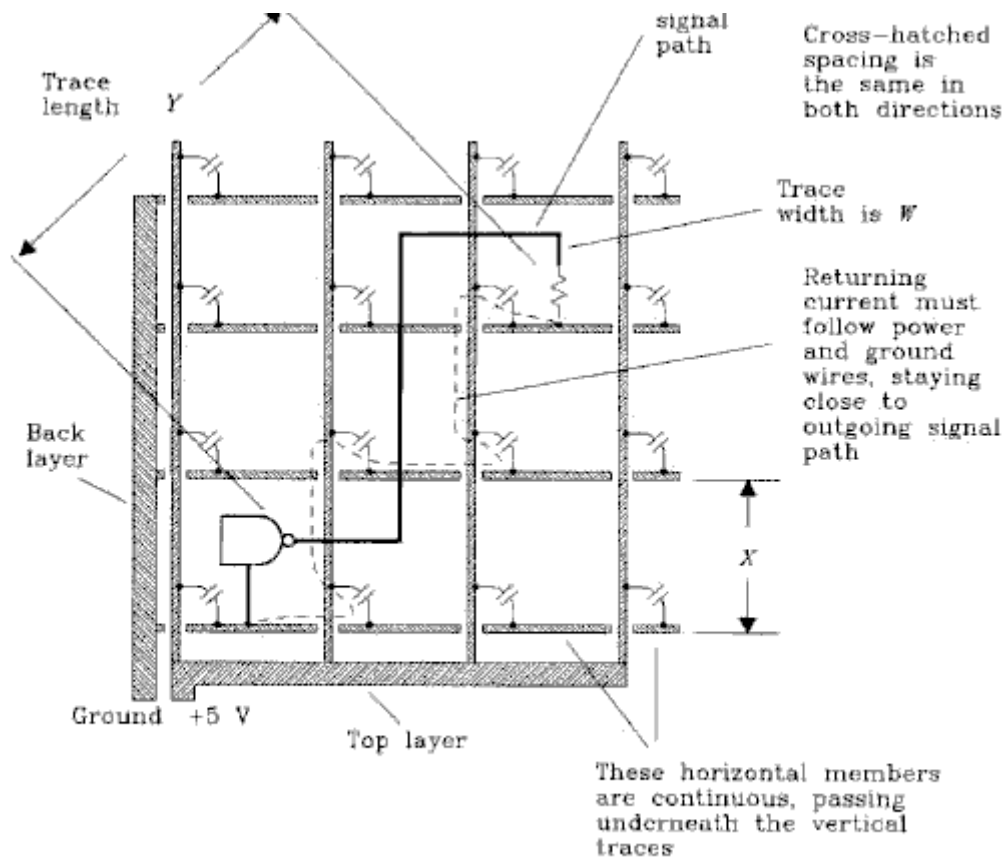


Figure 5.10 Power and ground grid on two layers.

在地栅格方案中，地线在板的底层呈水平面分布，电源线在板的顶层呈垂直面分布，在每个交叉位置上有一个旁路电容，这样形成一个交叉开口图形，电流可从源端沿地或电源线很好地等同返回。

在这个系统中用的电容必须非常好，因为有些电流在返回驱动门时要经过几个旁路电容。

这种交叉结构给地或电源平面其他信号预留了很大的空间，在完成了地和电源连接后，在垂直和水平方向仍有通道可走其它信号，这非常适合必须使用双层板的情况。

一种相关的结构叫做交叉开口地平面，这种结构全部地走线放在一个平面上，由垂直和水平的路径覆盖在板上，这种交叉开口的地平面只和地相连接，其它信号不能放在这一层上。

这种交叉开口地平面有利于在薄板上应用高阻抗传送结构。有时候在薄的电介质中需要在窄面上有令人满意的阻抗，因为太小不能提供可靠的结构。在这种情况下，将交叉开口地平面结构蚀刻到地平面上可以增加串联阻抗和降低容值。这样增加了线路的特性阻抗。除非控制阻抗线沿着开口方向45度走，否则不能应用在交叉开口地平面上，开口必须比接近工作的上升沿小的多。

这两种方案都会比固定的地平面产生比较多的相互感应系数，问题是：设计的电路是否可以在这样的互感中工作？

首先估计一下单路通过交叉开的地平面所产生的自感应系数，这也可以应用到电源和地栅格中：

$$L \approx 5Y \ln\left(\frac{X}{W}\right) \quad [5.11]$$

where L = inductance, nH

X = hatch width, in.

W = trace width, in.

Y = trace length, in.

如果路径离交叉开口面近一些，那么阻抗会小一些，如果交叉开口结构比路径小或小的多的情况下，几乎不起作用。

如果第一条路径紧靠第一条路径也经过同样的交叉开口面，这两条路径紧紧联系在一起，他们的互感是 L_M ，第一条路径的感抗仍然是 L 。

如果第二条路径偏移第二条路径相当的距离 D ，他们的互感随着距离的增加而减少如下式，这里用交叉开口的尺寸 X 来替代 H 。

$$L_M = \frac{5Y \ln(X/W)}{1 + (D/X)^2} \quad [5.12]$$

应用5.3节的公式可以根据互感和自感来计算上升时间的降低和串扰电压。

本节要点：

- 如果必须使用两层，那么使用电源和地栅格系统。

5.5 电源和地指（FINGERS）的串扰(Crosstalk with Power and Ground Fingers)

如图5.11中所设计的电源和地指象电源和地栅格一样，允许有一些互感并可节约更多的面积。这种老的设计出现在美国通信委员会管理放射性指导以前的旧的计算机设备上，也应用在廉价的电线折叠框架中。现在不要用它。

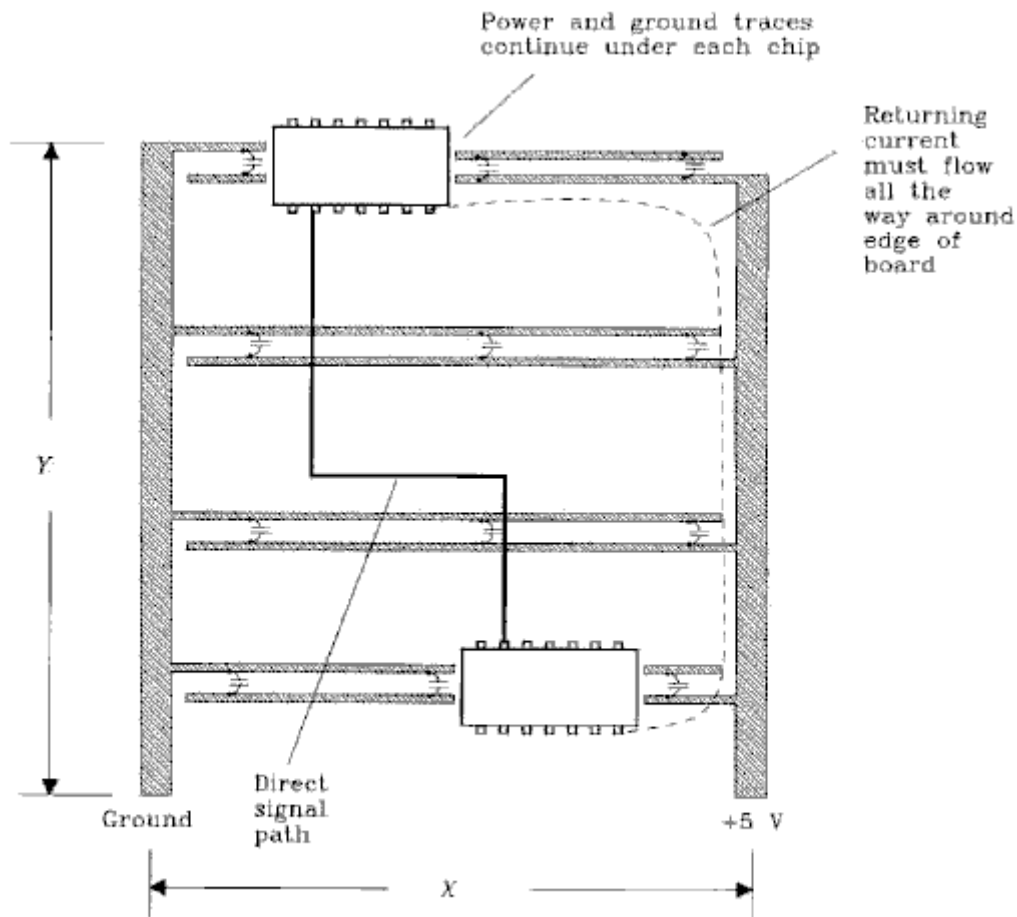


Figure 5.11 Ground fingers layout.

电源和地指技术只工作在速度非常低的小的逻辑电路中，它的主要优点是可将电源和地线放在一层上，将其它信号放在另一层上。

在电源和地指方案中，地线在板的右边，电源线在左边，如果需要这些线从左向右延伸，就像指或梯子一样。

内部集成线路包跨在这些横栏中，和电源和地线有很短的接触，在邻近的电源和地之间有旁路电容。

这个方案的问题是，如果信号要返回源端，必须经过所有板的边沿，这种情况大大地增加了互感和自感。

如果你必须使用两层板子，那么请使用5.4节所说的电源和地栅格，如果必须使用电源和地指，那么请先建立一个样板，测量路径之间的互感，考虑一下这样电路是否可以工作。它可以工作在非常低的CMOS逻辑和老的LS-TTL中。但是不能应用到任何速度快的逻辑中，再者这个电路不只是影响功能问题，从开口的电路环中辐射出的电磁波注定通不过FCC的测试试验。

下面是计算环路感应系数的公式：

$$L \approx 5Y \ln \left(\frac{X}{W} \right) \quad [5.13]$$

where L = inductance, nH
 X = board width, in.
 W = trace width, in.
 Y = trace length, in.

注意线的宽度几乎对总的感应系数没有多大的效果，宽的地线也没有多少帮助，需要的是一个小的网状地线覆盖在线路板的表面。

如果路径偏离到一边，那么感应系数可能会小一些。

因为返回的电流经过板的边缘，那么电磁波就会无处不在，如果有第二条线进入这个磁场，就会将两条线路紧紧捆在一起，两条路径之间的互感系数 L_M 几乎与5.13式的自感系数一样，并不随距离的改变而有所变化。

应用 L 和 L_M 来计算上升时间的降低和串扰电压。

本节要点：

- 对于高速逻辑信号，避免使用地指结构。

5.6 保护路径(Groud Traces)

保护路径在模拟电路中应用非常广泛，在音频中，双层板没有固定的地平面，在敏感信号两边加上两条互相平行的地线可大大降低串扰。

在数字世界中，固定的地平面为地保护线提供了大量的益处，在这之后，保护线提供了附加的作用。

作为规律，在微波传送之间的耦合因为插入第三根线，这根线在两头由地线包着，而分成两部分。如果这第三根线频繁地穿过地平面，那么他们之间的耦合也会分为两部分。如果有多于一个的地平面，这样在需要保护的线两端用地保护，而不要在中间。

在数字问题中，如果两条线分开的足够大以致于可以放上一根保护线，那么这根保护线是不需要的，因为它们之间的耦合已经足够小了。看例5.1

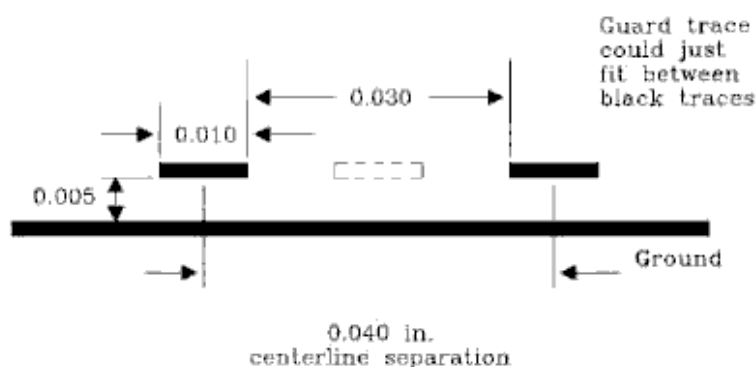


Figure 5.12 Guard trace positioning.

What is the estimated crosstalk?

Using Equation 5.1, the crosstalk fraction can't be any worse than

$$\text{Crosstalk} < \frac{1}{1 + (D/H)^2} \quad [5.14]$$

The centerline separation is 0.040, and the trace height is 0.005, so the ratio D/H is 8,

$$\text{Crosstalk} < \frac{1}{1 + (8)^2} = 0.015 \quad [5.15]$$

This is not enough crosstalk to worry about in a digital system.

多大的串扰算太大呢？在模拟系统中，高功率的信号如果要穿过低压值的输入时，系统需要很强的免疫力。在不同种类的逻辑电路混合的数字系统对串扰是敏感的。如当高电压值的信号如TTL与低电压值如ECL靠近时。

对于同类数字系统，串扰值介于相邻线的1—3%是好的，这是基于这样的假设，存在一个固定的地平面，每根线只和相邻的线相互影响。当使用开口或者指地系统时，很多线相互作用，我们必须在考虑固定信号的串扰前，将各种串扰之和考虑进去。

图5.13显示了一个典型的地线的应用，源端发出一个已知电压的步伐沿着路径A，串扰信号可以从路径B或C中收到，路径大约是26英寸，特性阻抗是50欧。

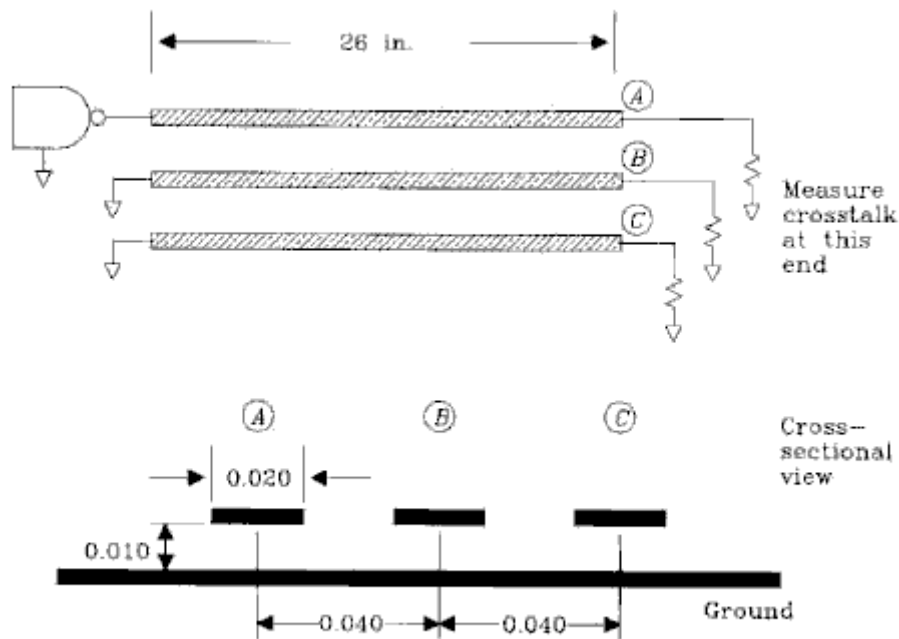


Figure 5.13 Guard trace demonstration.

对于微波系统中不同的步伐效果列在图5.14，大的脉冲的位于线A和B之间的串扰（C不连接），中间的脉冲的位于线A和C之间的串扰（B不连接），它比A和B之间小4倍，如公式5.2预测的那样（B两端和地相连接）。我们从A和C之间得到最小的耦合，这大约是中间的一半，这是地

线的效果。

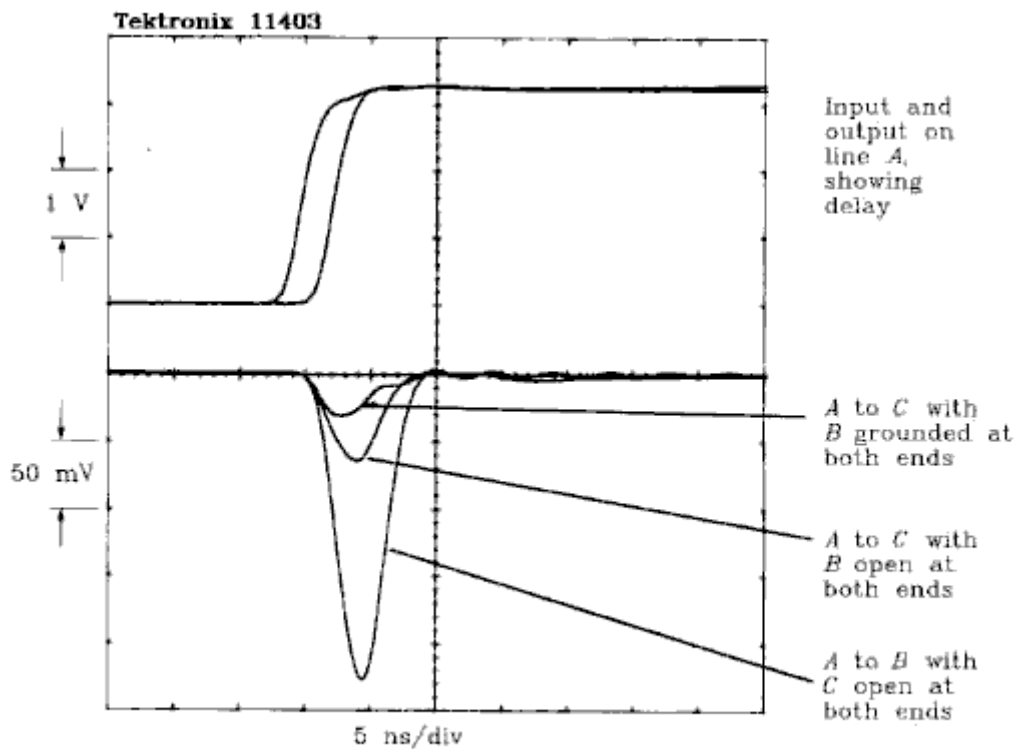


Figure 5.14 Example showing guard trace effect on coupling.

本节要点:

- 固定的地平面对需要地保护的线起到大部分的作用。

5.7 近端和远端串扰(Near-end and Far-end Crosstalk)

在5.1—5.6节使用的串扰例子都是应用混合电路（LUMPED—CURCUIT）分析，这种互感耦合模式可以很好地工作在许多耦合问题上，但是不适宜长线。

这节主要讲述了两根长距离传输线之间的耦合问题，包括相互感应系数和相互容感系数。

5.7.1 感应耦合机制(Inductive Coupling Mechanism)

在这一节中我们只考虑感应耦合，在5.7.2节考虑相互容感耦合。对这种情况，B.L.Hart提出了一种更加数学化的描述。

在图5.15描述了一种典型的串扰位置。系统的末端标志近和远，就像在长线串扰所使用的语言一样。

线A—B运载了一种信号，它产生的电磁场在线C—D产生电压。电磁耦合（互感）通常就像变压器一样，因为互感的分区的，它就像连接在两根线之间的连续变压器一样。

假设耦合是很小的（最好是这样）变压器不会对A向B端传送的信号产生很大的影响。当电压值从A传到B时，在每个耦合变压器一个相互作用的小的标志出现在邻接的线上，每个标志在线C—D上向前或向后传播。

这时，让我们考虑由变压器K引起的标志，当从A到达这一点时，通过变压器K变化电流产生了一个瞬间电压，如图5.15所示，这个标志是由感应器K电流变化产生的。

$$L_M = L \frac{dI}{dT} \quad [5.16]$$

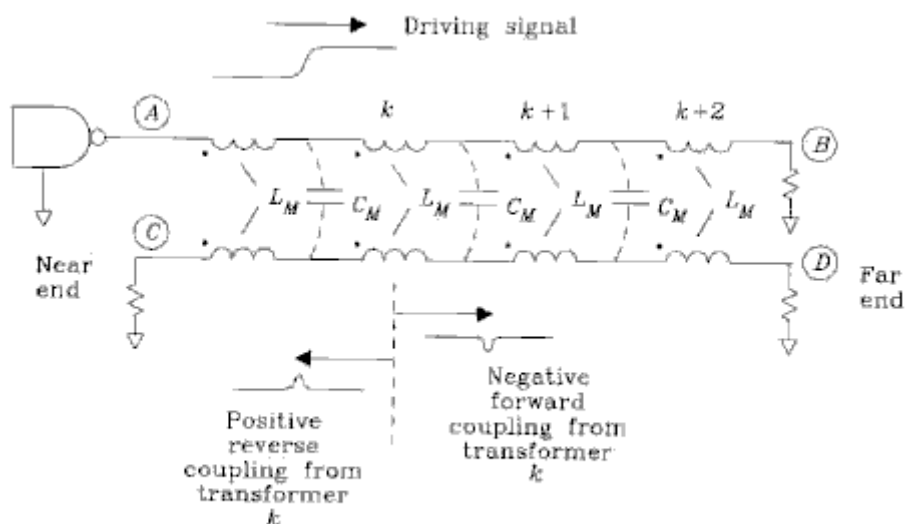


Figure 5.15 Mutual coupling between two long transmission lines.

这个变压器在线C—D上产生电压标志，正负极如标志所示，所感兴趣的事是正极在变压器两边是不同的，正的标志沿着线C—D向左传播，负的标志沿着线C—D向右传播。

在图5.16中反射图中显示全部变压器产生的标志汇合成一个奇怪的现象，负的标志同时到达远端，而正的标志在不同的时间到达近端，总的时间是 $2T_P$ 。

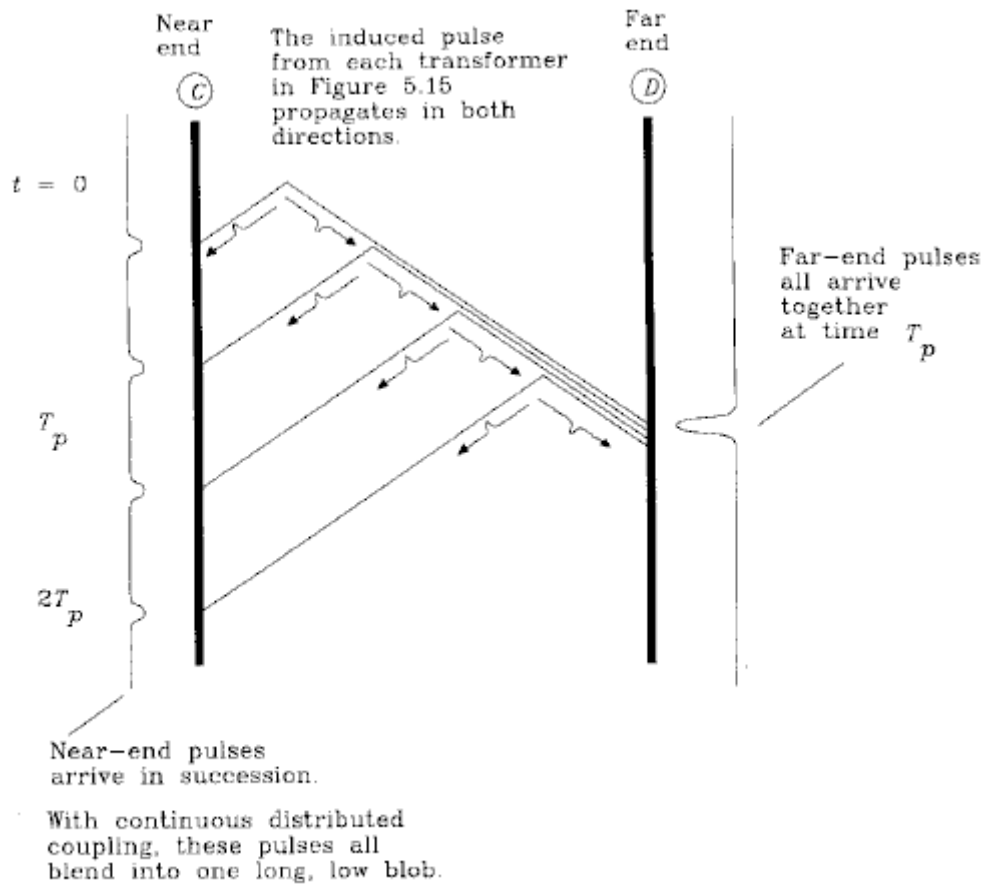
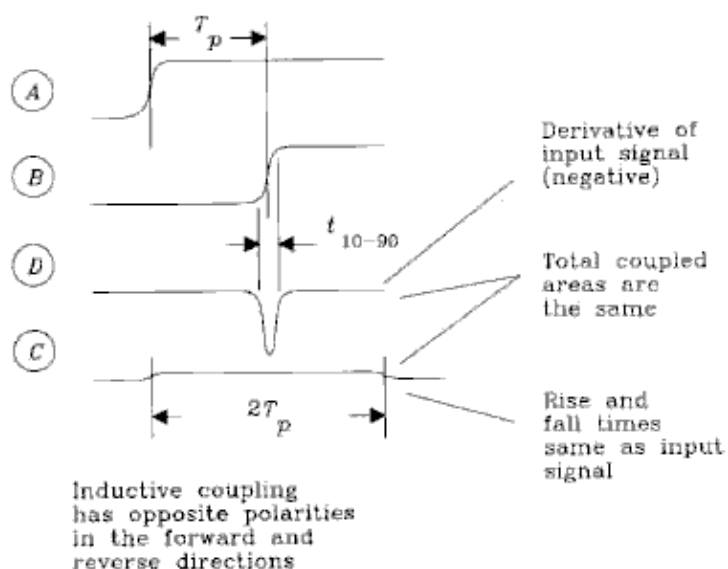


Figure 5.16 Reflection diagram showing mutual inductive coupling from the four

让我们研究一下向前的总的串扰效果，每个标志传播以降低输入信号和产生互感 L_M ，因为向前的标志同时到达远端，总的大小在两线之间产生总的互感。如果线增长，那么总的互感和串扰也会增大。

反方向的互感是不同，总的耦合量和向前传播的一样，但是它是在 $2T_p$ 时间传到的，在实际中，总的反方向标志平滑地传播到反方向耦合的连续点，理想的由互感耦合所产生的步伐是由图5.17所显示的方形功能。

如果线延长，总的互感会增加的，反方向的耦合会在持续上增大但不会在高度上变化



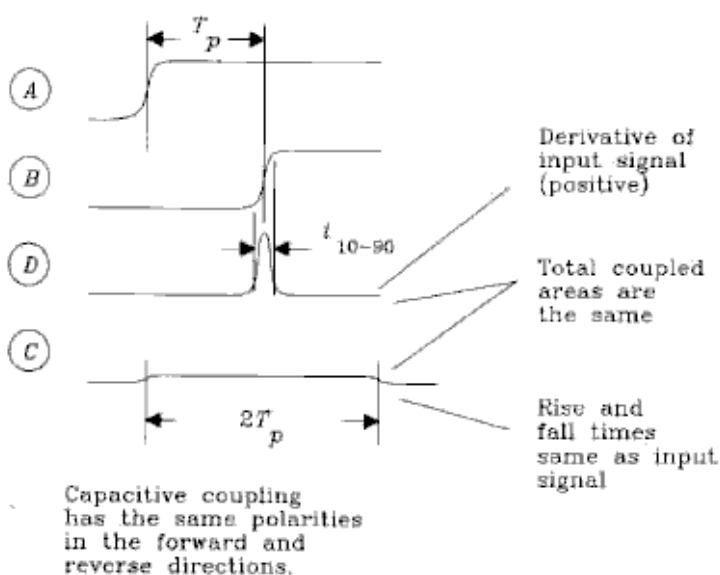
$$\text{Inductive reverse coupling} = K[V(t) - V(t - 2T_p)]$$

Figure 5.17 Forward and reverse mutual inductance coupling (distributed).

5.7.2 容感耦合方式(Capacitive Coupling Mechanism)

容感耦合几乎和互感是一样的，不同的是耦合的正极上。在图5.15中，当电压穿过一个互容时，在相邻线上产生了一个小的干涉标志，每个标志在线C—D上向前后传播。

容感耦合的极性是向前或向后的正极，还有，他们的行为几乎和互感一样，向前耦合的容感也水线消弱了输入信号，随着线距离的增长而增大，它极性是正极，这和向前的互感耦合相反。向后的容感和向前的一样，但是它传播的时间大于 $2T_p$ ，在容感耦合中理想的反方向步调反应如图5.18所示。



$$\text{Capacitive reverse coupling} = K[V(t) - V(t - 2T_p)]$$

Figure 5.18 Forward and reverse mutual capacitive coupling (distributed).

5.7.3 相互感抗和相互容感的结合(Combining Mutual Inductive and Mutual Capacitive Coupling)

在平常的条件下，在固定的地平面上，容抗和感抗串扰电压是一个数量级，向前串扰构成消除了，同时向后的串扰构成增加了。

带状线路很好地显示了容抗和感抗的平衡并且有小的向前耦合的总体效果，对串扰有影响的微波传输大部分从空气中传送而不从介质中传送，在某种程度上容抗比感抗小，产生了一种小的负的向前耦合总体效果。

通过一个长条的开口的或者其它相互作用的地平面，感抗串扰成分比容抗大，并且向前的串扰是大的负值的，向前的串扰永远不会比向后的大。

5.7.4 近端串扰怎样变成远端问题(How Near-end Crosstalk Becomes a Far-end Problem)

在图5.15中，向前和向后的耦合信号是不同的，每个信号传播到C—D端在末端是有区别的。在实际应用中与模式是不同的，在数字应用中是没有源端的，在图5.19中连接到左端的设备是一个低阻抗驱动器，像其他信号一样，当反向串扰碰到驱动器后反射，这个反射的效果对于低阻抗驱动器来说几乎是一1，这使反向耦合从正极改变为负极，返回到远端。

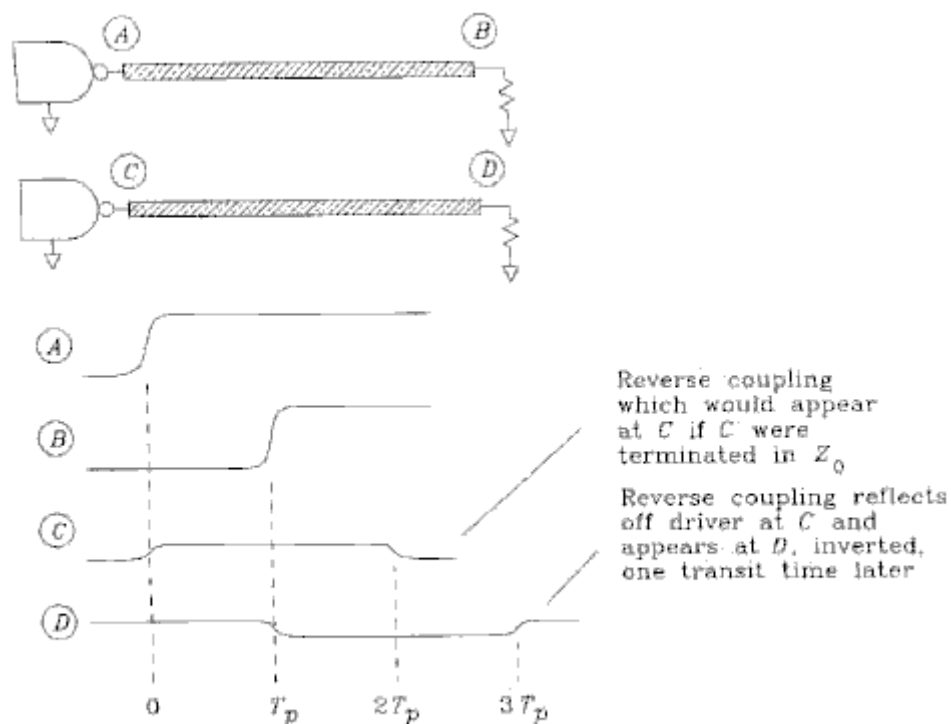


Figure 5.19 Reverse coupling reflecting from a low-impedance driver.

在远端D看到的信号是在C点向后耦合的信号的复制品，只是由于传输而延迟了。因为向前耦合的感抗和容抗相互抵消，当与较大的后向耦合放在一起，向前耦合几乎的看不到的。当我们在图5.20所定义的那样测量串扰时，我们实际上是测的是后向耦合。

例5.2：反射的后向串扰

图5.20显示了测试的建立，它在图5.21中产生了反向串扰。脉冲产生器驱动线A—B，电压是2.5V，上升时间是880ps，在A点测试出现在图5.21，度量是1V/分割数。

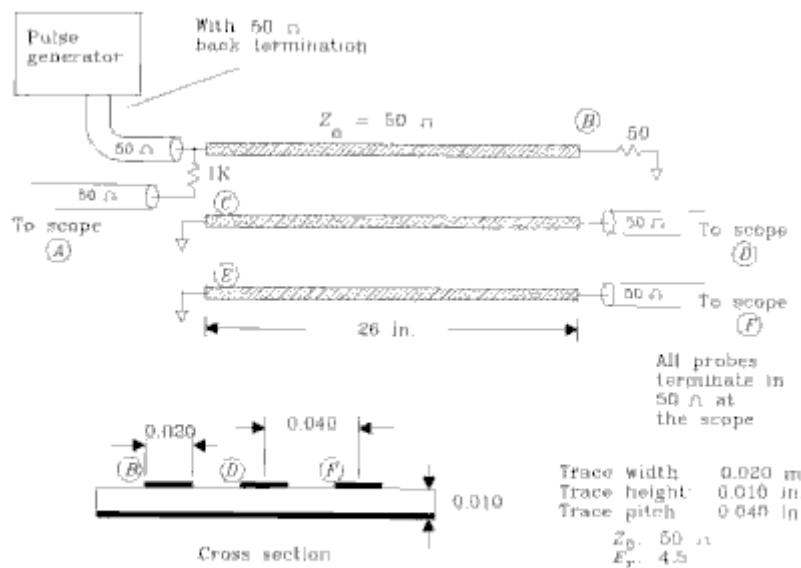


Figure 5.20 Setup for reflected reverse crosstalk measurement.

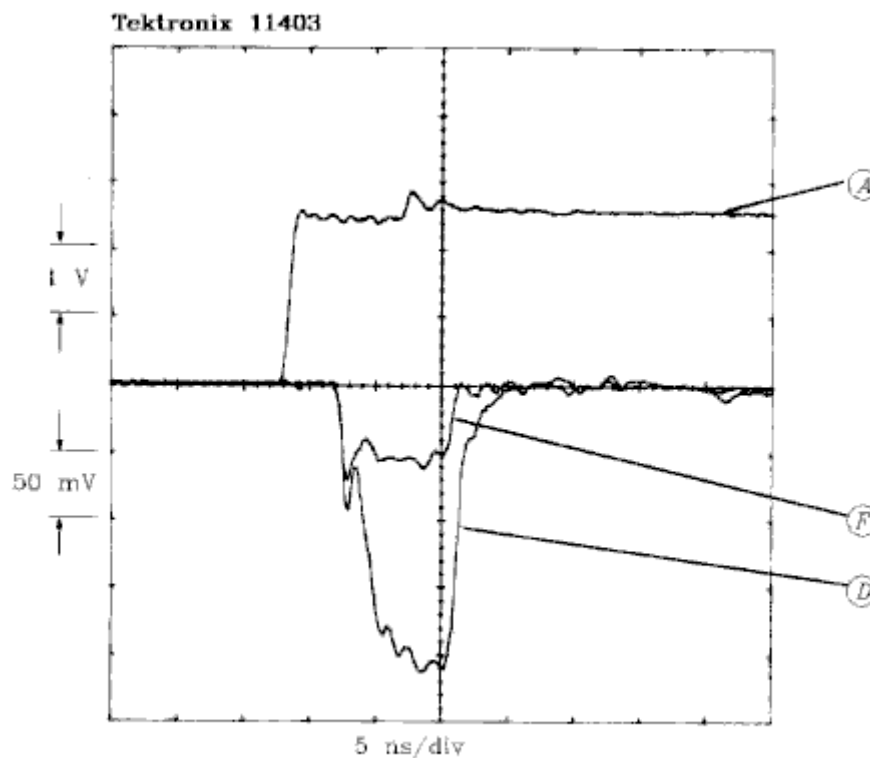


Figure 5.21 Reflected reverse crosstalk measurement.

在D和F点的串扰连接到通常的同轴探针上在图5.21，度量是50mV/分割数。全部探针是等长的，并且末端阻抗是50欧。

两个串扰信号在初始化上升沿后4.5ns一起开始。

$$T_p = 4.5 \text{ ns} \quad [5.17]$$

两个信号持续时间是9ns，是负极。

$$\text{Crosstalk duration} = 2T_p = 9\text{ns} \quad [5.18]$$

在D和F点测量的串扰信号是：

$$D = (4 \text{ divisions})(50 \text{ mV/division}) = 200 \text{ mV} \quad [5.19]$$

$$F = (1 \text{ division})(50 \text{ mV/division}) = 50 \text{ mV} \quad [5.20]$$

串扰比率（输出和输入之比）：

$$\frac{D}{A} = \frac{0.200}{2.5} = 0.08 \quad [5.21]$$

$$\frac{F}{A} = \frac{0.050}{2.5} = 0.02 \quad [5.22]$$

用式5.2检测出的比率是：

$$\frac{D}{A} = \frac{1}{1 + (0.040 / 0.010)^2} = 0.059 \quad [5.23]$$

$$\frac{F}{A} = \frac{1}{1 + (0.080 / 0.010)^2} = 0.015 \quad [5.24]$$

5.7.5在两根线的串扰特性(Characterizing Crosstalk Between Two Lines)

向前串扰和驱动信号的导数和线的长度成比例，比例系数依赖于感抗和容抗之间的平衡，一旦我们测到已知信号的比率，对于其它信号的反映模式就微不足道。

对于上升沿快的后向串扰模式同样简单，后向耦合看起来像方形脉冲，上升和下降时间和输入信号有关高度正比于驱动信号大小，后向耦合系数是由线长和其它物理系数决定的，持续长度为 $2T_p$ 。

对于上升沿慢的后向串扰信号有一点麻烦，一旦我们测量了快上升沿的后向耦合，那么对于任何输入信号可从下面得到：

$$\text{Reverse coupling}(t) = \alpha_R [V(t) - V(t - 2T_p)] \quad [5.25]$$

where t = time, s

$V(t)$ = driving waveform, V

α_R = reverse coupling coefficient for fast-edged signal

T_p = propagation delay of line, s

对于那些长于一半上升时间的线来说，后向耦合有足够的时间来建立起其全部值，对于这可用下式：

$$\alpha_R \approx \frac{1}{1 + (D/H)^2} \quad [5.26]$$

where D = separation between lines, in.

H = line height above ground, in.

对于那些短于一半上升时间的线来说，后向耦合蔓延起来又落下去了，不会达到固定的最大值。

5.7.6 使用一系列端点来降低串扰(Using Series Terminations to Reduce Crosstalk)

一系列端点降低了远端的反向串扰，削弱了末端的返回反射信号。反向耦合信号又会再次指向远端，使用双端削弱了反向串扰的噪音源，从总体来说是好的

通过结合一系列末端点来降低耦合，让我们使用一系列的并行总线，这比其它好！

本节要点：

- 考虑到长的传输线：通过固定的地平面，感抗容抗是等同的，前向串扰取消了，后向串扰增强了。
- 通过一个长条的或者是不完整的地平面，感抗耦合大于容抗，使前向串扰大而且是负的。
- 前向信号正比于输入信号的降低和线的长度。
- 后向耦合看起来像一个方形的脉冲，有固定的高度，持续时间为 $2T_P$ 。对于短线，后向耦合不能达到它的满值。
- 后向串扰，碰到低阻抗的驱动器后，向远端反射。

5.8 印制板层数是怎样堆积的(How to Stack Printed Circuit Board Layers)

印制板层数的堆积详细说明了线路板层数的安排，它特别说明了地平面和电源平面，衬层的电介质常数和层数的空间距离，当安排层数的堆积时也应该考虑路径尺寸的要求和相互之间的距离。

制造和层数堆积的紧紧相关的，设计和线路越密，花费的成本越大，这一节就讲述了几个常用的设计层数的指导准则。

5.8.1 电源和地设计(Power and Ground Planning)

首先设计电源和地平面，先考虑信号的上升时间，信号的数目和线路板的物理尺寸。在物理尺寸中，估计一下线路的宽度，宽度的假设不再这个阶段评论。

再者，估计一下使用固定平面，开口，和指平面模式的自感和互感，在这一点上，通常来说哪种模式适合哪种设计是清楚的，记住对于地指方式所有的线都是相互作用的。对于开口模式沿着开口栅格和线是相互作用的，对于地平面模式只有相邻的线是相互作用的。

如果你要使用一个固定的地平面，那么地平面和电源平面的成双的，在层堆积中，对称的固定平面可以预防在线路板上弯曲。如果一个平面的线路板，偏离一边时会弯曲的很明显。

和地平面一样，电源平面也可以应用在低阻抗的信号返回路径，假如有足够多的旁路电容，那么电源平面传输会和地平面一样好，在一个电源面和地平面或者两个电源平面带状传输线也可以工作。

5.8.2 底板(Chassis Layer)

有时候，你可能会在数字系统外运行一个信号，对于这可以应用一个低速的或控制上升时间的驱动器，它可以降低辐射。

如果驱动器的地平面和数字地相连接，那么驱动器的输出就会是原来打算的输出加上数字地平面的噪声。如图5.22中所示。

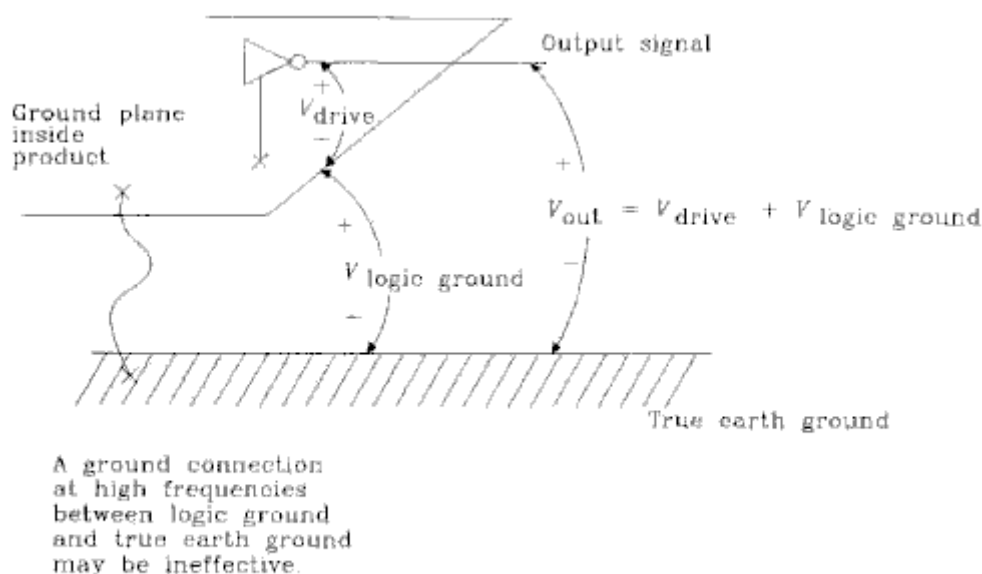


Figure 5.22 Using a controlled rise-time driver.

对于高频噪音电压数字逻辑地是众所周知的不好，地平面上运载着由于返回信号穿过他们自己的自感而引起的波动电压，这些高频的波动电压太小了而不会造成数字电路的麻烦，但是超出了FCC的范围，通常会在FCC实验中失败。

没有其他假设的话，控制上升时间驱动器可拾起地噪音并传播到底板外面。

一种解决办法是在堆积层再加一层底层，紧靠着地平面，在两层间给出了一个紧紧的容感耦合。在高频中，这两层被有效地捆在一起，在靠近控制时间上升的驱动器的连续轴上底层可通

过上螺钉或焊接到其他方法和外面的底层相接，在高频中，对于底层我们有效的缩短了地平面。这减少了地平面的噪音，也减少了由控制上升时间驱动器所输出到外面的噪音。

通常电容不会起到缩短底层和数字地的作用，因为他们有很多的导线阻抗，只有在数字地和底层之间有大的宽的平行的平面才会有足够小的阻抗才会起到作用。

在低频中，虽然有底层，但是有数字逻辑和外面底层中仍然有电隔离区，这对于安全或其他情况应该考虑。如果这个隔离不太要紧，只要简单地把数字逻辑地直接和底层相连接而不需经过一个分离的底层，在靠近控制时间上升的驱动器的连续轴上底层可通过上螺钉或焊接到其他方法和外面的底层相接。

当使用一个底层时，要在堆积层中使用其它平面以达到平衡，处于机械考虑，通常在堆积层使用对称的安排。

5.8.3 选择线径尺寸(Selecting Trace Dimensions)

将线紧紧地挤在一起会增加线的密度，非常密的设计可以减少板的层数，因为线路板的成本和层数是有关系的，如同板的面积，我们总是趋向于使用紧少的层数。

小的更密的空间也会产生更多的串扰和使用少的电源处理电容，这种交易往往在低成本的设计中使用。

让我们先考虑电容，因为它对于抑制是最简单的。印制板上的电源处理电容主要依赖于它的横截面和温度的上升，对于给定的横截面，路径温度的上升大约正比于电源的散发，大的温升是不可靠的也会使数字电路升温，在数字电路中可以考虑的上升温度是10度。

图5.23显示了电源处理电容和温度的关系，水平轴测量横截面单位是英寸的平方，纵轴显示在给定的温度下路径允许的电流。例在温度上升10度时，0.010英寸宽0.00135英寸厚可安全通过

750MA的电流。

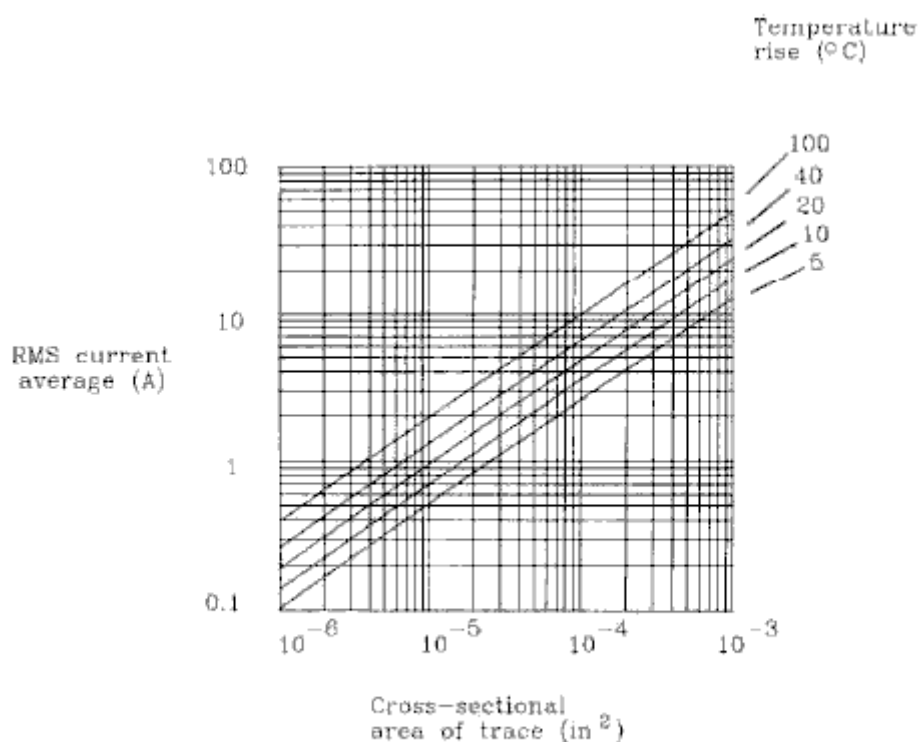


Figure 5.23 Current-carrying capacity of copper printed circuit traces.

TABLE 5.1 MINIMUM LINE WIDTHS ATTAINABLE WITH VARIOUS PRODUCTION PROCESSES

Process	Minimum line width (in.)
Gold screened onto thick film substrate	0.010
Etched copper on epoxy board with plating	0.004
Etched copper on epoxy board with no plating	0.003
Gold evaporated onto thin film substrate and then etched	0.001

除了大的电源分配总线电源是没有限制的，在薄胶片技术中，它有很小的路径交叉平面，它会有更宽的应用，加热极限会有更普遍的应用。

从制造过程中会在路径得到另一个低边，表5.1列出不同产品过程中最小的路径宽度。采取任何措施都会使生产降低，成本上升，就象要达到最小路径宽度一样，这个原因阻止了许多设计者使用最小线径尺寸。

其它原因趋向于增加线径宽度，单纯地控制蚀刻会引起线径宽度的变化，在低的线径宽度上，线径宽度的百分数变化，它引起阻抗的变化可能是不能接收的，精确的阻抗的控制可能会使线径的宽度大于最小可达到的宽度。

使用在附录C中的公式会发现线径宽度和充足的高度大大超出宽度的变化和层的高度，阻抗的分布在设计之内，记住你必须预留一部分阻抗以满足层数介电常数的变化。

考虑到功耗，成本和可忍受的阻抗常常驱使选择一定的线宽，给定宽度，阻抗就会决定层的高度。

使用串扰公式（看5.7.5和公式5.2），设计相邻线径间最小的空间，这个数叫做间距，线之间的距离叫做线的分离距离。总的分离距离和线径宽度等于间距。

本节要点：

- 线的密度越高，成本越大。
- 印制板的成本和层数、表面积成正比。
- 先设计电源和地平面。
- 由于机械的原因，在设计中对称地使用电源和地平面。
- 更小更近的线径产生更多的串扰。

5.8.4 路径密度对比层数(Routing Density Versus Number of Routing Layers)

对于更多的层数，我们可以将路径拉的更远一些，这使路径简单一些并降低了串扰问题，多层印制板的成本正比于层数和表面积的乘积，会有更多的成本。对于少的层数，我们必须使用窄的路径，这可能会有额外的成本，而且我们会有增加串扰的风险。

估计最小层数的成本是一项经验和估计工作，中心工作是估计在一定的线路板上估计线的间距数N，再结合层数M，我们就可以知道板的成本和串扰的模式。间距数可以从线的密度得到，一个有用的线径密度模式叫RENT 规则，RENT注意到当一个大的板子分成四部分，显示出一半路径在部分之间走线，一半在部分之内走线，如果更细分得到同样的效果，如果在部分之间走线，我们假定线的平均长度等于部分之间的空间，我们得到平均线的长度等于3/8板的边。得到线的平均长度和线的数目，我们可以计算出线占板的表面积的多少而不管间距数，这在公式5.27表现出，这表明在固定的层数M需求的路径N。

当然如果我们有其它的信息，如大的总线或其它结构，我们也应用它，如果没有其它的，我们可以通过RENT规则计算出线的空间。

$$p_{avg} = \frac{(XY)^{1/2}}{N} 2.1M \quad [5.27]$$

where N = number of connections (assumed distributed according to Rent's rule)

p_{avg} = average trace pitch, in.

X = board width, in.

Y = board height, in.

M = number of routing layers

例：在一个8in.*12in.的板子上有800相互交叉的路径，有4层，我们大约需要0.132in.的线空间，这意味着如果板子被很多DIP穿孔覆盖，我们需要在几乎每个焊盘之间引一根线。不要在焊盘之间占据1/2空间，在上面的例子中我们应该计划更多的层数或在两个焊盘之间使用双线。

对于穿孔板从式5.27估计出的平均空间和需求是不同的，从串扰角度考虑是否需要在焊盘之间走双线和三线，从式5.27估计出我们需要多少有用的线。

内层可能比DIP板需要更多的空间，总的过孔数是不同的，但是过孔在设计中是更小的，因为IC针不需要接触它们，平均和最小的间距和表面层是相似的。

在内部环氧电路板中针之间路径可达四条轨迹。但这会增加串扰的。

通过增大芯片之间的距离可得到更大的路径空间，但是这增加了更大的表面积，许多设计者趋向于增加层数。

如果串扰有问题，必须保证层的积压路径只是适合于芯片的针之间，完成后马上恢复到原样到达下一个芯片，这需要许多的手工调整，但是确实降低了串扰问题。

好运的话，我们可以得到可以接收串扰的板子而不花费很大的成本。

本节要点：

- 在过孔之间不要覆盖一半的空间。
- 其它方法失败后，用RENT规则来设计平均线长。

5.8.5 规范的层堆积(Classic Layer Stacks)

图5.24—5.26显示出4、6、10规范的层堆积。这些层堆积应用在普通的环氧线路板上，在10层以下，设计者通常加上地平面来隔离走线层。

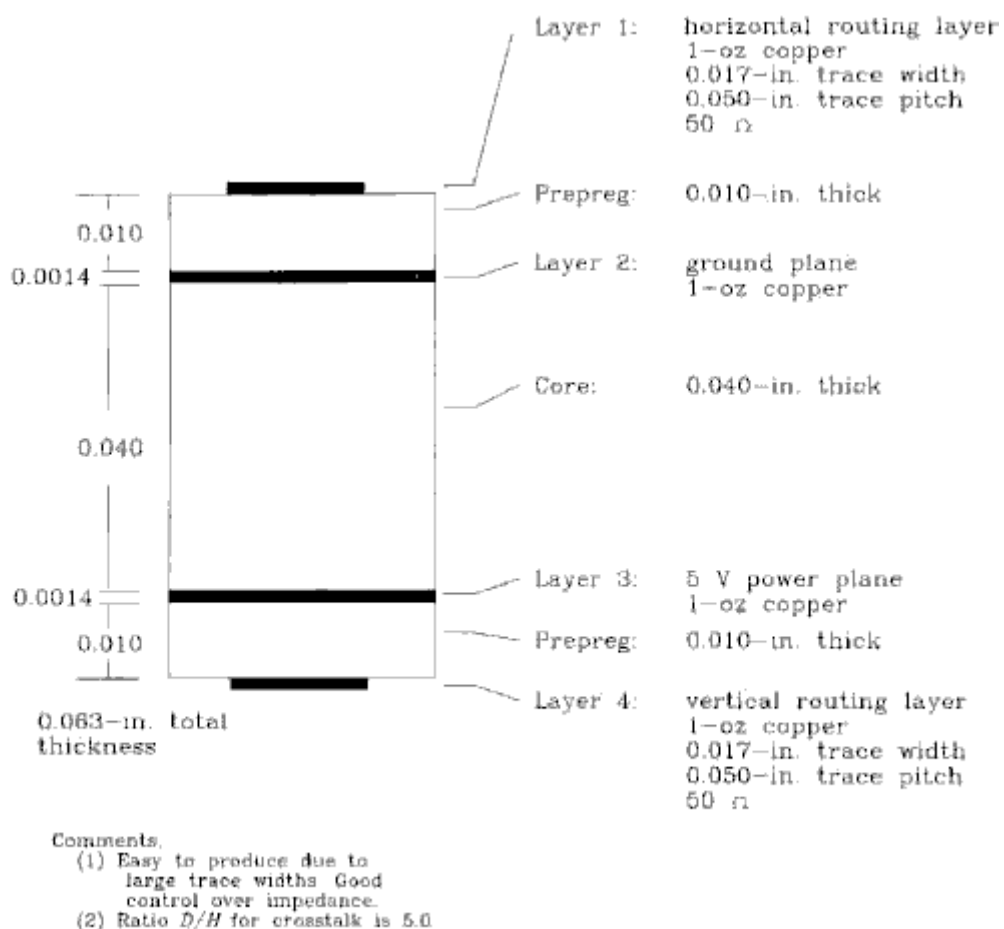


Figure 5.24 Four-layer stack.

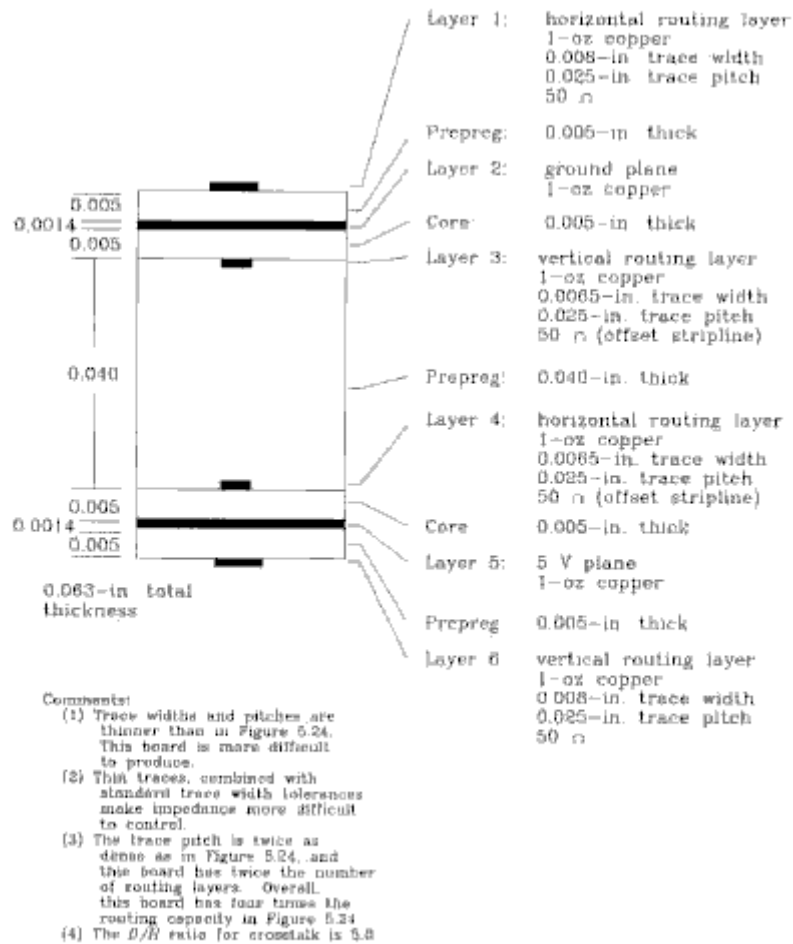


Figure 5.25 Six-layer stack.

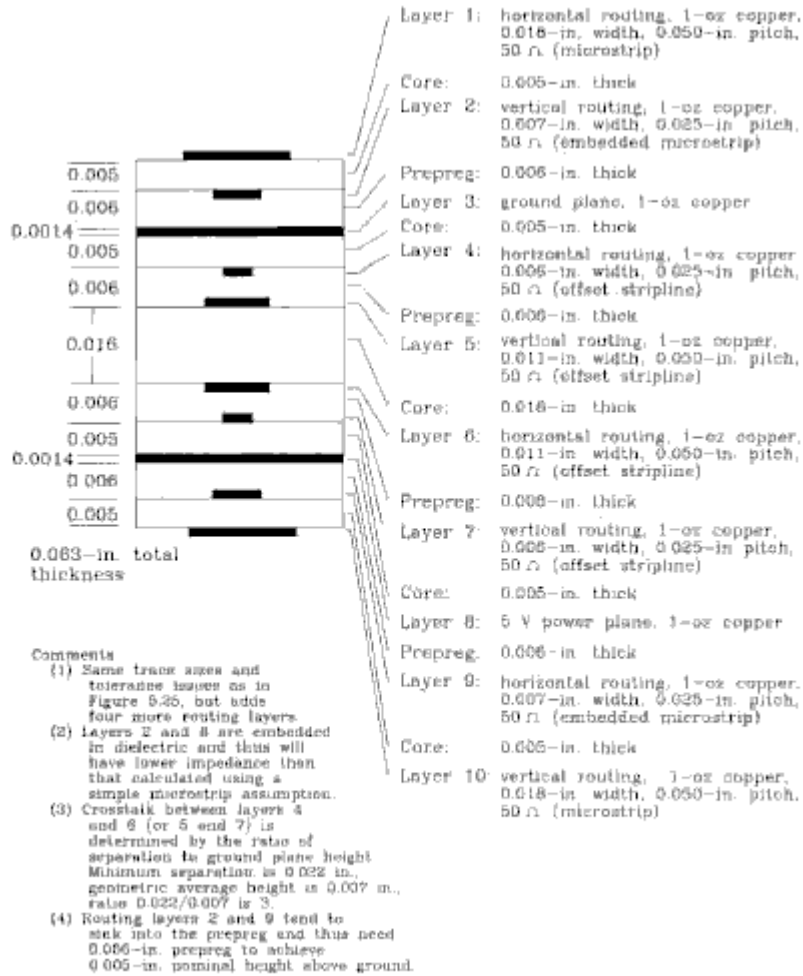


Figure 5.26 Ten-layer stack.

这些层在内嵌码盒的高速计算机产品中用的很多。如果打算通过FCC，VDE，等其它电磁辐射的试验，而不需要用很好焊接的码盒，这些简单的层堆积是不够的。

在每个图中，每个水平和垂直路径涉及到在这一层的路径的方位，在每一层上路径在传统上相互平行。每一层和下面的层成直角，很少有层和下一层成锐角或钝角。这提高了布线的效率。

在图5.24—5.26中电源和地平面被标志成粗线，走线层显示出线的宽度和高度的比例。

在下一层迭层过程中用到核和聚脂片，以下主要描述在建立线路码的过程中用到的通用过程。如果你需要紧紧控制线径到地的空间你需要知道核和聚脂片层。

建立多层过程开始于一系列在两面迭片上覆铜，表面层通过蚀刻变成内层，如果不处理就会变成外层，这些内层就叫做核，相对层的距离依赖于原始迭层的厚度。这些核层堆积在一起，在每层之间放一片预处理和环氧材料，这些在加热和处理过程中会融化，厚度由两层之间的距离决定，预处理切割成硬的环氧层和核层有同样的介质常数，核和预处理交替进行。

因为预处理是融化过程，所以路径会沉到融层下面，层的距离会因路径沉到融层的大小而改变，这在精确处理中要考虑的，地平面不下沉。

制造过程中有时将核层的一面变成外层，有时会覆上一层锡，有时会覆上固体铜，不蚀刻。

预处理后，就打钻孔和过孔，钻孔经过不同的铜层，焊盘穿过内层，但是在这一点没有电连接。

电镀层同时覆盖内层的孔和外表面，为节约材料和时间，许多制造商留出孔的边缘和外表面路径，处理后外表面比原始的要厚，这相比内层来说，处理后的外表面路径宽度要增加厚度从而引起完成后的路径的不确定宽。

最后蚀刻掉外表面不需要的铜，剩下完成后的板，板变薄了，在两外层覆盖上固体面罩和银面。

本节要点：

- 核和预处理交替进行。
- 外层，如果电镀，会比内层在线宽上有更大的宽度变化。
- 走线层会嵌入预处理融层中，但不会增加总的厚度。
- 固定地平面的厚度总会增加总的厚度。

5.8.6 高速板的额外的忠告(Extra Hints for High-speed Boards)

对于甚高速的线路板，将地平面和电源平面直接放在一起，这将最大限度地增加他们之间的耦合容抗，降低电源噪音。

使用足够的外地平面（不是电源平面）来隔离系列的走线层，在地过孔周围用星隔离，将许多地平面连接起来。随着扭曲的信号路径返回的信号电流将通过这些地过孔从一层跳到另一层。

如果我们使用混合的地平面和电源平面来隔离系列的走线层来替代只用地平面，那么在返回电流，他们总是在最近的层经过，在他们在地平面和电源平面之间跳跃时会经过很多旁路电容，都会引起电压的变化，这些电压变化会有效的从电源和地平面中辐射出去，增加我们的辐射噪音问题。

本节要点：

- 在甚高速线路中，将地和电源层紧紧靠在一起。
- 使用地平面，而不是电源平面来隔离走线层。

高速数字电路设计教材

拟制:	_____	日期:	_____yyyy-mm-dd_____
审核:	_____	日期:	_____yyyy-mm-dd_____
审核:	_____	日期:	_____yyyy-mm-dd_____
批准:	_____	日期:	_____yyyy-mm-dd_____



华为技术有限公司
版权所有 侵权必究

目 录

第6章 传输线匹配	2
6.1 终端匹配	3
6.1.1 终端匹配的上升时间	3
6.1.2 终端匹配的直流偏置	5
6.1.3 其它拓扑形式的终端匹配	8
6.1.4 终端匹配电路的功耗	10
6.2 始端匹配	10
6.2.1 始端匹配的阻值	11
6.2.2 始端匹配的上升时间	11
6.2.3 始端匹配较平坦的阶跃响应	11
6.2.4 始端匹配的输出驱动电流	11
6.2.5 始端匹配的其它拓扑形式	12
6.2.6 始端匹配的功率消耗	12
6.3 中间匹配	12
6.4.1 容性负载匹配的直流不平衡性	14
6.4.2 差分线的终端匹配	14
6.5 电阻阻值的选择	15
6.5.1 匹配电阻的精确性	15
6.5.2 匹配电阻的功率消耗	15
6.5.3 匹配电阻的电感	16
6.6 匹配电路的串扰	19
6.6.1 相邻轴向电阻间的串扰	20
6.6.2 相邻贴片电阻间的串扰	21
6.6.3 排阻间的串扰	21

第6章 传输线匹配

摘要:

系统何时需要匹配电阻？按照第四章的内容来看有两种情况：长线传输造成信号反射的情况和短线传输造成信号振荡的情况。

传输线过长意味着线缆的长度已经超过了六分之一的信号波长，这时信号线必须匹配。如果不采取匹配，长线任一端的反射都能使信号无法传输。第四章第三节阐述了如何精确的确定信号反射的影响。4.3.5节提供了一种简单的数学方法，可以用来确定在一根没有匹配的电线上反射持续的时间。

传输线较短时，如果负载是容性的话仍然需要匹配。4.1节分析了负载是容性的高感应电路，让我们看到高Q振荡的后果。短线上的振荡现象和长线上的反射现象具有相同的影响效果。

匹配可以解决振荡或反射的问题。

本章有三个主题：

- 终端匹配和始端匹配的比较；
- 选择合适的匹配电阻；
- 匹配器件间的串扰；

6.1 终端匹配

当使用终端匹配时，每一个驱动门直接和它的传输线相连，匹配电阻并在接收端（见图6.1）。终端匹配传输线有以下这些特征：

- （1）波形在整条线上都是以满强度传输的；
- （2）所有的反射都被匹配电阻抑制了；
- （3）接收端电压等于发射端电压。

6.1.1 终端匹配的上升时间

我们可以通过直觉或更为详细的数学方法来推断终端匹配电路的上升时间。一般我们先用直觉的方法来推断然后用详细的数学方法来检验。

图6.1直接来看可以分为两部分。左边的部分即驱动部分由驱动门、传输线和匹配电阻组成。我们可以把这一部分的驱动阻抗看作传输线的阻抗和匹配电阻的并联。从网络效果来看，在短时间内相当于 $Z_0/2$ 的驱动阻抗。

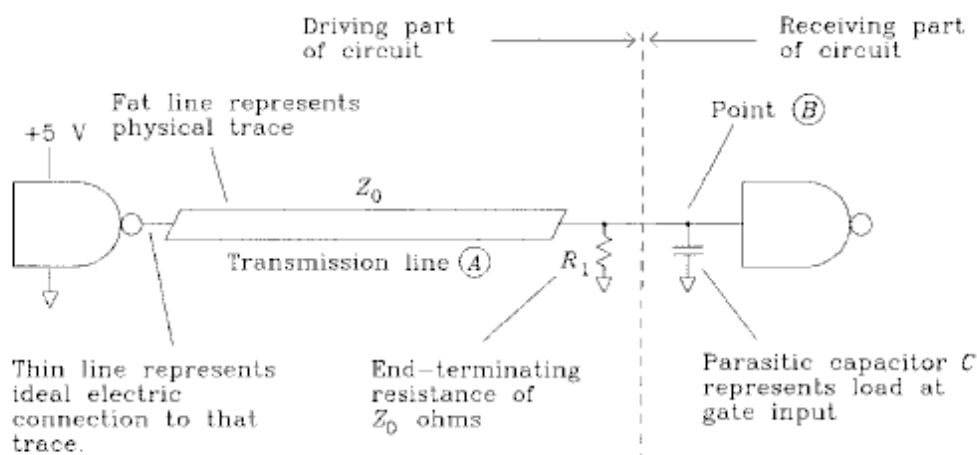


Figure 6.1 Calculating the rise time of an end terminator.

右边的部分即接收部分只有一个接收门，在图6.1中其输入等效为一个电容。这种电容模型对于大多数CMOS、TTL、ECL的环境都是适用的。注意到这个电路就是简单的RC滤波电路，我们知道RC电路的时间常数：

$$RC \text{ time constant} = \frac{Z_0}{2} C \quad [6.1]$$

利用3.1节的计算RC滤波器上升时间（10%--90%）的公式：

$$T_{\text{term}} = 2.2 \frac{Z_0}{2} C = 1.1 Z_0 C \quad [6.2]$$

假设有一输入信号上升沿时间为 T_1 ，我们结合匹配电路的 T_{term} 来得出B点实际的上升时间为：

$$T_B = (T_{\text{term}}^2 + T_1^2)^{1/2} \quad [6.3]$$

当传输线比上升沿要长时，它的输出阻抗实际上就是 Z_0 。如果我们缩短传输线长度让它短到可以和上升沿相比时，传输线的阻抗从B点来看下降了。当传输线非常短时，B点的驱动阻抗与输出端的输出阻抗相等，在B点的上升沿将更快。

下边让我们用一种精确的数学方法来估算上升时间。回忆一下根据第四章里的模型推导出来的传输线全响应等式4.61：

$$S_{\infty}(w) = \frac{H_X(w)A(w)[R_2(w)+1]}{1 - R_2(w)R_1(w)H_X^2(w)} \quad [6.4]$$

如果传输线的长度超过了信号的波长，我们可以忽略任何来自终端的反射。这是合理的，因为在完成接收信号之前终端的反射信号没有时间反射回驱动端然后再返回接收端。或许会有延时的反射但不会影响初始的上升沿波形。从数学公式来看，如果想要得到零反射必需使反射因子 $R_1(W)$ 等于零。这样公式6.4就可以简化如下：

$$S_{\infty}(w) \approx H_X(w)A(w)[R_2(w)+1] \quad [6.5]$$

为了进一步简化我们可以假设驱动阻抗与传输线的特征阻抗相比非常低，因而 $A(W)$ 近似等于1。进一步还可以假设传输线的长度不足以分散信号，因而 $H_x(w)$ 的大小可以视为1。把这些简化一起考虑，上式可以简化为：

$$S_{\infty}(w) \approx R_2(w) + 1 \quad [6.6]$$

把4.53式代入上式得：

$$S_{\infty}(w) \approx \frac{2Z_L(w)}{Z_L(w) + Z_0(w)} \approx \frac{2}{1 + \frac{Z_0(w)}{Z_L(w)}} \quad [6.7]$$

下边，把特征阻抗 $Z_0(W)$ 视为常量 Z_0 ，同时注意到 $Z_L(W)$ 是由匹配电阻（也等于 Z_0 ）和一个电容并联而来，即：

$$\frac{1}{Z_L(w)} = \frac{1}{Z_0} + jwC \quad [6.8]$$

把此式代入6.7中得：

$$S_{\infty}(w) \approx \frac{2}{1 + Z_0 \left[\left(\frac{1}{Z_0} \right) + jwC \right]} \quad [6.9]$$

$$= \frac{1}{1 + jw \left[\left(\frac{Z_0}{2} \right) C \right]} \quad [6.10]$$

等式6.10是RC滤波器的响应，里面有时间常数因子 $Z_0 \cdot C/2$ 。这证实了我们最初的模型。

终端匹配电路如果接容性负载的话上升时间是接同样负载的始端匹配电路的一半（请参见6.2.2）。

6.1.2 终端匹配的直流偏置

图6.1中的电路很少应用于实际的TTL或CMOS电路中，这是因为当输出高电平时需要较大的驱动电流。当图6.1中的驱动门输出VCC时，它必须给终端电阻提供 VCC/R_1 的电流；驱动门输出为低电平时，没有输出电流。假设我们使用一根特征阻抗为65欧的传输线，那么5伏驱动信号需要 $5/65=76$ 毫安的电流，很少有驱动门可以输出如此大的电流。

就驱动能力而言，TTL输出低电平时需要的驱动电流要远大于输出高电平时的驱动电流；CMOS则两种情况基本相同。

图6.2是一种实际经常采用的匹配方法叫作SPLIT终端匹配。在这个电路中， R_1 并上 R_2 的阻值等于 Z_0 （传输线的特征阻抗）。 R_1 和 R_2 的比值控制着高低电平驱动电流的相对比例。图2.10提供了用于转变这种匹配为单电阻匹配形式的等式和等效电压源。

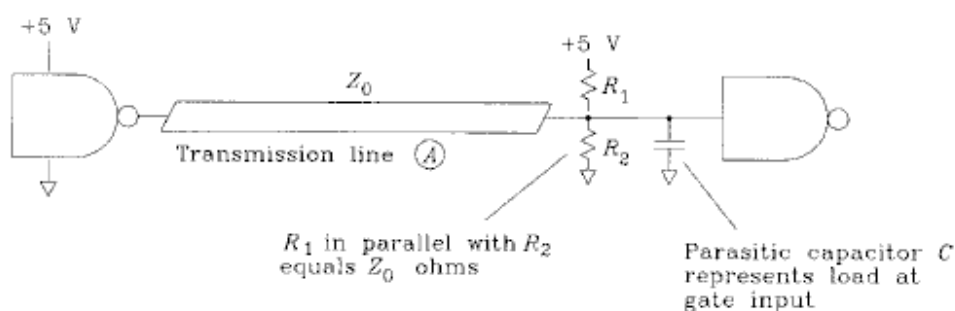


Figure 6.2 Split termination.

如果 R_1 等于 R_2 ，高低电平驱动需要的电流是相等的。这种情况适用于HCMOS数字逻辑系列。

如果 R_2 大于 R_1 ，低电平驱动需要的电流大于高电平驱动需要的电流，这种情况适用于TTL和HCT系列。

R_1 和 R_2 的大小选择最好采用图示的方法，选择时有三个约束条件：

- (1) R_1 和 R_2 并联起来的阻值应等于 Z_0 ；
- (2) 输出电流不能大于 I_{OHMAX} （高电平最大输出电流）；
- (3) 输出电流不能大于 I_{OLMAX} （低电平最大输出电流）；

在下面的例子中我们对输出电流做如下的约定：流入驱动器的电流为正，流出驱动器的电流为负。TTL或CMOS输出低电平时为灌电流（为正）输出高电平时为拉电流（为负）；ECL无论处于什么状态都是拉电流（为负）。

第（1）个约束条件很容易用允许范围来表示，用变量 Y_1 、 Y_2 分别表示满足条件的电阻 R_1 和 R_2 ：

$$Y_1 = \frac{1}{R_1} \quad Y_2 = \frac{1}{R_2} \quad [6.11]$$

我们先找出满足条件的 Y_1 和 Y_2 ，然后再用 Y_1 和 Y_2 求出 R_1 和 R_2 ，这样做的好处是可以把第（1）个约束条件表示为一个线性的等式：

$$Y_1 + Y_2 = \frac{1}{Z_0} \quad [6.12]$$

第（1）个约束条件可以用图6.3表示如下：

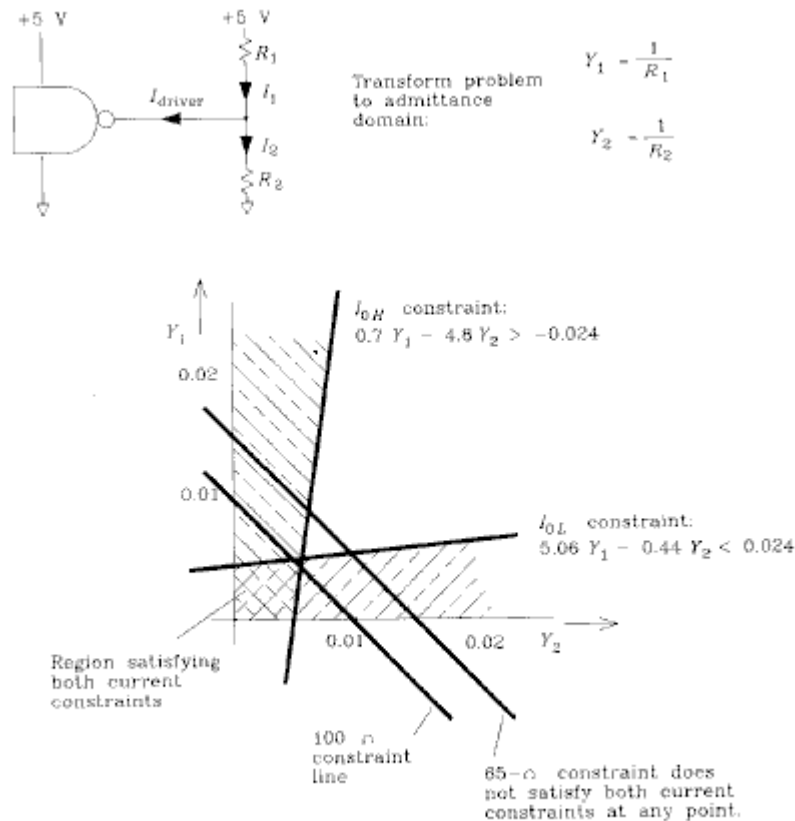


Figure 6.3 End-termination constraints.

在图上看这是一条斜线，所有满足约束条件的 Y_1 和 Y_2 的组合都在这条线上。

注意到流入驱动器的电流等于流过 R_2 的电流减去流过 R_1 的电流，由此可以得到第（2）个约束条件的一个等式。这两个电流的大小由VCC、VEE以及驱动器输出决定。一般的，我们用VCC代替较高的电压，用VEE代表较低的电压，这两个电压里常常有一个电压等于0。

约束条件（2）可以利用输出高电平时的驱动电压来计算：

$$(V_{CC} - V_{OH})Y_1 - (V_{OH} - V_{EE})Y_2 > I_{OH\max} \quad [6.13]$$

不等式的符号似乎应该是相反的方向，但并非如此。因为等式两边都是负数（因为驱动器常常输出电流）。不等式6.13需要实际的驱动电流要大于 $I_{OH\max}$ 。不等式中 $I_{OH\max}$ 的值应该是一个负值。

约束条件（3）可以利用输出低电平时的输出电压来计算：

$$(V_{CC} - V_{OL})Y_1 - (V_{OL} - V_{EE})Y_2 < I_{OL\max} \quad [6.14]$$

$I_{OL\max}$ 的值对于TTL或CMOS来说是正值，对于ECL电路是0，因为ECL电路不吸收任何电流。

3种约束条件都表示在图6.3中，用74HC11000与非门来计算。输出电压和电流的限制都是假设在5.5伏电压供电的情况下计算的，这通常是最坏的一种情况。条件（1）出现了两次，一次用来计算特征阻抗是65欧的情况，另一次是100欧。100欧对应的直线可以经过同时满足两种电流约束条件的区域，在（ $Y_1=0.05$ ， $Y_2=0.05$ ）这个点上，对应的阻值是： $R_1=200\Omega$ ； $R_2=200\Omega$ 。

65欧电阻对应的直线没有经过任何同时满足两种电流约束条件的区域，因此不存在实际工作的SPLIT匹配电阻的组合，74HC11000不能驱动终端匹配电阻为65欧的传输线。

有时候仅用一个电阻来进行终端匹配，这时候需要为匹配电路单独提供一个固定的电压。上面的过程对于找寻一个合适的匹配电压也是有效的。

首先设计一个SPLIT匹配网络，然后把此网络转换为等效电压源。等效电压源的阻抗是 Z_0 ，输出电压是：

$$V_{\text{terminate}} = \frac{R_1 V_{EE} + R_2 V_{CC}}{R_1 + R_2} \quad [6.15]$$

可以把这个值作为匹配电压。

6.1.3 其它拓扑形式的终端匹配

图6.4中的两根分支线很难正确匹配。无论我们在哪里放置匹配电阻，驱动器输出的信号都要反射回节点A，引起振铃。

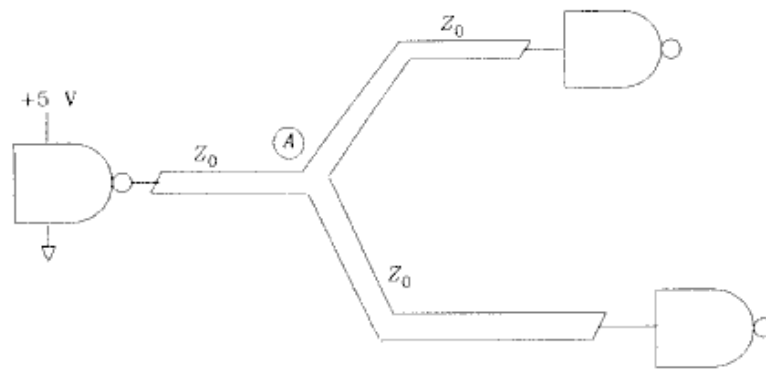


Figure 6.4 Bifurcated line.

图6.5中的两根分支线可以正确匹配。在图6.5中每个分支线的特征阻抗都等于 $2Z_0$ 。只要使分支线比主线细就可以实现这个电路。在每一个分支线的终端都有一个阻值为 $2Z_0$ 的电阻。从A点来看每一条分支线的输入阻抗都是 $2Z_0$ ，这样特征阻抗为 Z_0 的主线就可以和两条并联的分支线匹配。但是几乎没有系统采用这种技术，因为在电路板上分支线的阻抗是变化很大的。

采用终端匹配后，以前沿着传输线传输的反射信号停止了，没有任何反射发生。

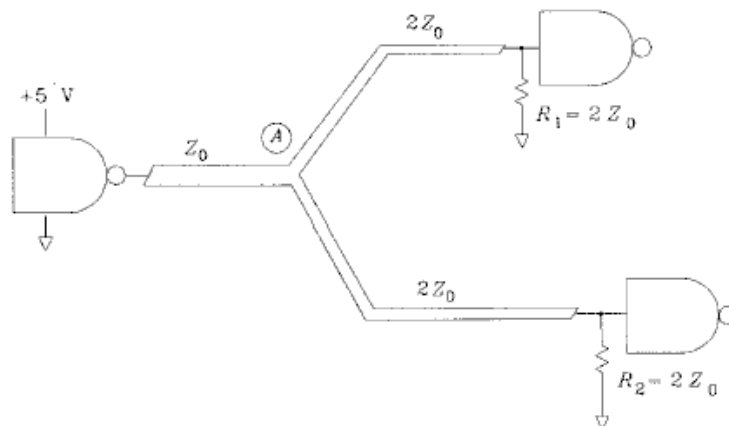


Figure 6.5 Bifurcated line with matching trace impedances.

对于终端匹配的传输线因为输入信号的延时再现在线上任一点都会出现，因此我们可以把接收器放在线上的任一点。这种配置被称为菊花链。图6.6中的每一个接收器都可以收到延时后的输入。

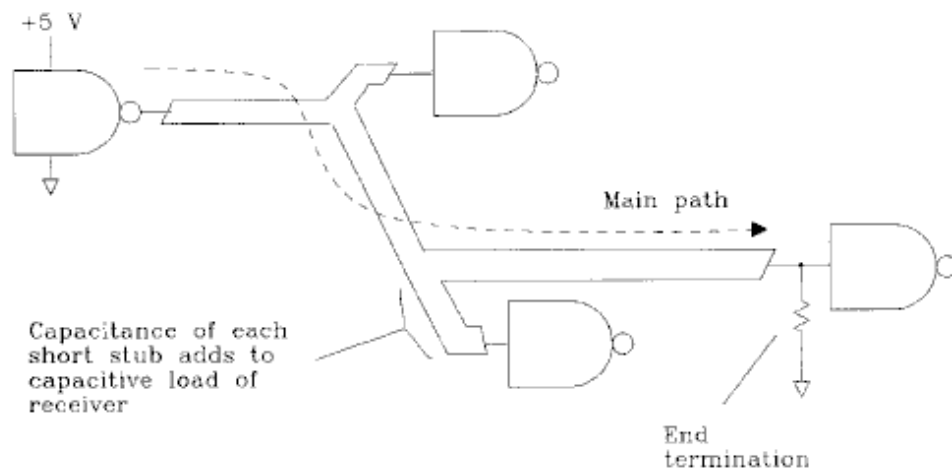


Figure 6.6 Daisy-chain configuration with end termination.

保持STUB线足够短（相比上升时间）有助于减少分支点的反射。短的STUB线（以及与之相连的接收器的等效输入电容）就象一个4.4.2节里描述的简单的电容负载一样，可以减少信号的上升时间。如果STUB线均匀分布，4.4.3节的近似值也还是成立的。

理想的终端匹配形式是把匹配电阻放在最后一个接收器之后，没有任何分支和STUB。（参见图6.7）

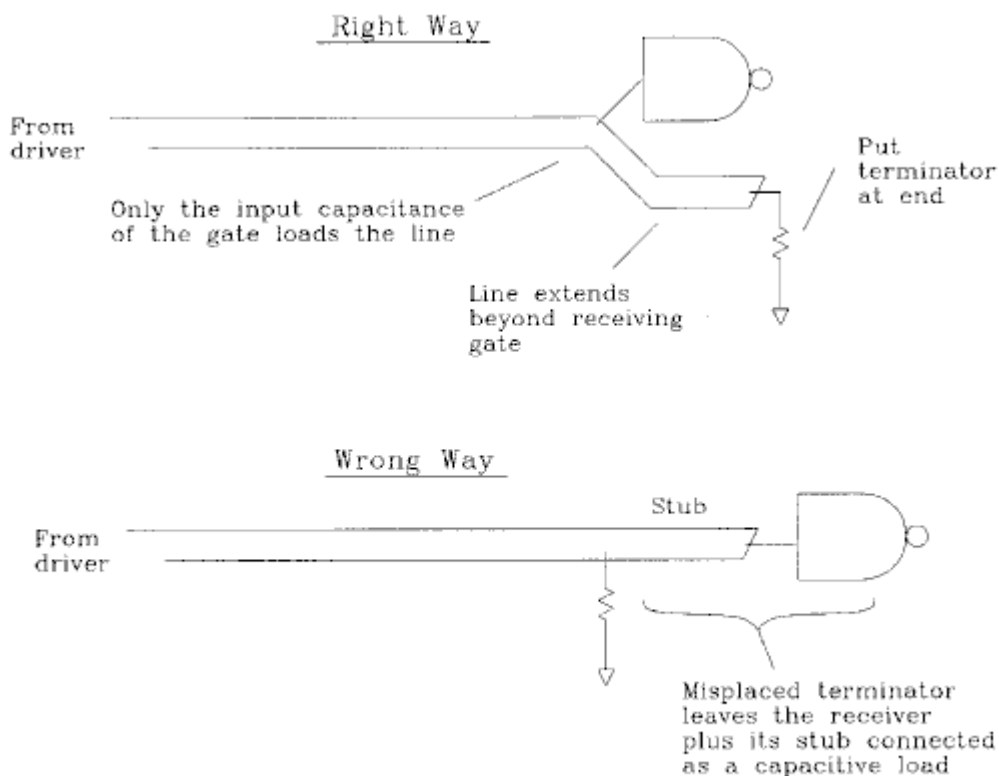


Figure 6.7 Detail of an ideal end-terminator placement.

6.1.4 终端匹配电路的功耗

终端匹配电路的功耗是高电平和低电平电压以及电源供电电压和负载阻抗的函数。负载功耗与匹配电阻的大小成反比，因而传输线阻抗越高，终端匹配的功耗越小。

关于驱动电路中功率消耗的等式可以参见第2.2.6节。图6.3中负载电阻总的功耗可以用式6.16计算（假设输出高电平和输出低电平的时间相等）：

$$P_{\text{load}} = \frac{(V_{\text{HI}} - V_{\text{EE}})^2 + (V_{\text{LO}} - V_{\text{EE}})^2}{2R_2} + \frac{(V_{\text{CC}} - V_{\text{HI}})^2 + (V_{\text{CC}} - V_{\text{LO}})^2}{2R_1} \quad [6.16]$$

本节要点：

- 驱动同样的容性负载，终端匹配电路的上升时间只有始端匹配电路的一半；
- 大部分的CMOS和TTL电路没有足够的驱动电流驱动终端匹配电路；
- 终端匹配电路的接收器可以以菊花链的形式连接。

6.2 始端匹配

始端匹配电路中的驱动器通过串联的电阻和传输线相连。这个电阻的阻值加上驱动器的输出阻抗应该等于传输线的特征阻抗 Z_0 。这样源端的反射系数就等于零。参见图6.8。

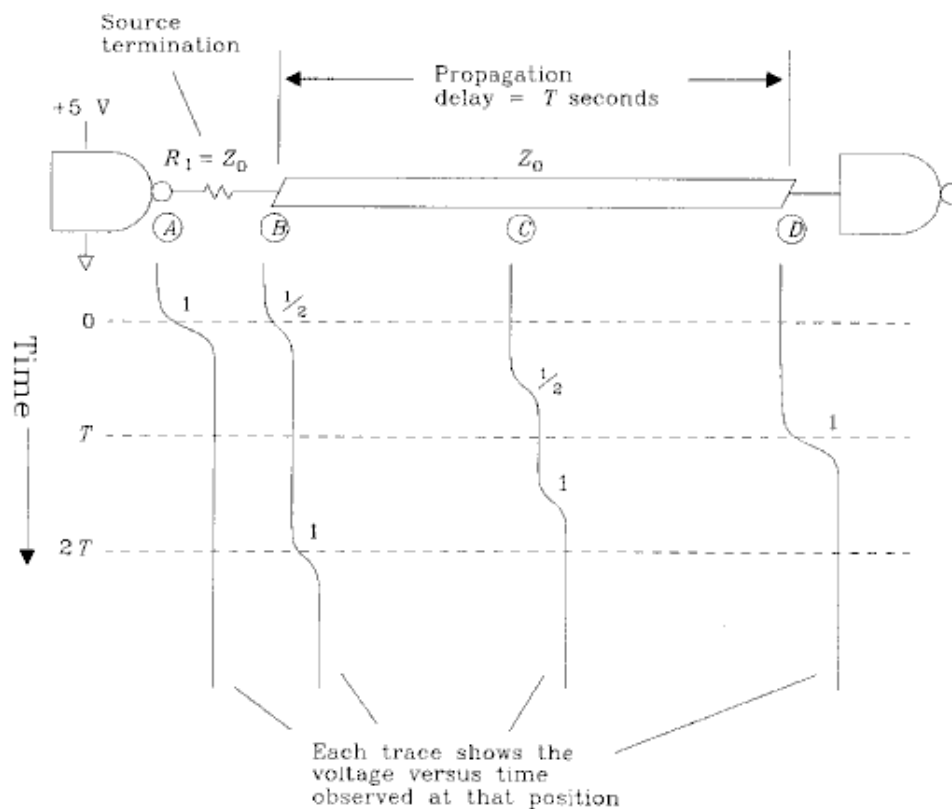


Figure 6.8 Source-terminated line.

始端匹配电路有以下特征：

1. 输出波形在经过串联电阻后的强度只有原来的一半；
2. 传到传输线终端的信号强度只有原始信号的一半；

3.在传输线的终端（开路的情况下）信号的反射系数是+1。反射信号的强度也是原始信号的一半。一半的反射信号和原始输出的一半信号相加形成传输线终端的信号电平。

4.反射信号（原始信号强度的一半）沿着传输线往源端回传，到达匹配电阻后被抑制。

5.终端反射回来的信号到达源端后，输出电流降到零直到下次传送开始。在一些高速系统中，在反射回到源端之前下一次传输就已经开始了。

6.2.1 始端匹配的阻值

一个理想的驱动器的输出阻抗是0。实际的驱动器的输出电阻也都很小。ECL电路的高电平和低电平的输出阻抗都是10欧左右。当设计一个始端匹配的电路时，必须考虑驱动器的输出阻抗使驱动器输出阻抗加上匹配电阻的阻值与线路的阻值相匹配。因此源端匹配电路的匹配电阻的阻值小于线路的特征阻抗。

TTL和CMOS电路在输出高电平和低电平时的输出阻抗不同（参见例2.1）。因而对于TTL和CMOS电路没有完全合适的阻值来进行始端的匹配，只能取一个折衷的值。

6.2.2 始端匹配的上升时间

始端匹配电路中传输线上任一点往源端看的话，驱动器的输出阻抗都是 Z_0 。当驱动一个容性负载的话，我们可以得到一个类似简单RC低通滤波电路的响应，RC时间常数是：

$$RC \text{ time constant} = Z_0 C \quad [6.17]$$

利用3.1节中的公式可以计算出RC滤波器的（10%-90%）上升时间：

$$T_{10-90} = 2.2 Z_0 C \quad [6.18]$$

这个时间是同样传输线阻抗和同样负载情况下终端匹配电路上升时间的两倍。

6.2.3 始端匹配较平坦的阶跃响应

在一个典型的数字电路中在传输线的起始端减小反射要比在终端减小反射容易。起始端有输出阻抗（还有感应系数）。另一方面，终端的接收器常常有寄生电容。在终端匹配电路中这种由于电容负载而引起的不匹配效应的情况比在始端匹配电路中由于驱动感应系数而不匹配的情况要糟得多，尤其在驱动多个负载的时候。始端匹配的反射系数比终端匹配电路的反射系数要更接近于0，因而它具有更为平坦的全频率响应。

估算出哪种电路形式更适合于你的逻辑器件是很有意义的。

6.2.4 始端匹配的输出驱动电流

始端匹配传输线的复合输入阻抗既包括传输线的特征阻抗 Z_0 又包括匹配电阻的阻值。它们的和接近于特征阻抗的二倍。最坏情况下的输出电流是 $\Delta V / 2Z_0$ 。这种状态持续的时间只有信号在电缆上传输一个来回的时间，此后输出电流变为0。对于始端匹配由于信号倒换很少，因而平均的驱动输出电流是很小的，虽然峰值电流是 $\Delta V / 2Z_0$ 。

与通常的认识相反，终端匹配的传输线不比始端匹配的传输线更难驱动。如果把终端匹配的偏置设为逻辑电平的中间点，终端匹配电路的最大输出电流与始端匹配电路一样。终端匹配传输线的输入阻抗只有始端匹配电路的一半，即 Z_0 。但输出和偏置之间的电压峰值只有输出电压的一半，因而最大输出电流也是 $\Delta V / 2Z_0$ 。

但是请注意如果使终端匹配的偏置点偏离中间点，一个方向上电流增大；一个方向电流减小。而对于始端匹配电路则没有这个问题。

虽然两种电路所需要的最大电流相同，但在信号慢速变化的情况下，始端匹配的平均驱动电流要小一些。在快速电路的情况下，在信号反射回来之前下一个信号已经到来，此时的驱动电流峰值时间要长一些。

6.2.5 始端匹配的其它拓扑形式

菊花链的拓扑形式在始端匹配电路里是不能使用的。所有的负载必须全部接在传输线的终端。一个连在线路中间的负载其上的波形如图6.8的C点。

6.2.6 始端匹配的功率消耗

第2.2.6节中的方法对于估算此情况下的驱动电路的功耗效果不好，这是因为输入负载的电流在信号传输一个来回延迟 $2T$ 后变为0，我们必须找出更好的模型。

在驱动器输出一个信号到信号反射回起始端的这段时间里，匹配电阻上的电压为 $\Delta V/2$ 。在这端时间里电阻上总的功耗为：

$$E = 2T \left(\frac{\Delta V}{2} \right)^2 \frac{1}{R} \quad [6.19]$$

ΔV = 高低电平间的压差，单位V；

T = 信号沿传输线的单向传输时间，单位s；

$2T$ = 信号在传输线上一个来回的时间，单位s；

R = 始端匹配电阻，单位欧。

把每一个脉冲期间所消耗的功耗加起来可以粗略的估计电路的功率。这种方法只在脉冲持续时间比信号在传输线上走一个来回的时间长时才有效，如果脉冲持续时间很短，只能假设电路始终工作在最坏的情况下即 $\Delta V/2$ 一直通过电阻 R ：

$$\text{Power} \approx \frac{(\text{Pulse frequency}) T \Delta V^2}{2R} \quad [6.20]$$

ΔV = 高低电平间的压差，单位V；

T = 信号沿传输线的单向传输时间，单位s；

R = 始端匹配电阻，单位欧。

在同样的条件下，始端匹配的功耗要比终端匹配的小。

本节要点：

- 始端匹配的上升沿较缓，其残留的反射比终端匹配电路小。
- 不能用菊花链的形式来连接始端匹配电路。
- 从理想的始端匹配阻值减去驱动器的输出阻抗才是正确的匹配电阻值。
- 信号频率较低时消耗的功率较小。
- 始端匹配的电路和终端匹配电路的峰值电流相等。

6.3 中间匹配

有时候工程师把很多电路连到一起但并不考虑匹配，而信号可能已经具备了匹配的条件。这在三态驱动器的情况下更为严重，因为不能准确定义源端和终端。

直觉告诉我们每一次传输在稳定下来之前都要在传输线上震荡一段时间。4.3.5节提供了一种快速的方法来估算一段直线上的这段时间。在器件间连线比较复杂的情况下，这段时间至少是最长的那根分支连线上的稳定时间。

如果这个网络中的一个器件需要陡峭的上升沿的话，就比较麻烦。通常情况下没有办法来解决这个问题，因为缺少使上升沿变陡的方法（另外也无法对接收信号加有效的滤波）。

如果输入电路能够及时采样的话，我们可以把采样的时间安排在网络上每一次传输稳定以后。这时，我们只需减少传输稳定的建立时间，不过是无法完全消除的。

至少有四种方法可以解决这个问题：

- (1) 为每一个驱动器都加上始端的匹配。
- (2) 为每一个接收器都加上终端的匹配。
- (3) 在网络的中间加一个SHUNT匹配。
- (4) 在所有的支路节点之间串入电阻。

第(1)种方法有明确的定义，消耗的功率也比较小，可以提供一点衰减。同时可以减少信号建立的时间。

第(2)种方法需要较大的驱动功率但是只适合于星型的电路。星型的电路中有很多布线，它们的一端各自连接一个电路，另一端连在一起。反射被局限于中间节点和发送端之间。

把以上两种方法结合起来，虽然功耗稍大但对于星型的网络是一个不错的解决方法。但是所有的信号经过中间节点后强度被削弱了。虽然没有了反射但接收到的信号电平非常小。

我们不知道人们为什么使用方法(3)。它只能使网络的中心阻抗变的更低而这个阻抗本身就已经非常低了。

方法(4)在每一个节点都对信号有衰减。利用图6.9中的电路可以看出信号经过一个节点就会被衰减一半。这样的电路使反射的衰减非常快（反射信号一个来回后就只有原来的1/4），但当信号经过很多节点以后的衰减也非常严重。因而这样的电路中串联的节点数不能超过3个，只有这样才能保证接收器的接收灵敏度可以容忍信号的衰减。

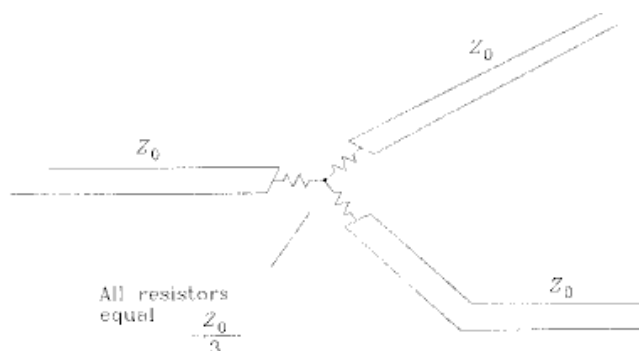


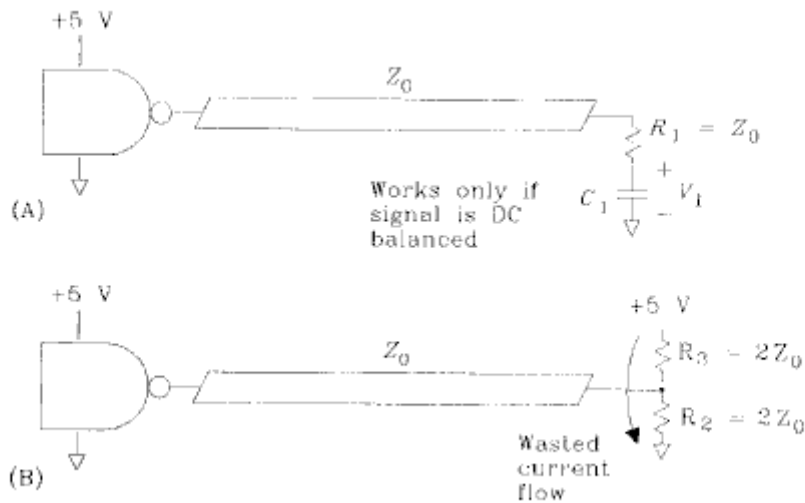
Figure 6.9 Attenuating juncture for hair ball networks.

本节要点：

- 中间匹配是以信号的衰减为代价提高系统的阶跃响应性能。

6.4 终端匹配的交流偏置

我们有时候在终端匹配电路里用电容来减小电源的静态功耗。考虑图6.10中的两个电路。与信号时钟周期相比所选的时间常数 R_1C 是非常大的。



如果我们能够保证驱动电路处于高电平的时间等于低电平的时间（我们称这样的电路为直流补偿电路），那么电容 C_1 上的平均电压将为高电平电压和低电平电压的中间值。电阻 R_1 上的平均电压大小为 $\Delta V/2$ 。 R_1 消耗的功率为：

$$P_{R_1} = \frac{(\Delta V/2)^2}{Z_0} = \frac{(\Delta V)^2}{4Z_0} \quad [6.21]$$

ΔV = 高低电平之间的压差，单位V；

Z_0 = 匹配电阻值，单位欧。

作为对比，在SPLIT匹配的电路中两个电阻上的平均电压均为 ΔV ，但每一个电阻的阻值是 $2Z_0$ ，因而电阻上消耗的功率是：

$$P_{R_2+R_3} = \frac{(\Delta V)^2}{2Z_0} \quad [6.22]$$

等式6.22 中的值是6.21中的两倍。多出的那部分功耗是 R_2 和 R_3 的直流功耗。

从驱动电路的角度来看以上两种匹配电路是一样的，因为驱动电路的输出功率是相同的，只有电阻消耗的功率不同。

6.4.1 容性负载匹配的直流不平衡性

如果图6.10A中电路输出停留在高电平的时间过长，电容两端的电压将被充电到高电平电压值，当输出变为低电平时，全部的 ΔV 电压将被加在电阻 R_1 的两端。此时的输出电流是直流补偿状态下输出电流的两倍。

如果驱动器不能输出如此大的电流的话，我们必须保证信号是直流平衡的以保证容性匹配电路可以正常工作。

有时候设计者采用折衷的方法，让 C_1 的容量减小以保证时间常数 R_1C_1 足够短。他们期望 C_1 要足够大来保证衰减反射同时又足够小来减轻驱动器的双倍电流输出。

6.4.2 差分线的终端匹配

如果两个信号是差分信号，我们可以把它们的匹配电阻接在一个电容上。这样的终端匹配电路既能节省功耗又能保证C1上电压的准确性。参见图6.11。

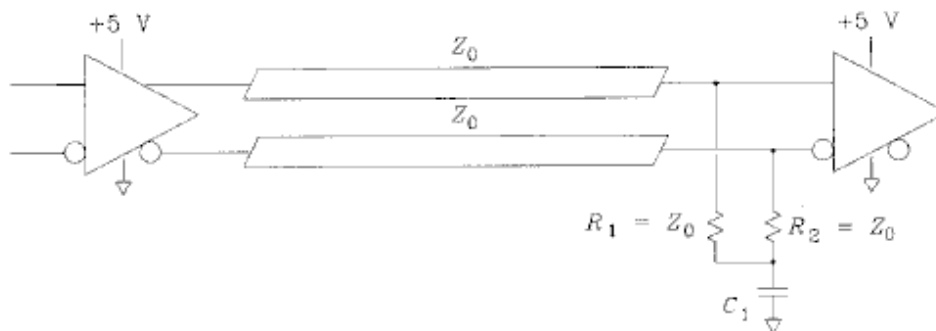


Figure 6.11 Termination of a differential pair.

本节要点:

- RC电路可以匹配直流补偿的情况下的传输线，并且没有静态功耗。

6.5 电阻阻值的选择

6.5.1 匹配电阻的精确性

终端匹配的电阻应该能减小或消除不希望的反射。这必须满足匹配电阻与传输线的特征阻抗相等才能实现。

在考虑不匹配的最坏情况时必须同时考虑阻值的不确定性和传输线特征阻抗的不确定性。总的结果除以2来找出期望的反射百分比（式4.5.3的结果）。传输线特征阻抗往往比电阻的阻值更加不确定。例如我们都知道传输线的阻值范围在 $\pm 10\%$ 之内而电阻的阻值都在 $\pm 1\%$ 之内。

如果信号的保真度是最重要的话，可以考虑同时使用终端和源端的匹配。这种情况下接收到的信号电平减半但是显著的减小了反射。任何反射信号都必须在始端和终端之间传输同时使有效反射系数保持一致。无论对终端匹配还是始端匹配的要求都放宽了。这种方法在微波电路中应用比较广泛，主要用于在宽的频带内实现增益的平坦。在数字电路中这种双匹配技术仅仅当线路接收器可以区别接收削弱的信号的情况下才使用。

6.5.2 匹配电阻的功率消耗

不考虑工作速度的话，通常对所有的匹配电阻分别计算来估算出最坏情况下各个电阻的功耗。在计算这个功耗时不要假设你的电路工作在50%的占空比。

例如，图6.12中的匹配电阻在最坏情况下所消耗的功率为：

$$P_{\text{worst}} = \frac{(5\text{ V})^2}{100\ \Omega} = 0.25\text{ W} \quad [6.23]$$

在这种应用中标准的1/8瓦的电阻在室温下会过热，1/4瓦的电阻在环境温度稍高的情况下也会过热。可以向制造商确认电阻在功率为1/4瓦的情况下且可能的最高环境温度下能否安全的工作。很多电阻的功率控制能力在过高的环境温度下会下降。

请按照制造商提供的安装和散热指导来设计。电阻体存在一个热阻，导致每瓦特会有几个摄氏度的温度升高。相比集成电路，电阻能容忍更高的工作环境，尤其是陶瓷电阻。

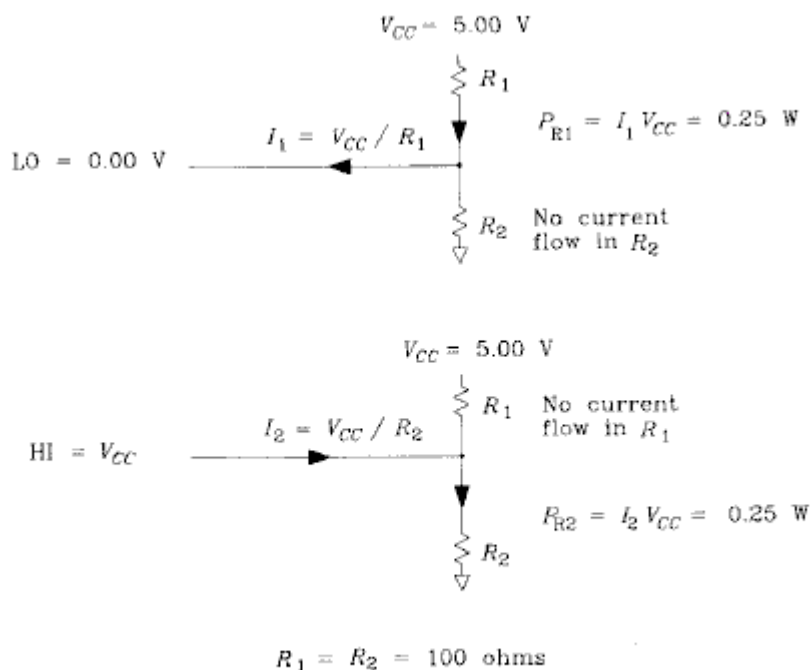


Figure 6.12 Power calculation for split termination with the worst-case LO or HI signal.

与集成电路不同，电阻有两种贴装方式。图6.13中垂直安装的电阻在没有空气流通的情况下散热要好于水平安装的电阻。

电阻过热的直接后果是引起阻值的漂移，从而引起反射。在极端的情况下电阻已经破裂，你精心设计的匹配电路根本就不存在了。

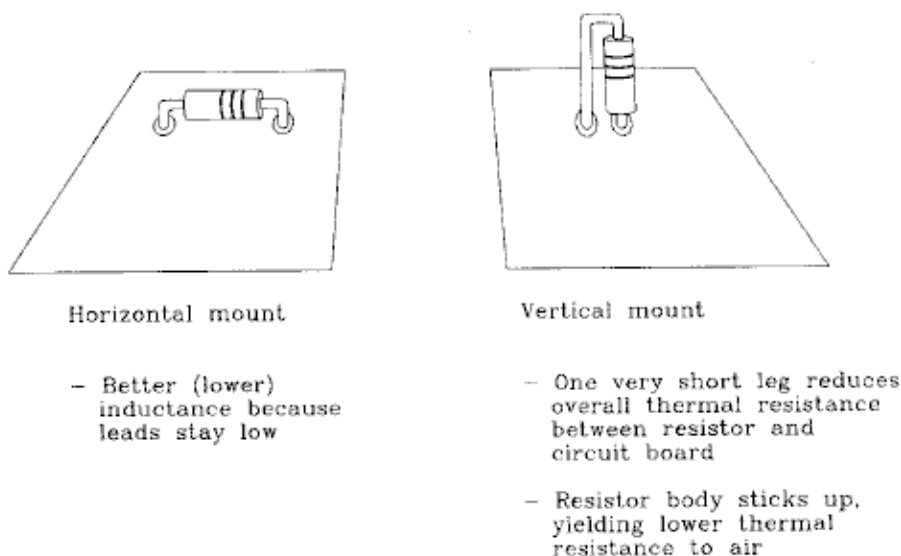


Figure 6.13 Two ways to mount axial resistors.

6.5.3 匹配电阻的电感

假设你已经选好了电阻值、承受能力、额定功率，下一步最重要的一个因素是寄生电感。所有的电阻都有寄生电感。其大小依赖于电阻的内部结构、外部导线类型以及安装方式。印刷电路板上与匹配电阻串联的导线的电感必须作为电阻电感的一部分。

电感所造成的影响与工作的频率有关。对于数字信号，我们在工作频率是KNEE频率的情况下分析电感的影响（见式1.1）。利用等式1.1可以把上升时间和频率联系起来，我们可以直接利用上升时间来计算感抗的大小。

$$|X(T_r)| = \frac{\pi L}{T_r} \quad [6.24]$$

T_r = 信号上升时间，单位s；

$|X(T_r)|$ = 上升沿 T_r 所对应的感抗的大小，单位s；

L = 电感，单位H。

寄生电感引起的不匹配如同匹配电阻阻值不准引起的失配一样。把感应电阻的阻值表示为匹配电阻阻值的百分比形式，每1%的感应阻值对应1/2%的反射。当 $X(T_r)$ 的绝对值等于10%的匹配电阻值时对应的反射是5%。

表6.1列出了三种不同电阻的实验室测量结果。前两种是2.2欧轴向碳膜电阻。最后的一个是表面贴0欧电阻，0.12英寸长0.06英寸宽。较大的1/4瓦轴向电阻的电感比1/8瓦的要大。

这些测量受导线长度的影响比较大。对于表6.1，所有的轴向电阻都是水平贴装而且引线都是尽可能靠近电阻的接线端并连接牢固。

TABLE 6.1 TYPICAL SERIES INDUCTANCE OF RESISTORS

Resistor type	Series inductance (nH)
1/4-W axial	2.5
1/8-W axial	1.0
1/8-W 1206, surface-mount	0.9

例6.1：匹配电阻的电感影响

让我们用1/8瓦的轴向电阻来匹配数字信号信号，此信号的上升时间或下降时间是1ns。

信号的上升时间或下降时间	1ns
传输线特殊阻抗	50欧
电阻的感抗	1nH

我们采用100欧电阻来进行SPLIT匹配。在这种配置中，感抗和阻抗的比值对两个电阻来说是一样的。对于一般的SPLIT匹配，只需用感抗大小和两个电阻中较小的一个电阻的比值来计算出感抗的大小：

$$|X(T_r)| = \frac{\pi(1 \text{ nH})}{1 \text{ ns}} = 3.14 \quad [6.25]$$

找出感抗和阻值之间的比例：

$$\frac{|X(T_r)|}{100 \Omega} = 3.14\% \quad [6.26]$$

这里电感的反射为1.5%。

在例6.1中的SPLIT匹配把原来的反射减小一半，与单50欧电阻匹配相比有着相同的电感。把电阻并联通常是一种减小电感的好方法。

表6.1中的电感测量的具体方法如图6.14。这个JIG的输出阻抗为4.3欧，源波形是步进的波形。当测试一个纯电感时，我们期望从这个JIG测出感应的峰值信号，它的总面积等于：

$$\text{Spike area} = \frac{L}{R_s} \Delta V \quad [6.27]$$

ΔV = 电压步进值，单位V；

L = 测试时的电感，单位H；

R_s = 测试JIG的输出阻抗，单位欧。

当测试纯电阻时，我们期望测量一个步进输出，其最终值为：

$$\text{Final value} = \frac{R_l \Delta V}{R_l + R_s} \quad [6.28]$$

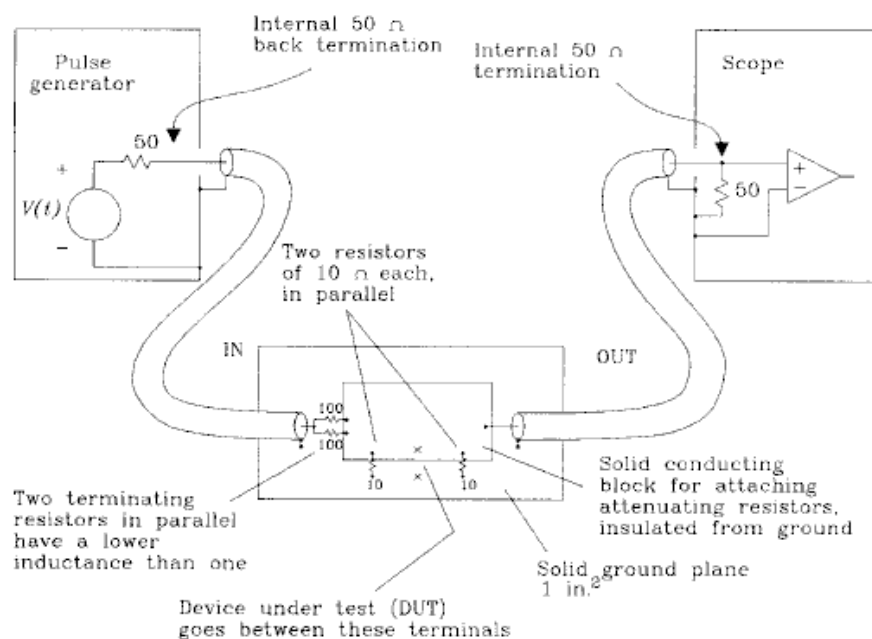
R_l = 测试时的阻抗，单位欧；

R_s = 测试JIG的输出阻抗，单位欧。

当测试一个未知的电阻和电感的混合体（比如一个实际的电阻），我们期望看到输出是电阻引起的步进波形和电感引起的尖峰波形的叠加。步进和尖峰波形都画在图6.15中。

当分析输出时，首先找出已知的测试JIG的输出阻抗和输出的终值。然后用直流电阻计测出其电阻。知道了被测电阻的阻值，我们可以画出测试电路在纯电阻情况下的输出波形。然后在实际的波形中减去这个理想的波形剩下的就是纯电感部分的尖峰波形。

然后我们可以用式6.29来算出纯电感的值，式6.29与式6.27很相似，只是多了一个测试电阻的自身电阻值。



- All resistors are 1/8 W.
- Run coax probes in from opposite sides to reduce direct feed-through.
- Ground DUT test point to check for feed-through.
- This test jig has a source impedance of 4.34 Ω , and an attenuation factor of 23:1.

Figure 6.14 A 4.3- Ω lab setup for measuring the inductance of resistor packages.

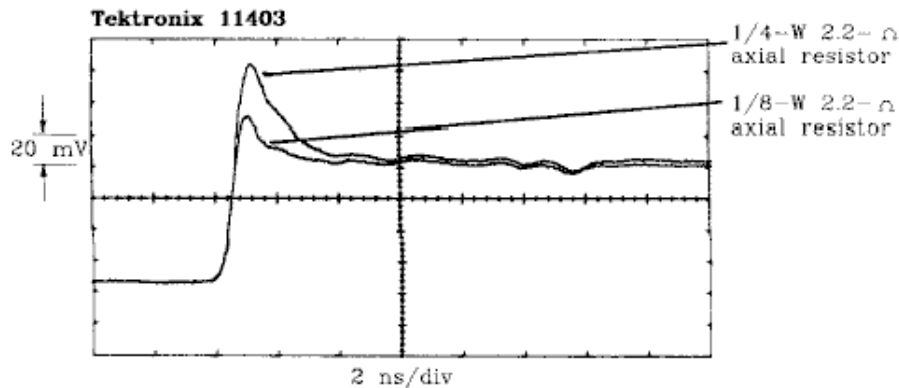


Figure 6.15 Output of a 4.3- Ω test setup for 1/4- and 1/8-W resistor bodies.

$$L = (\text{spike area}) \frac{R_1 + R_s}{\Delta V} \quad [6.29]$$

L = 测试时的电感，单位H；

R1 = 测试时的阻抗，单位欧；

Rs = 测试JIG的输出阻抗，单位欧。

从实际的测试波形去掉那部分理论上的波形时利用测试JIG的开路输出波形而不是规则的步进波形，这一点很重要。因为测量设备的带宽有限，理想的波形占有的面积和实际测出波形之间的差异会引入误差。

你可以把输出的波形存储起来，设好比例，然后从实际的波形中减去它，使用诸如Tektronix 14000系列的数字示波器就可以很容易的测出结果。

在这个实验中用尽可能小的电阻。对于一个固定的电感，测出的SPIKE面积与电阻成反比。这使得SPIKE在阻值很大时很难观测。

必须知道一些金属膜电阻是通过在金属膜上蜿蜒蚀刻而获得高的电阻值的。与低值电阻相比，高值电阻有时候明显具有更高的电感。电阻值在10-100欧之间的电阻往往都有相同的物理结构。

本节要点：

- 选用匹配电阻时要注意阻值的准确和额定功率。
- 电阻的寄生电感可以引起不想要的反射。

6.6 匹配电路的串扰

图6.16中的两个相邻的匹配电路的信号通过传输线交叉耦合。这种互扰比相邻传输线的串扰更为严重。

这一节中提供了一些匹配电路交叉耦合的测量结果和一些启发性的东西用来预见匹配电路中的串扰。

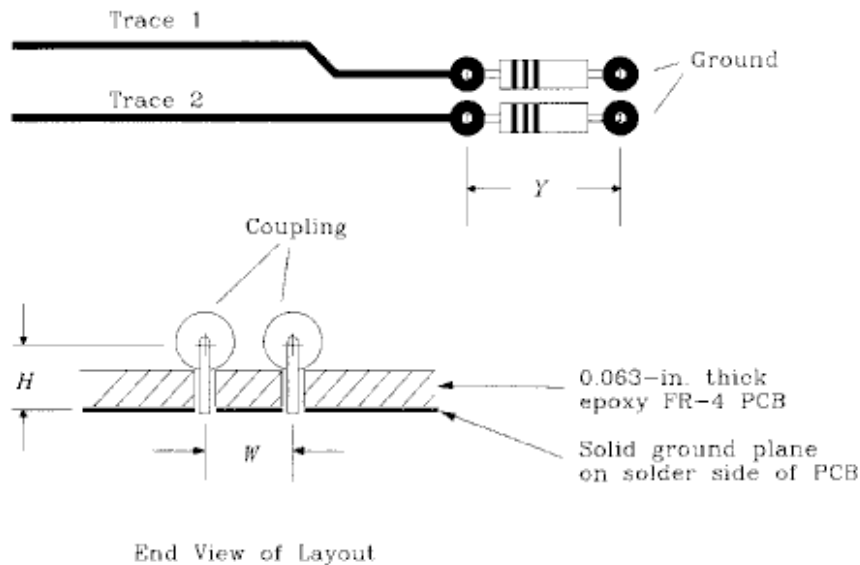


Figure 6.16 Configuration of terminating resistors.

匹配电路中的串扰来自互感和耦合电容。互感的作用更大一些。我们只需找出一个总的系数来反映串扰而不关心是互感还是电容耦合的作用更大。

$$\text{Noise voltage} = \frac{K}{R} \frac{\Delta V}{T_{10-90}} \quad [6.30]$$

Noise voltage = 在走线2上的干扰峰值；

K = 交叉耦合系数，单位欧-秒；

R = 阻抗，单位欧；

ΔV = 驱动电压步进值，单位V；

T_{10-90} = 驱动信号上升时间，单位s。

6.6.1 相邻轴向电阻间的串扰

在相邻过孔的匹配电阻之间的互感串扰通常遵循式6.30中的规则。我们可以利用它来大致估计交叉耦合系数：

$$K = (5.08 \times 10^{-9}) Y \frac{1}{1 + (W/H)^2} \quad [6.31]$$

当我们将步进信号加在布线1上时在布线2上的耦合噪声电压为脉冲信号。

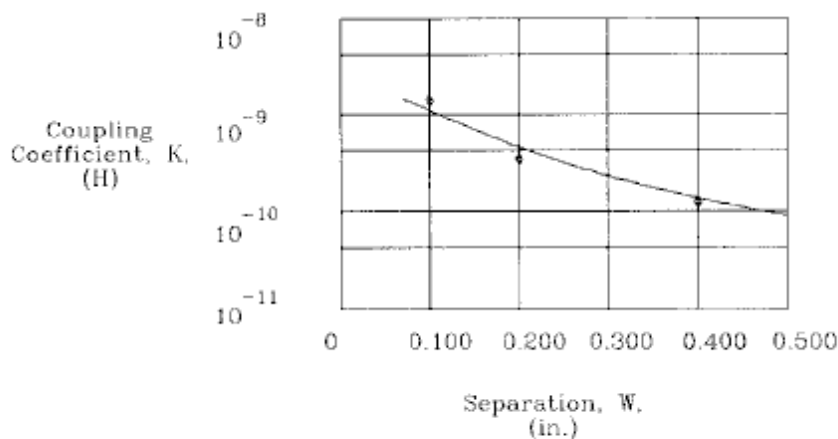
Y = 过孔之间的电阻的长度，单位in.；

H = 地层之上的中心线的高度，单位in.；

W = 电阻中心线之间的距离，单位in.；

K = 交叉耦合系数。

图6.17中绘出了K的几个测量值和计算值。测量值（图中的点）是通过测量几个样品的实际串扰然后用6.30推出来的K值。计算值（图中的实线）是用式6.31在长度为0.400宽为0.108（与实际被测样品相同）条件下计算出来的。它们之间是不同的。



Same layout as in Figure 6.16
 1/4-W resistor bodies
 Body length, 0.400 in.

Centerline height above surface of board	0.045 in.
Distance, surface of board to ground	0.063 in.
Total centerline height	0.108 in.

Figure 6.17 Measured and calculated values for the coupling coefficient between two terminating resistors.

如果象图6.18中那样把电阻错开，然后用新的重叠长度代入6.31计算一下。

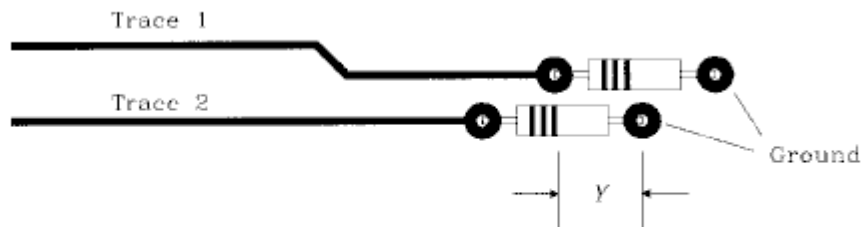


Figure 6.18 Staggered terminating resistors showing overlap length (parameter Y.)

6.6.2 相邻贴片电阻间的串扰

表面贴的电阻由于能够更加靠近印制板，因而它表现出比轴向器件低得多的串扰系数。为了把它的这个特性发挥到极至，可以在此电阻的下面接近于电路板外层的地方铺设接地层。这减小了6.31中的H参数，降低了串扰。

6.6.3 排阻间的串扰

这些器件可以工作的很好或者很坏，这取决于它的内部走线。图6.19中画出了单端接地设计时匹配电阻间的公共电流回路，这个公共回路引入了很强的互感。

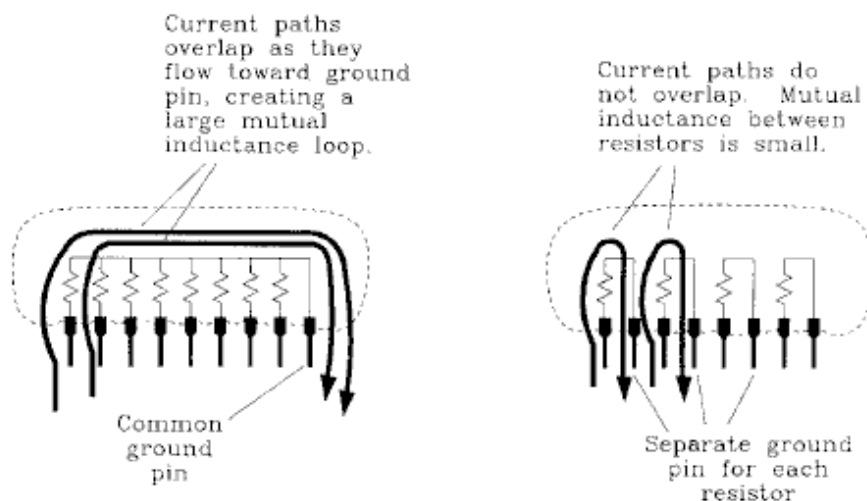


Figure 6.19 Two styles of SIP terminating resistors.

表6.2列出了0.1英寸SIP封装的排阻的典型串扰系数。SIP-A封装的器件内部有7个电阻和8个管脚，7个电阻共用一个接地端。SIP-B有四个电阻和8个管脚，每个电阻都有独立的接地端。所有的电阻都是50欧。B封装要比A封装的器件的串扰情况好100倍。

TABLE 6.2 COUPLING COEFFICIENTS IN SIP TERMINATING NETWORKS

Package	From	To	Coupling coefficient
SIP-A	7	6	8250.0 ps-Ω (worst)
SIP-A	7	1	2050.0 ps-Ω (best)
SIP-B	4	3	95.0 ps-Ω (worst)
SIP-B	4	1	8.0 ps-Ω (best)

利用等式6.30可以把这些系数转换为实际的串扰电压。

本节要点：

- 匹配电阻的物理布局影响信号回路间的串扰。

高速数字电路设计教材

拟制:	_____	日期:	_____yyyy-mm-dd_____
审核:	_____	日期:	_____yyyy-mm-dd_____
审核:	_____	日期:	_____yyyy-mm-dd_____
批准:	_____	日期:	_____yyyy-mm-dd_____



华为技术有限公司
版权所有 侵权必究

目 录

第七章 过孔	3
7.1 过孔的机械特性	3
7.1.1 过孔直径	3
7.1.2 过孔焊盘尺寸	4
7.1.3 去扰需求(Clearance Requirements): 空间间隔(Air Gap)	5
7.1.4 走线密度与过孔焊盘尺寸	6
7.2 过孔的容性	6
7.3 过孔的电感	8
7.4 电流回流与过孔的联系。	9

第七章 过孔

摘要：

过孔这个词指的是印刷电路板（PCB）上的孔。过孔可以用做焊接插装器件的焊（Through hole），也可用做连接层间走线的线路过孔，二者唯一的不同点在于前者用于焊接芯片管脚，而后者内部保持为空。二者的电气特性相仿，如以下所述。

7.1 过孔的机械特性

小的过孔可以节省更多的走线空间，所以设计者都希望过孔越小越好。而且小过孔有更小的寄生电容，所以可工作于很高速率。对于极高速率的设计，必须用小的过孔。

但小的过孔在制板时花费更多，所以设计者要对其性价比进行衡量。到现在，我们知道过孔的三种特性：

小过孔占用更小空间；

小过孔有更小电容；

小过孔花费更高。

过孔尺寸的重要性不可低估，7.1章节余下部分讨论密度与花费之间的权衡。7.2到7.4节讨论速度问题。

7.1.1 过孔直径

先讨论孔径，以后章节讨论过孔外的焊盘尺寸以及焊盘之间的布线空间。一个焊孔必须能够容纳一条插件管脚，焊孔直径必须超过插入其中的导线尺寸。为了良好的焊接，余出的部分应在0.010到0.028英寸之间（依赖于焊接工艺）。没有太多的方法缩小焊孔的直径。

对于走线过孔而言，孔径的大小更难以确定，它的最小尺寸受限于钻孔与镀锡技术。小孔具有前面所介绍的优点，但需要小的钻头，而小钻头更容易折断。加工大过孔时，可以将许多印制板堆叠在一起进行一次性加工，而对于小过孔，细小的钻尖难以钻透堆叠在一起的印制板而不偏离过孔的中心，所以小孔必须小批量打钻，并且加工更长的时间。

电镀技术（Electroplating action）不能电镀深的孔（skinny hole）。孔深超过其直径六倍的孔一般不会被电镀。对于0.063英寸厚的标准单板，孔径不应小于0.010英寸（也依赖于电镀车间对其设备的调整以及单板的产量需求）。

所有这些因素增加了小过孔的成本。当与印制板制造商谈价格时，应将打孔、电镀性能与线路蚀刻性能分开讨论，二者相互联系但又有区别。你需要一张图表显示钻孔成本相对于孔径的函数，还需要一张图显示电路板每平方英寸的成本相对于线宽的函数。结合这两张表和下面的信息来选择最佳的过孔、线宽、以及单板的层数。大部分印制板制造商的要价与层数成正比。

如何确定对孔尺寸的合理的限制？军方定义MIL-STD-275E列出了三种可接受的公差数据：优选（preferred）、标准（standard）、降产（reduced producibility）。优选定义（specification）对制造商来说最为容易，而降产定义很难满足并且成本高昂。有一个相关的文档IPC-D-300G

（Interconnections Packaging Circuitry Standard），说明了关于商业产品的类似信息，与军方定义的略有不同。表 7.1-7.3显示出了MIL-STD-275的简化内容。

TABLE 7.1 MIL-STD-275E HOLE DIAMETER

	Preferred	Standard	Reduced producibility
Minimum hole diameter*	$T/3$	$T/4$	$T/5$

* T is the board thickness.

TABLE 7.2 MIL-STD-275E HOLE TOLERANCES

	Preferred	Standard	Reduced producibility
Plating allowance*	0.0028	0.0021	0.0014
Plated hole diameter tolerance [†]			
Holes 0.015—0.030 in.	0.008	0.005	0.004
Holes 0.031—0.061 in.	0.010	0.006	0.004
Hole alignment allowance [‡]			
Board <12 in.	0.009	0.006	0.004
Board >12 in.	0.012	0.009	0.006
Required annular ring			
Inner layer	0.008	0.005	0.002
Outer layer	0.010	0.008	0.005

*Not part of MIL-STD-275E. Standard plating for digital boards is 1 oz (0.0014 in.). For fine line fabrication, some manufacturers use 1/2-oz (0.0007 in.). Plating allowances for hole diameters are twice the plating thickness.

[†]Includes allowance for variation in plating thickness.

[‡]Sum of hole location tolerance and master pattern (etching) accuracy as listed in MIL-STD-275E.

TABLE 7.3 MIL-STD-275E MINIMUM AIR GAP

	Preferred	Standard	Reduced producibility
Air gap for wave solder*	0.020	0.010	0.005

*This is the air gap required to prevent solder bridging. Larger gaps are required by UL, CSA, and TUV safety regulations for protection against high-voltage arcing.

7.1.2 过孔焊盘尺寸

每一个过孔都需要在印制板表面留出额外空间来置放焊盘，焊盘连接过孔内部的电镀面与与印制板表层的走线。焊盘的适当尺寸由4种因子决定，表7.2列出了这类参数的典型值。

- 电镀容量(allowance)
- 孔直径公差
- 孔对齐容量
- 所需关键环区。

过孔在电镀前必须先要钻孔，钻孔工艺在过孔内壁镀上0.001-0.002英寸厚的焊墙，使过孔导电，这样过孔电镀后的直径比电镀前小了0.002-0.004英寸。钻孔与电镀孔孔径之差为“电镀容量”，电镀容量是最大焊墙厚度的两倍。图7.1说明了完孔（Finished hole）尺寸与钻孔尺寸的参数。电镀容量有一定公差，这样焊盘厚度就不需保证得绝对精确。

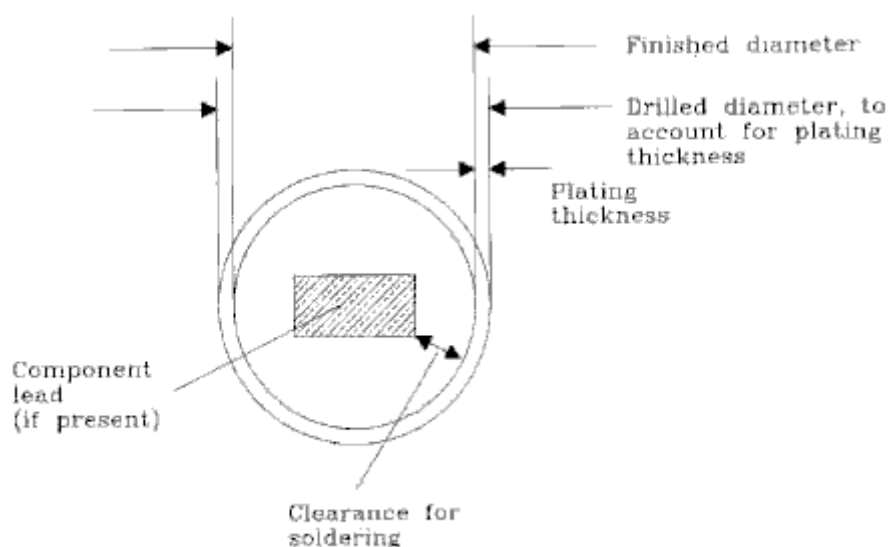


Figure 7.1 Finished hole diameter versus drilled diameter.

钻孔直径无法被保证的绝对精确，一定有钻孔公差存在。孔径与公差往往结合表示为 $0.032 \pm 0.003\text{in}$ 。孔径公差引入了两种限制。首先钻孔时孔径必须比正常情况稍大一点。这样可以确保最小的孔也有足够的空间容纳元件管腿，并且能满足电镀所要求的深宽比。另一方面，最大的钻孔孔径不能覆盖其周围的焊盘空间，焊盘因此也要画得大一点。

孔排列容量针对的是钻孔机的机械偏差。钻孔机钻孔时用板上的某些特殊的钻孔作为参考点，在板上蚀刻铜皮也同样需要这些参考点。机械上的不精确性使这种对齐方式不是完全精确的。制造商因而引入了孔排列容量（Hole alignment allowance）来表示所钻的孔与与焊盘中心的偏差。排列公差包括钻孔和排列偏差。

参考图7.2，钻孔后覆铜环区所剩的最薄的部分被称为关键环区（Annular ring）。如果孔区偏离中心，关键环区会变薄甚至从边界偏出，这种情况被称为‘出界’（breakout）。如果在焊盘接铜线处发生出界现象，会危害铜线与过孔内部的电接触性。下限关键环区（required annular ring），定义了当出现孔偏差时关键环区的下限厚度。如果你的布线工具能够在焊盘接铜线侧留一突出部（焊盘画大一些），即使关键环区为0甚至副值，也不一定会对你的设计造成影响（如图7.3所示）不过这种做法只适用于商业产品，在军工产品和高可靠性产品中是不能这样做的。

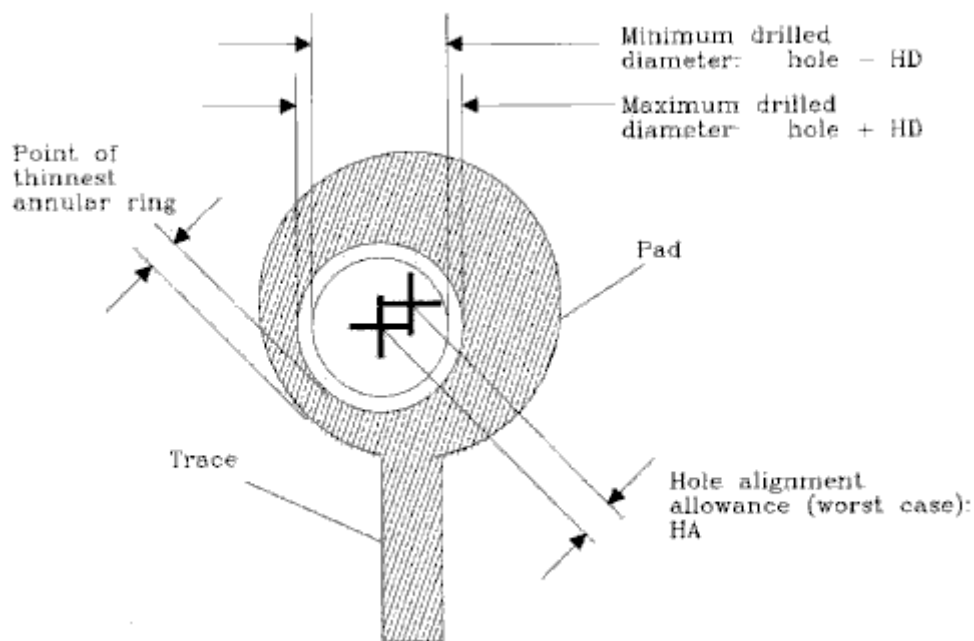


Figure 7.2 Annular ring surrounding a hole drilled in a pad.

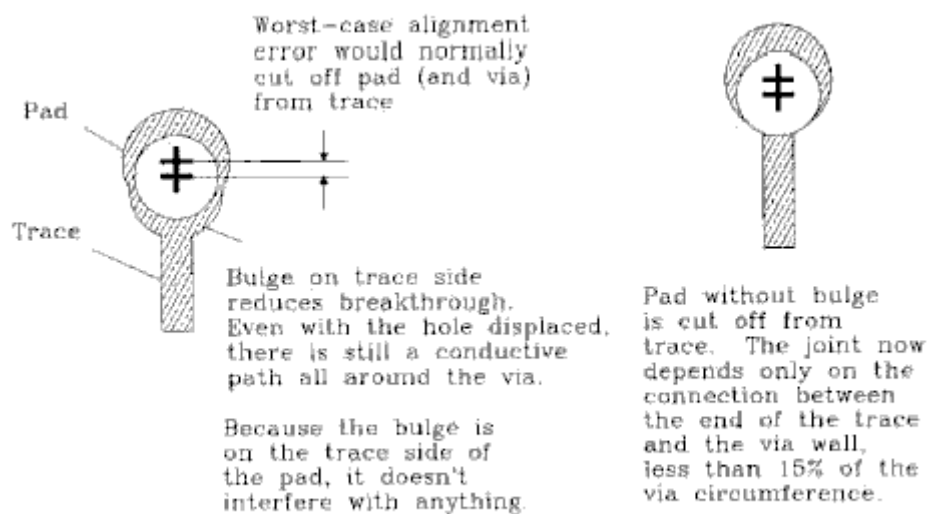


Figure 7.3 Bulge on a pad used to bolster an annular ring at a trace juncture.

最小焊盘直径可以按如下方式计算：

$$PAD = FD + PA + 2(HD + HA + AR) \quad [7.1]$$

这里 PAD = 最小焊盘直径，in.

FD = 要求最小孔直径，in.

PA = 电镀容量，in.

HD = 孔直径公差，in.

HA = 孔对齐容量，in.

AR = 下限关键环区。in.

正确的钻孔直径为：

$$\text{HOLE} = \text{FD} + \text{PA} + \text{HD} \quad [7.2]$$

这里HOLE = 正确的孔直径，in.

FD = 要求最小完孔直径，in.

PA = 电镀容量，in.

HD = 孔径公差。in.

例 7.1 焊盘直径计算

假设所设计焊盘为0.063英寸，环氧FR-4印刷电路板。

若供应商告诉我们大孔价格，孔径为0.015到0.020英寸 的价格要高30%。所能制孔最小尺寸为0.015英寸。该制造商的孔直径公差不是很好，为 $\pm \text{HD} = 0.003$ 英寸。

电镀厚度为 1 OZ (0.0014 英寸)，这样电镀容量为 $\text{PA} = 0.0028$ 英寸。近似0.003英寸。我们决定所制最小完孔的直径为 $\text{FD} = 0.015$ 英寸。并告诉制造商将钻孔直径保持在 0.021 ± 0.003 英寸（我们不想因缩小孔径额外加价）。

这样：

$$\text{HOLE} = \text{FD} + \text{PA} + \text{HD} = 0.015 + 0.003 + 0.003 = 0.021 \quad [7.3]$$

下面我们再看一看孔对齐容量， $\text{HA} = 0.002$ ，并选择我们所需要的关键路径， $\text{AR} = 0.005$ 英寸。

则焊盘尺寸应该为：

$$\begin{aligned} \text{PAD} &= \text{FD} + \text{PA} + 2 (\text{HD} + \text{HA} + \text{AR}) \quad [7.4] \\ &= 0.015 + 0.003 + 2 (0.003 + 0.002 + 0.005) \\ &= 0.038 \text{ (英寸)} \end{aligned}$$

这里的焊盘直径（该值要保证焊盘有足够的键环区）将近是过孔直径的两倍。窄孔一般都是如此。

7.1.3 去扰需求(Clearance Requirements): 空间间隔(Air Gap)

印制板上铜皮 (copper feature)之间的间隔被成为空气间隔。这个词可以追述到手工连线的日子。最小空气间隔一开始被用来防止在两个高压终端之间产生电弧。在现代的印制板中铜皮之间的空间被制板材料等所填充，但我们还是称之为空气间隔。

近来在印制板设计中往往包括一个说明了所有焊盘和走线尺寸的规范。由此我们可以计算 nominal features 间的空气间隔。在低压环境下我们只需要很小的空间来防止电弧。空气间隔不是数字电路板制作失败的主因。主因常常是焊桥 (solder bridging)。

蚀刻工艺的不完善性造成了焊桥的产生。这种不完善性导致在走线与焊盘侧面边界粗糙、隆起、铜皮掀起等一系列现象。它使相邻的铜皮边界更接近，在装配时，焊桥有可能在二者最近的地方产生。防止焊桥的最小保护间隔依赖于以下因素：

- 蚀刻工艺的精确性
- 装配方法
- 要求质量 (Required yield)

蚀刻精确性由你的制造商来控制，线宽公差（见4.5.1.4节关于典型线宽公差的叙述）就是与此工艺有关的一个参数。在计算最差间隔（Worst-case clearance）时，要从正常空气间隔减去线宽公差。由于每块铜皮突出线宽公差的1/2，所以只需减去1次线宽公差。

波峰焊与回流焊是两种主要的装配工艺。而波峰焊更容易产生焊桥。通孔板常常使用波峰焊，表贴板常常使用回流焊、波峰焊，或都使用。

要求质量（Required yield）依赖于你的制作量与出价。如果量很低的话，你可以选择人工检视每一块单板并手工清除焊桥，但如果量过大，手工检测就不使用了，这是最好多花一些设计时间来定位间隔问题产生的原因与位置。

不佳的蚀刻与焊桥都是随机的现象。增加空气间隔可以减小其产生的几率但不能完全消除它。在单板密度与制作质量之间寻找一个平衡点需要花时间去实践。

7.1.4 走线密度与过孔焊盘尺寸

印制板的价格基本上与其层数成正比，所需的层数决定于每一层的布线密度。线密度受过孔之间的走线方式影响。单板大多都有很多过孔，长的铜线往往要在两个相邻的过孔之间穿出，两个相邻过孔之间可以穿过的相邻线数被称为路径数（Numbers of track）。单路径板的两个相邻过孔之间只有一条铜线，双路径和三路径板相邻过孔之间的铜线有二到三条。对于多层板，内层的路径数可多于外层的路径数，这是因为内层的不会出现焊桥，这样我们就可以减小所需的空气间隔留给更多的路径。

线密度以线距（Trace pitch）为单位来衡量，线距等价与两并行走线轴心位置的间距，也等于一英寸内并行走线数目的倒数。线距常指并行走线轴心处的最小间隔。在本节，我们讨论有效线距（也称为平均线距）。

由于单板过孔很多，所以单板在布线是常常会为过孔所阻挡。将一排过孔作为一个整体来看，穿过他们的线数不超过其相邻过孔对数与路径数的乘积。它大大小于理论上该空间在无过孔是所能布的最大线数。一个有很多过孔的单板其有效线距为：

$$\text{Effective trace pitch} = \frac{\text{via spacing}}{\text{tracks}} \quad [7.5]$$

当设计一个新的单板，我们应该知道焊盘关键环区、过孔空间、布线宽度上的微小改变就可以单板的路径数在1、2、3之间变化。这样就可以大大增加布线密度从而减少单板层数。另一方面，在关键环区厚度及最小空气间隔上的牺牲将直接导致制造产量的下降。

设计者常常为相邻的两个过孔设定一个固定的最小间隔，并将其作为步放过孔的最小格点。这样设计者就可以在任何一个空的格点处步放一个过孔，而且不需要移动其它的过孔。对于DIP封装的器件，过孔位置的格点间距通常设为0.100英寸（对应于其引脚间距）。对于表面贴设计，过孔位置格距是不同的。IPC-D-300G建议使用的格距为0.100、0.050、0.025英寸。

本节要点：

- 走线过孔的直径完全依赖钻孔和电镀技术；
- 焊盘尺寸由钻孔公差和要求关键环区决定，关键环区控制出界情况的发生；

- 最小空气间隔由线宽公差和焊盘位置决定，空气间隔控制焊桥的产生；
- 焊盘尺寸和空气间隔上的牺牲可以增加单板的路径数，但会降低产量。

7.2 过孔的容性

每个过孔都有对地的寄生电容。过孔的物理结构很小，就象电路连接的一个元件，其可以寄生电容的参数值：

$$C = \frac{1.41 \epsilon_r T D_1}{D_2 - D_1} \quad [7.6]$$

这里 D_2 = 地平面的绝缘孔直径，in.

D_1 = 过孔周围的焊盘直径，in.

T = 印刷电路板的厚度，in.

ϵ_r = 电路板材料的介电常数

C = 过孔的寄生电容，pF

如果焊盘尺寸接近于绝缘孔直径，焊盘会产生更多的电容。如果你的地绝缘孔必须很小，以确保地平面的一体性（Ground clearance），就要减小或去掉地平面上的焊盘，对于走线过孔，在地平面上的一点偏差则不是什么问题。

过孔电容的影响在与它使数字信号的上升沿上升时间变缓，上升曲线变柔和。等式7.6假设在每一层都有一个焊盘，实际上一些设计者将那些在层上未连接走线的焊盘去掉，这样只是略微减少寄生电容。在大多数情况下，寄生电容都很低，我们不必加以考虑。

如果你必须事先知道过孔的电容值，可以用一个物理模型来测量它。一旦确立了一个物理模型，就可利用焊盘的比例原理（Scaling principle）。比例原理的含义：过孔的比例模型往往是过孔实际情况的X倍，此处的X就是比例模型。

例如：图7.4显示了一个简单的焊盘模型，它有铝箔和纸板构成。这是一个100:1的走线过孔（在表面贴设计中）。中间的管子代表了电镀通孔的内表面，直径为1.6英寸。管子两端的焊盘直径为2.8英寸。地平面的绝缘扩展为5.0英寸。这样测得的电容值为11.0PF，按比例减小100倍，实际电容为0.11PF。（注意这个实际电容包含在（FR-4）中，所以过孔电容的实际值应接近0.5PF）之所以用这种方式测量，是因为测大的电容比测过孔电容更容易。

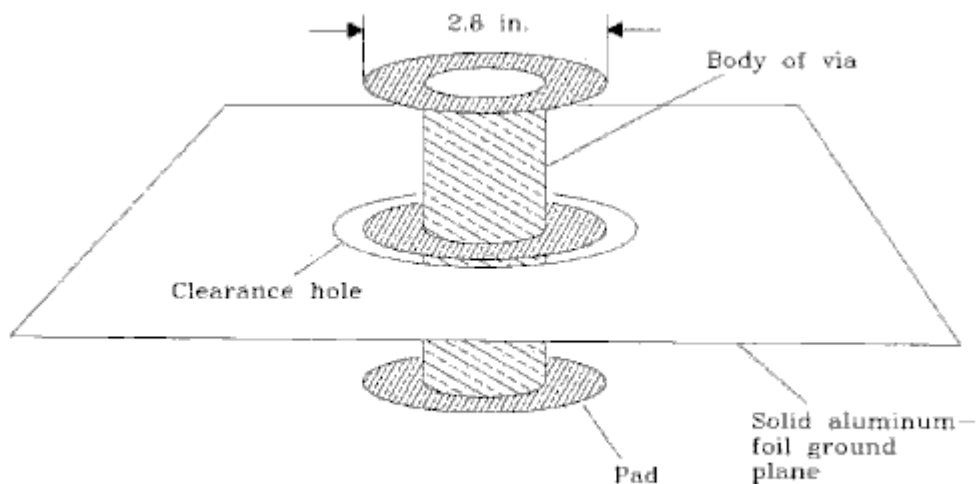


Figure 7.4 A 100:1 model of a via.

现在来看比较以下实际的测量值与按7.6式测量的结果。

$$C = \frac{(1.41)(4.7)(0.063)(0.028)}{0.050 - 0.028} = 0.053 \text{ pF} \quad [7.7]$$

可以看到二者基本相近，而产生的误差也是不可避免的。

过孔对50-Ω传输线的影响有多大呢？参考等式4.76，过孔所造成的10%~90%上升时间减缓为：

$$\begin{aligned} T_{10-90}(\text{step response}) &= 2.2C(Z_0/2) \\ &= (2.2)(0.5)(50/2) \\ &= 27.5 \text{ ps} \end{aligned} \quad [7.8]$$

27皮秒是一个非常短的时间。

如果你必须做很多焊盘电容值预测，则应该购买电磁场建模软件。这些软件包可以精确的得出三向结构体的电感系数与电容值。

本节要点：

- 过孔电容是可测量的，其值非常小影响也很小；
- 过孔和导线的比例模型是真实过孔的X倍，X就是模型比。

7.3 过孔的电感

对数字电路设计者来说，过孔的电感比其电容更加重要，每一个过孔都有寄生串行电感。过孔的物理结构很小，就象电路连接的一个元件。串行寄生电容的首要影响在于它减弱电源旁路电容的作用，这将危害整个电源滤波的设计。

旁路电容目的就是减少在电源层与地层的高频阻抗。如图5所示，若一个集成电路在A点与电源层与地层相连，并且在B点并联一个高性能的表面贴旁路电阻。这时我们希望在连接点处高频阻抗为0，然而事实上并非如此。连接电容到电源层和地层的表贴过孔引入了很小但却不可忽视的电感。电感值近似为：

$$L = 5.08h \left[\ln \left(\frac{4h}{d} \right) + 1 \right] \quad [7.9]$$

这里 L = 过孔电感，nH

h = 过孔长度，in.

D= 过孔直径，in.

因为等式7.9引入了对数，改变焊盘直径只对过孔电感产生很小的影响。而过孔长度则会对电感产生较大的影响。

通过等式1.15，我们可以得到对于上升时间为1纳秒的信号，本例中的过孔所产生的感抗。首先计算电感：

H = 0.063(过孔长度,in)

D = 0.016 (过孔直径, IN)

T₁₀₋₉₀=1.00 (上升沿速率, NS)

$$L = (5.08)(0.063) \left[\ln \frac{4(0.063)}{0.016} + 1 \right] = 1.2nH \quad [7.10]$$

$$X_L = \frac{\pi L}{T_{10-90}} = 3.8 \Omega \quad [7.11]$$

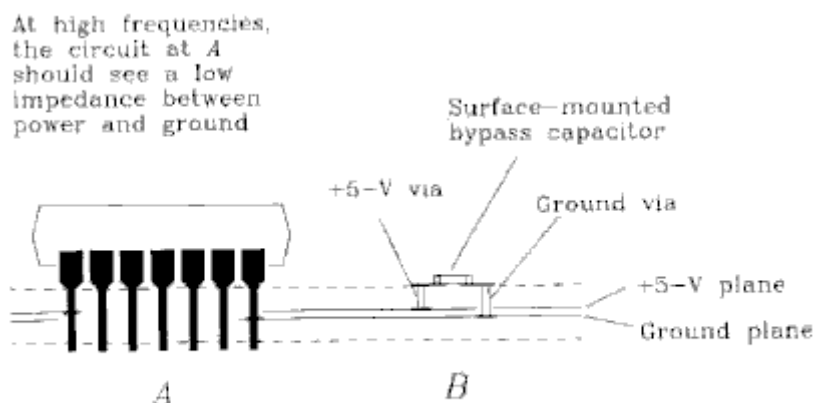


Figure 7.5 Mechanical arrangement of a bypass capacitor.

3.8欧的电阻阻值有些高，不足以屏蔽芯片出来的高频电流。而且电阻往往各需要一个过孔连接到电源平面与地平面，产生的电感将会加倍。将电容表贴到板上最接近电源和地平面的地方会减少这种影响。穿过电容两个焊盘的任何走线都会因如更多的电感，这类线越粗越好。

并联多个旁路电阻有可能降低电源层和地层之间的阻抗，假设电源层和地层都是0电抗的良导体。此时我们只需要考虑旁路电容的电感，及其相连的走线和过孔。在某一半径范围内，所有的旁路

电容都可以按并联的方式工作，降低电源到地之间的阻抗。有效半径为 $L/12$ (L 为上升沿的电长度)，直径为 $L/6$ 内的所有电容都可以被看作一个电路元件 (lumped circuit)。1.3 节列出了在不同介质下电磁波的传播速率，由此可以确定上升沿的电长度 L 。

上升沿为 1 纳秒的电磁波在 FR-4 介质中传播，其 L 值为 6 英寸。这样有效半径为 0.5 英寸。并联的旁路电容间距大于此将不再有并联的效果。

如果上升时间变短，电源旁路会变得更加困难。因为此时有效半径回缩短，这样在有效半径中所能布防的元件的数量就会降低。另外由于上升时间缩短，Digital knee 频率将上升，使过孔的感抗加大。如果我们将上升时间减半，则对滤波电容的设计就会比减半前降低 8 倍。在一个速率范围内得到的结果可通过比例原理推广到其他速率范围。

本节要点：

- 过孔电感恶化旁路电容的旁路特性；
- 一系列旁路电阻比一个旁路电阻更为有效；
- 信号上升时间变短会使电源旁路更加困难。

7.4 电流回流与过孔的联系。

在多层板中有不止一个地层。设计时必须仔细考虑那一个地层返回电流。

图 5.2 说明了回流的基本原理：高速回流信号总是沿着感应系数最低的信号路径流动。

如果我们假设图 5.2 中有不止一个地层，那么那一个地层返回电流呢？答案是离信号线最近的那个地层，并且沿着信号线正下方的路径。

仍以图 5.2 为例，假设门 A 的地引脚穿过几个地层，且彼此相连；电阻 B 的地引脚也是同样。图中所示信号线与顶层地平面最接近，该层承载了该信号线所有返回电流。现将信号线改在两个内部地层之间，则返回电流由两个地层共同承载，大部分返回电流流过与信号线最接近的地层。

因为门 A 与电阻 B 和每一个地层都有连接，所以回流可以很容易流到内部地层。调整后的地层回路的感应系数与初始路径的感应系数比较类似，这是因为二者都有类似的拓扑。

下面我们建立一个电感系数与磁通量之间的联系：电感系数是相等的，两个路径的磁通量也是相等的，这样我们就可以得出结论，即两种设计的电磁辐射也是相等的。

这种联系所得出的一个有趣的结论是内层的线路辐射小于或等于外层的线路辐射。在单板边界更是如此。地平面由于和磁通量产生方向平行，所以几乎提供不了任何屏蔽。

现在我们在基本电路中加入一个“低劣”的修改，从 A 到 B 的走线先在表层走一半，然后通过过孔引入到两地平面之间的内层走完下一半。那么地层回流的路径是怎么样的呢？

信号在层间的走线有一个跳变点，但信号的地回路却不能在这一点跳变，因为地平面在这一点上没有彼此之间的连接点。这样地回路不能象前面那样在信号的下方沿着与信号相同的路径流动。而是通过另外的路径，其中必然会引入更多的电感。由此我们可以看出滥用过孔会造成电磁辐射增加，而且由于信号回路不是走的它本应该走的路径，从而因如更多的交叉干扰。

信号回路的跳变问题有很多种解决方法，下面按其有效性依次排列。

(1) 在布线时不要让高速信号路径在层间跳变，使该路径始终保持在同一层。

- (2) 布线时确定与信号始段端最接近的地层，将该信号线始终步放在该地层的同一侧。
- (3) 对应于每一个信号过孔提供一个地过孔，以便让回流电流可以在层间跳转。
- (4) 保证单板的每一处都有足够的地层过孔。这样在有信号过孔的地方，在不远处一定有用回流电流进行层间跳转的过孔。

不要通过保护线来提供回流路径，这只在纸面上行得通。首先，保护线除非离信号线很近，否则不会有任何作用；如果近到可以作为一个地回路路径来使用，有可能导致线路阻抗的降低；第三，为了提供一个足够低的阻抗，保护线必须非常宽。一旦采用了可靠的地平面，保护线只能填麻烦。

高速数字电路设计教材

拟制:	_____	日期:	_____yyyy-mm-dd_____
审核:	_____	日期:	_____yyyy-mm-dd_____
审核:	_____	日期:	_____yyyy-mm-dd_____
批准:	_____	日期:	_____yyyy-mm-dd_____



华为技术有限公司
版权所有 侵权必究

目 录

第八章 电源系统	2
8.1 提供稳定的参考电压	3
8.2 分配相同的电压	7
8.2.1 电源分配线的电阻	8
8.2.2 电源分布线的电感	8
8.2.3 板极旁路器	10
8.2.4 在独立集成电路 (individual integrated circuits) 中的本地旁路	13
8.2.5 电源层与地层之间的电容	16
8.2.6 测量电源分配系统单步响应的测试工具。	17
8.3 普遍电源分配问题 (everyday distribution problems)	18
8.3.1 在TTL-ECL组合系统中随机的ECL错误	18
8.3.2 在电源分配线上有太多的压降	19
8.3.3 插入电路板时电源的冲击 (glitch)	19
8.3.4 从电源分配线上的EMI辐射	20
8.4 选择一个旁路电容	20
8.4.1 电容的寄生电阻和寄生电感	21
8.4.2 电容性能与封装的关系	23
8.4.3 贴片电容 (surface-mounted capacitors)	26
8.4.4 在集成电路中安装电容	27
8.4.5 三种类型的绝缘材料	27
8.4.5.1 铝电解绝缘材料	28
8.4.5.2 Z5U电介质	29
8.4.5.3 X7R电介质	29
8.4.6 较安全的电压和寿命	30

第八章 电源系统

摘要：电源系统在现代的数字电路里面提供两个基本功能：

为数字信号提供稳定的参考电压（Voltage references）。

为所有的逻辑器件分配电源。

这一章讲述了电源系统是如何提供稳定的参考电压电压和配电。

8.1 提供稳定的参考电压

图8.1 举例说明了在单端逻辑系统中出现的参考电压问题。逻辑门A产生的输出电压 V_1 经过传输线B作为逻辑门C的输入，逻辑门C必须判定其输入电平是0还是1。为了完成判决，逻辑门C用一个差分放大器来比较输入电压和它内部的参考电压 R 。通常我们并不关心逻辑门的输入脚里包含了差分放大器，但是其拓扑结构的确导致了我们的参考电压的诸多问题。

一般逻辑器件内部参考电压都是连接到电源输入端的某些组合，我们无论选中那个终端，出现的问题都是相同的。在本例中，我们假设参考电压与地之间有个固定的压差，包括噪声在内，逻辑门C内的差分放大器实际收到的电压是：

$$\text{差分输入} = V_1 - N - R \quad [8.1]$$

最大电源正电压是 V_{CC} ，最大负电压是 V_{EE} ，主要的逻辑电路使用以下的参考电压：

CMOS: V_{CC} 和 V_{EE} 的加权电压;TTL: 大于 V_{EE} 的固定偏压; ECL: 低于 V_{CC} 的固定偏压

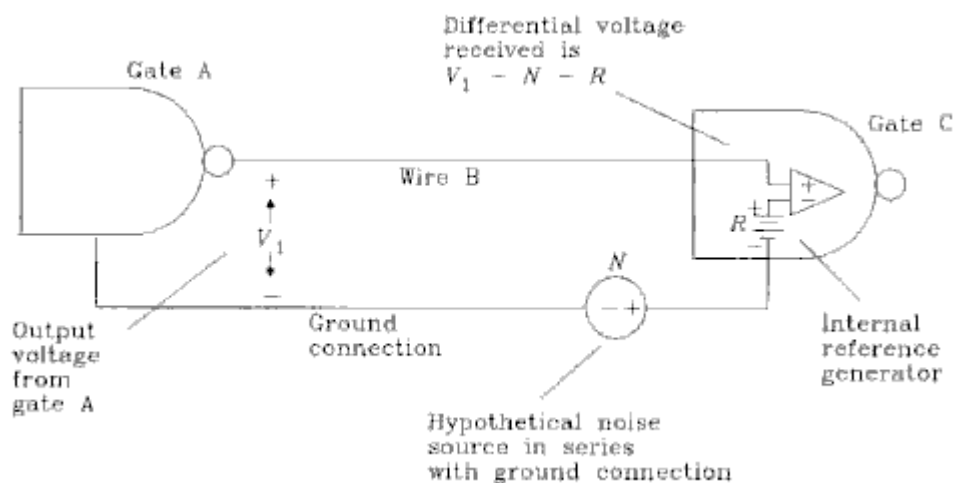


图8.1 单端逻辑中使用的参考电压

噪声 N 也可以看做逻辑门A和C的地之间的电压差，它叠加到了逻辑门C的输入脚上，降低了门C的输入噪声容限。

是什么导致了逻辑门接地点之间的噪声电压呢？最常见的原因就是因为有回路信号电流（Returning signal currents）。当逻辑门A发送信号到逻辑门C时，返回逻辑门A的电流在地之

间的分布电感上产生的压降就是噪声 N 。不光在A和C之间，在任意两个逻辑门之间的回路信号电流都会产生对C门的干扰地噪声，这样的噪声电压就叫做共路噪声（Common-path noise）电压，共路噪声电压的产生模型如图8.2所示。

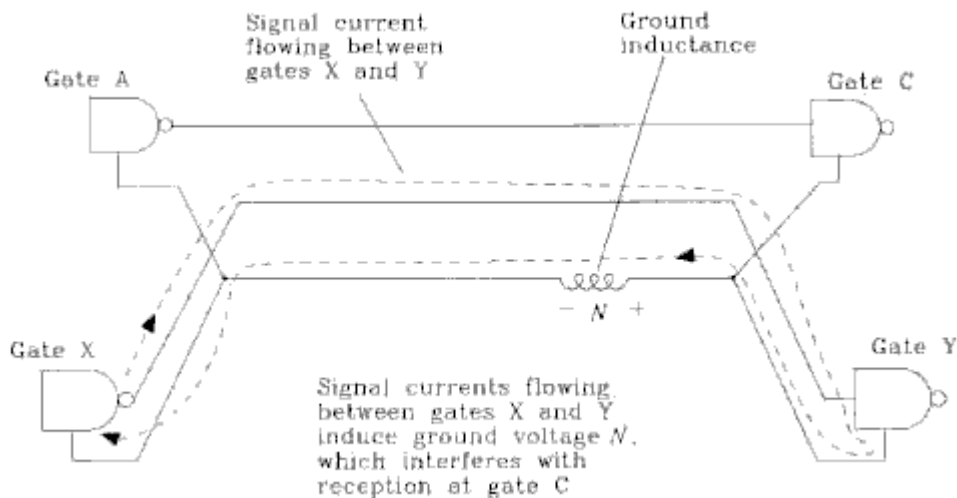


图8.2 地连接产生的共路噪声

噪声容限是在最坏的传输条件下，能够保证信号在逻辑之间无误传输的安全容限。

共路噪声电压是由回路信号电流和地线电阻产生的，所以，为了保证低共路噪声，我们必须降低逻辑门接地点之间的阻抗，这就是电源系统设计的第一个准则：

电源准则1：逻辑门之间使用低阻抗的地线连接

是否有一种足够低电感的结构以避免共路噪声产生的问题呢？当然有。在实际应用中，大面积的地（就算里面填充了很多小孔）对回路信号电流将表现出非常低的电感。

共路噪声与公共耦合电感的关系在第5章里已经做了说明。两者影响了回路电流环之间的耦合电感。共路噪声不同于因特定器件或导线的电感而产生的噪声。在第5章中我们围绕回路电流相互隔离但距离较近，只通过磁场相互作用的情况进行了讨论。

低地线电感并不能单独解决共路噪声的问题。如图8.3所示：就算没一个逻辑门之间都用非常完美的地线连接，电源线中的共路电感也会引起问题。在高电平状态，逻辑门的输出电压依赖于它的电源端电压，任何因为回路信号电流流经电源线引起的电源电压改变，将直接影响到输出电压。所以任意两个逻辑门的电源引脚之间的阻抗应与地线引脚之间的阻抗一样低，这就是我们设计电源系统的第二个准则：

电源准则2：任意两个逻辑门的电源引脚间的阻抗应于地线引脚之间的阻抗一样低。

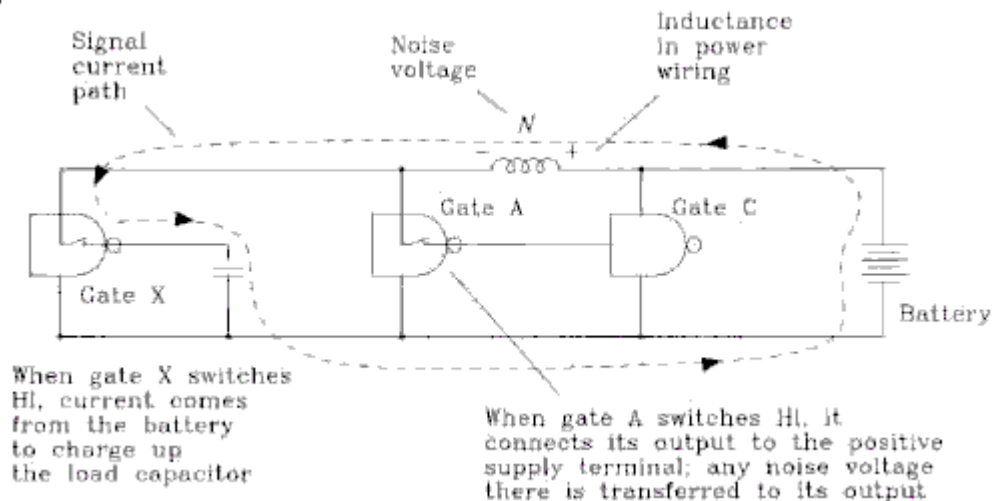


图8.3 电源线中的共路电感

请注意图8.3中回路信号电流流过了电池电源。显然，为了维持稳定的传输信号电平，电池的内阻必须非常的低，地线和电源连接线的电阻也要低。图8.3中电源和地的唯一连接通路是电池，在实际的电源系统设计中还有其它的元件提供低阻抗通路。这就是我们设计电源系统的第三个准则。

电源准则3：电源与地之间必须有一个低阻抗通道。

任何电源系统只要符合这三个电源系统设计准则，就能得到较低的共路噪声、得到稳定的参考电压、以及只产生较低的公共通道噪声和为任何一点提供相同的电源电压。这几点是不可分割、相辅相成的。

如图8.4所示的电源系统就符合这三个准则：提供一条单一的地线以通过所有的回路电流、每一个逻辑门的电源与地之间都加上旁路电容（Bypass capacitors）、电源线是任意的。

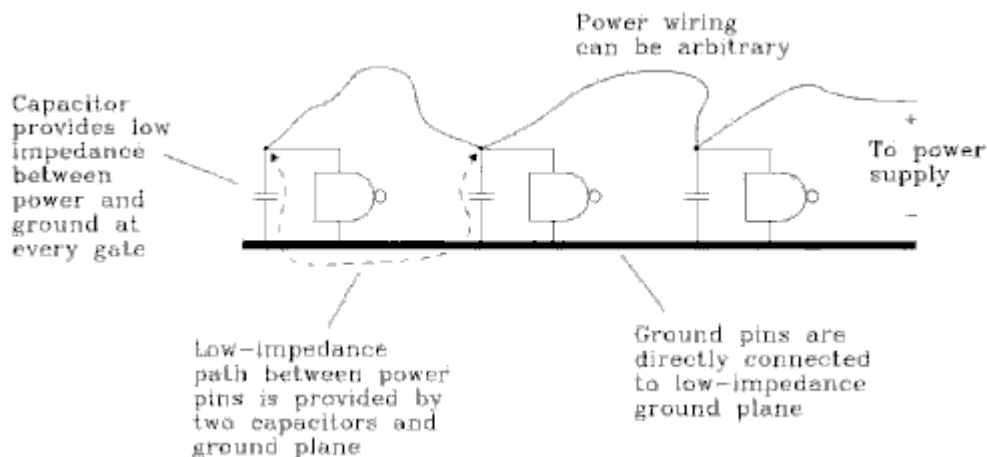


图8.4 单层（singleplane）电源系统

我们来检查一下这三个系统准则在这个设计当中的运用：

- 1.在地之间有一个接地平面的连接。
- 2.在电源之间有一系列阻抗，先是一个电容，接着是地，最后是第二个电容。

3. 在每个逻辑门的电源与地端有一个旁路电容，我们能测出任何一个电源与地之间都的阻抗都是较低的。

采用单层地的最大缺点是不能得到尽可能低的旁路电容阻抗，在8.3节中将讨论如何选择一个好的旁路电容。

较好的解决办法（图8.5）是电源和地使用不同的铜皮，这将保证在任何两个逻辑门之间的电源和地间得到最好性能。当两铜皮非常靠近的时候，它们共享了大量的公共电容（Mutual capacitance）。这些电容对于高频信号是非常低的阻抗，高频信号可以在电源和地之间自由流动。对于低频信号，每一个门中分离的旁路电容使电源和地之间有最短的通路。

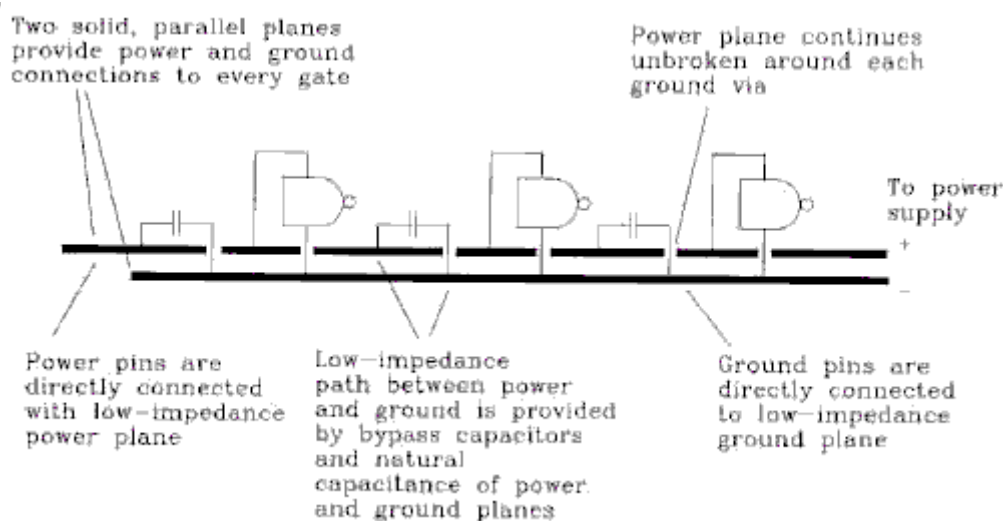


图8.5 电源和地平面分离的系统

我们来检查一下这三个准则在这个系统（8.5）中的运用：

1. 所有的地线使用同一地平面连接。
2. 所有的电源也使用同一电源平面连接。
3. 在电源和地之间有一组旁路电容，电源层与地层之间有天然的电容层。

在完成这一节之前，让我们来看一下图8.6，差分传输（Differential transmission）结构为每个信号环路提供单独的回路电流通路，不仅仅如此，每一个信号都有它们自己的参考电压，注意在接收端的差分放大器与任意一个电源端都不相连。差分传输系统是在逻辑门之间传输信号的极好方法，因为它并不需要共享电源和地线连接。

差分传输系统使分配电源的问题与提供稳定的参考电压独立开来。

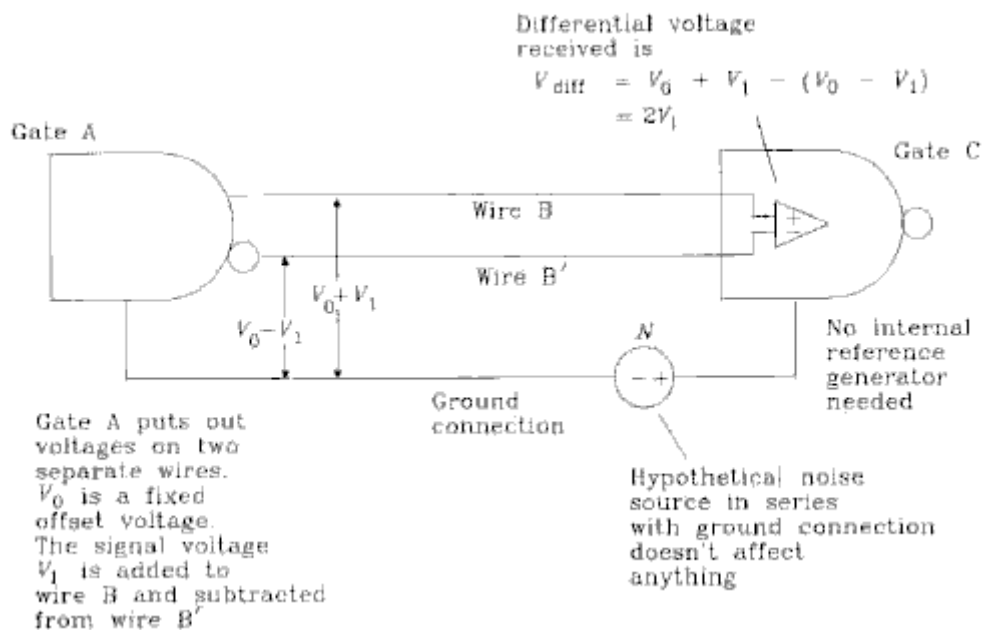


图8.6 逻辑门之间的差分信号传输

本节要点:

电源系统设计的三个准则:

- 在逻辑门之间的地线连接要尽可能低的电阻。
- 任何逻辑门和电源之间的阻抗要尽可能和地线之间的阻抗一样低。
- 在电源和地之间，阻抗必须尽可能低。

8.2 分配相同的电压

用于数字电器而电源中都有非常低的输出阻抗，如果直接测量它们的输出端，通常都能满足电源准则3，电路直接连接于电源输出端都受益于电源较低的输出阻抗。

不管电路在什么位置，都必须通过导线、电缆或电线连接到电源上，这些线被称作电源分配线（Power distribution wiring），都有相对较大的感抗，它提高了大部份电源的输出阻抗。在电源分配电缆的末端进行测量，直流特性可能较好，但是高频阻抗却非常大。

为了尽量避免因为电源分配线电感而引起的问题，设计者通常在每一个印制板电路上放置一个较大的旁路电容，这个电容于电源并连。在导线电感开始出现问题的频率范围内，旁路电容在电源和地提供一个低阻抗，但是如果进入更高的频率，旁路电容将因为其安装引脚线的电感而失去作用。

为了弥补这个大旁路电容的不足，设计者会在板上加入一个小的旁路电容阵列，这个阵列会改善大旁路电容的不足，因为虽然这个阵列的总电容比大旁路电容小，但有更好连续电感（Series inductance）。

在整个工作频率范围内，电源、导线、大的旁路电容和小的旁路电容阵列为每一个逻辑器件提供了一个低阻抗的电源。我们把这些电源分配线、大旁路电容、小旁路电容阵列的组合叫做多层电源分配系统（Multilayered power distribution system）。

在8.2.1~8.2.5中，将逐步建立起多层电源分布系统的理论，8.2.6节将描述怎样测试一个完整的电源分布系统的性能。

8.2.1 电源分配线的电阻

从电源到逻辑器件的导线会有少许电阻，这个电阻将与工作电流成比例的降低通过导线的电压。如果压降太大，将导致逻辑门的供给电压低于其工作范围。

导线的电阻很容易计算，电阻随导线直径平方的倒数成比例增加。当导线直径增加百分之四十，电阻将降低一半。如果因为导线电阻而出现了问题，那么就使用较粗的导线。

许多新型的可校准电源（Regulated power）都提供遥控传感导线（remote sense wires），该传感导线显示出电源分配线远端的电压。电源根据这个电压校准导线的电阻，阻值包含一个导线压降可容纳的最大值（典型约0.5V）。对于这种电源不必使用非常低阻抗的导线。

本节要点：

- 传感导线可以校正电源分配线的电阻。

8.2.2 电源分布线的电感

电源线的电感比其电阻产生的问题更大，快速改变的电流通过电源分配线的电感，将导致电源和逻辑器件的电压的波动，这个电压波动将比导线电阻引起的波动更突然，而且影响更大。

不幸的是传感导线电路不能快速的响应以校正导线的电感。这里有三种方法来处理电源导线电感的问题：

- 1.使用较低电感的导线。
- 2.使用不受电源噪声影响的逻辑器件。
- 3.减小电源产生电流的变化幅度。

因为电感与导线直径是对数关系，所以简单的通过使用较粗的导线不可能降低导线的电感。等式8.2表示两个并行的电源分配线的电感(电源和地)。

$$L = 10.16X \ln \left(\frac{2H}{D} \right) \quad [8.2]$$

其中

X = 导线长度(英寸)

H = 导线间的平均距离 (Average separation) (英寸)

D = 导线直径(英寸)

L = 电感(纳亨nH)

由等式8.2可以看出，就算更粗的导线也有很大的电感，宽而扁的并行结构的导线的使用效果要好于环状导线，对于电源和地在不同的层的情况，多重并行扁状导线具有最低的电感。等式8.3显示出并行扁平带状电缆的电感。

$$L = 31.9 \frac{XH}{W(N-1)} \quad [8.3]$$

其中：

X = 带状电缆长度(英寸)

H = 带状电缆间的距离(英寸)

W = 带状电缆宽度(距离)

N = 电缆平面数 (2代表单电源和地，3代表两个地和一个电源，等等)

L = 电感(nH)

差分传输系统实际不受电源的波动的影响。为了实现电路板卡间的通信，没有更便宜的办法为电路板提供较低的电源分布电阻，差分驱动器和接收器却非常的好，差分传输系统的成本和扩展距离的要求往往低于提高电源分布电缆的成本和距离。

最大限度减小电源线电感影响的方法包括降低变化的电流大小。注意，这里使用的是变化的电流 (Changing current) 一词，我们不能减小通过电源线的平均电流，但是我们能降低电流的波动率。下一节我们将展示怎样用板极旁路电容来达到这个目标。

本节要点：

- 几乎不可能通过简单的使用较粗的导线来降低导线的电感。
- 宽而扁的并行结构导线使用性能比环行导线好的多。
- 差分传输实际上不受电源波动的影响。

8.2.3 板极旁路器

让我们来看看导线的电感究竟能引起多大的问题，在图8.7中我们将计算最大的 dI/dt ，然后将 dI/dt 乘以导线电感来估算电源噪声电压。

在图8.7的电路中驱动了一个大的电容负载。在逻辑门A的电源脚上有一个周期是100ns的开关。在逻辑门A驱动电容负载为HI时，这个开关导通。图中的虚线即是电流的通路。

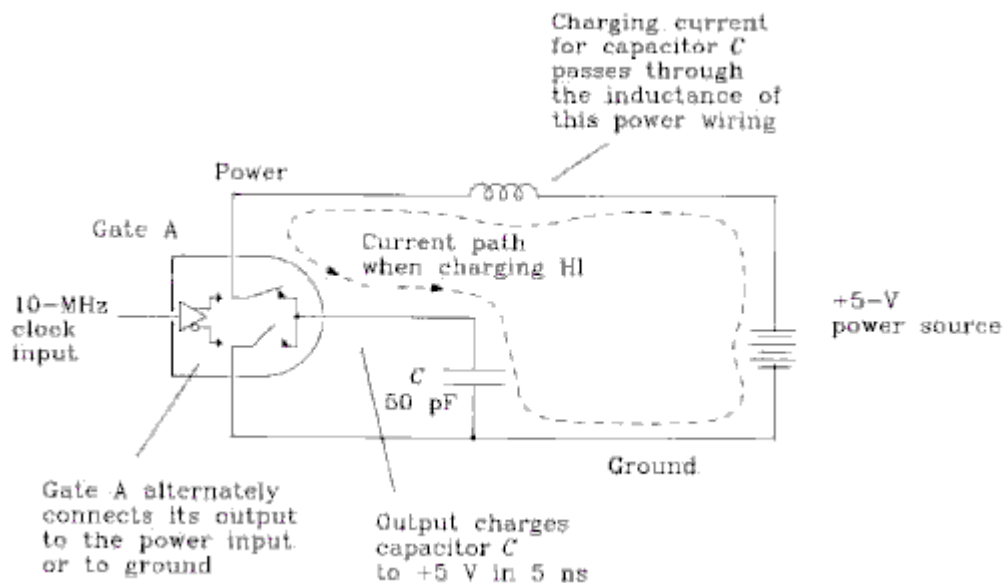


图8.7 电源分配线的电感

图8.7显示出HI驱动电流电路流过电源和电源导线电感，逻辑门A的上升时间是5ns，于是我们能用等式8.4计算出驱动电流最大 dI/dt 值。

$$\text{Max} \frac{dI}{dt} = \frac{1.52 \Delta V}{(T_{10-90})^2} C_1 = 1.5 \times 10^7 \text{ A/s} \quad [8.4]$$

其中: $\Delta V = 5\text{V}$ (驱动电压)

$T_{10-90} = 5\text{ns}$ (驱动上升时间)

$C_1 = 50\text{pF}$ (负载电容)

下一步我们需要用等式8.2计算出电源线的电感。

$$L = 10.16 X \ln \left[\frac{2H}{D} \right] = 164 \text{ nH} \quad [8.5]$$

其中: $X = 10$ 英寸 (导线长) $H = 0.1$ 英寸 (平均导线间距离)

$D = 0.04$ 英寸 (导线直径) $L =$ 电感 (nH)

用最大值 dI/dt 乘以电感，我们将得到峰值噪声电压：

$$\text{Noise} = (1.5 \times 10^7) (164 \times 10^{-9}) = 2.5 \text{ V} \quad [8.6]$$

开玩笑！噪声能有这么大吗？

实际上，我们遇到了更糟的情况，等式8.6是错误的。因为这个假设有缺陷，在等式8.5中，如果我们假设上升时间是1ns，在这个电路中，当逻辑门A驱动HI时，电源的电感如此的大，以至于电路板的电源输入将降到接近0。电容C1的电压缓慢上升流过电源线的电感，当电源电压下降时，逻辑门A将不工作或者处于振荡状态。

对于这种电源电压下降的解决办法是如图8.8中加一个旁路电容，如果电容C2的阻抗小于电源线的阻抗，充电电流将流过此电容而不流过导线。当逻辑门A变为HI时，电源下降的值将是电容C2阻抗的函数，而不是电源导线的函数。

在图8.8中电源线的电流因为电容C2的作用而变行平滑，使此电流变为一个连续的平均值，我们已经成功的降低的电源线电流的波动率，这就是我们要的结果。我们已经达到了建立一个稳定的电源分布系统的目的，这种电源对较低频信号提供较低的阻抗，本地旁路电容为较高频信号提供较低的阻抗。

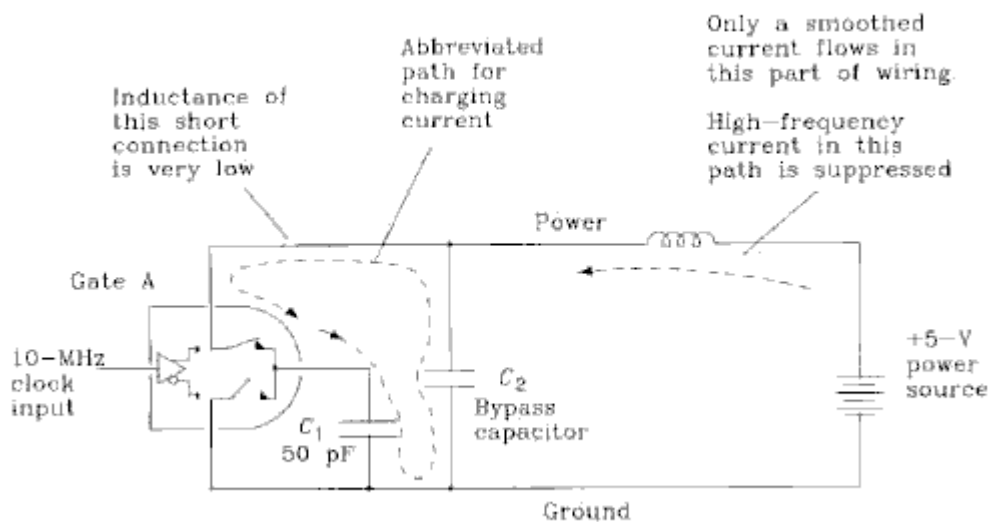


图8.8 旁路电容降低了电源线电路的波动率

要得到旁路电容的正确值，分为以下几步：

1. 计算在电路板上期望的最大电流变化值 (ΔI)，我们并不知道逻辑门何时打开或关闭，所以假设最坏的情况是它们在某些固定频率下同时打开或关闭。
2. 计算出逻辑门能允许的最大电源噪声值 (ΔV) 保证逻辑电路有安全的门限。
3. 我们能容忍的最大公共通道阻抗是 $X_{\max} = \Delta V / \Delta I$ ，如果我们采用大面积的电源和地线层，我们能把整个 X_{\max} 阻抗分配在电源和地之间。否则我们必须将它分开，一部份连接到地，一部份连接到电源，一部份连接到电源和地之间。

$$X_{\max} = \frac{\Delta V}{\Delta I} \quad [8.7]$$

4. 计算电源线的电感 L_{PSW} ，将该值与最大允许的阻抗 X_{max} 结合，从而找出电源线工作的最大频率 F_{PSW} 。如果逻辑门在这个频率下同时打开或关闭，所得到的电源噪声将小于 ΔV 。

$$F_{\text{PSW}} = \frac{X_{\text{max}}}{2\pi L_{\text{PSW}}} \quad [8.8]$$

5. 在频率 F_{PSW} 以下电源线是可用的。在频率 F_{PSW} 以上我们需要一个旁路电容，找出在频率 F_{PSW} 下阻抗为 X_{max} 时的电容值，所用的旁路电容至少要比它大。

$$C_{\text{bypass}} = \frac{1}{2\pi F_{\text{PSW}} X_{\text{max}}} \quad [8.9]$$

例8.1：板极旁路电容的计算

已设计了一个CMOS板，有一百个门，每一个门的开关时间5ns、开关电容10pF，电源电感是100nH，计算出正确的旁路电容值。

$$\begin{aligned} \Delta I &= NC \frac{\Delta V}{\Delta t} \\ &= 100(10 \text{ pF}) \frac{5 \text{ V}}{5 \text{ ns}} \end{aligned} \quad [8.10]$$

$$= 1 \text{ A (worst case peak while charging all loads)}$$

$$\Delta V = 0.100 \text{ V (from noise margin budget)} \quad [8.11]$$

$$X_{\text{max}} = \frac{\Delta V}{\Delta I} = 0.1 \Omega \quad [8.12]$$

$$L_{\text{PSW}} = 100 \text{ nH} \quad [8.13]$$

$$F_{\text{PSW}} = \frac{X_{\text{max}}}{2\pi L_{\text{PSW}}} = 159 \text{ kHz} \quad [8.14]$$

$$C_{\text{bypass}} = \frac{1}{2\pi F_{\text{PSW}} X_{\text{max}}} = 10 \mu\text{F} \quad [8.15]$$

在数字印刷电路板上，旁路电容的值通常在10-1000uF之间。

电源通常都有较低的输出阻抗，它的导线工作于能阻止电源噪声达到 F_{PSW} 的频率。在频率 F_{PSW} 以上，本地旁路电容能抑制电源噪声。在某些更高的频率 F_{bypass} 下，旁路电容将失去作用。是由什么导致了这种现象的发生，我们又该怎么做呢？这将是我们的下节讨论的主题。

本节要点：

- 在较低频率下电源能提供较低的阻抗。
- 在较高频率下，本地旁路电容能提供较低的阻抗。

8.2.4 在独立集成电路（individual integrated circuits）中的本地旁路

每一块电路板需要一个相对较大的旁路电容，以抵消电源分配线的电感。在每块板上加一个完美的单独旁路电容能完全解决电源分配问题。

不幸的是，没有完美的电容，每一个分立的电容都因其自身带有的引脚电感（Lead inductance） L_{c2} 而具有了局限性，在很高的频率下，电感引起了阻抗的增加。这个电感究竟是不是问题取决于**数字弯曲频率 F_{knee} ？（digital knee frequency）**（请看等式1.1）和需要达到的阻抗 X_{max} 。

我们可以计算出指定的旁路电容能够工作的最高频率：

$$F_{bypass} = \frac{X_{max}}{2\pi L_{c2}} \quad [8.16]$$

一个合适的旁路电容在频率 F_{psw} 和 F_{bypass} 之间将会有有效的工作。幸好在这两频率相差较远。

例子8.2：计算旁路电容的最高有效频率

在例子8.1中，假设10uF电容的串联电感 $L_{c2}=5nH$ ， $X_{max}=0.1ohm$ ，这可计算出最大的有效率：

$$F_{bypass} = \frac{X_{max}}{2\pi L_{c2}} = 3.18 \text{ MHz} \quad [8.17]$$

这个电容的有效工作频率是从159KHz-3.18MHz，范围比大约是16：1。

一个较大的旁路电容能工作到频率 F_{bypass} ，保证在 F_{bypass} 以上有较低的阻抗，我们还需要一系列较低电感的电容。

要得到非常低的电感，最好的办法是将许多小电容并连在一起，将它们放在电路板的各处。

以下三种要素决定了电源到地的阻抗：

- 1.在低频率段，由电源分配线的电感决定。
- 2.在中频率段，由板级旁路电容的阻抗决定。
- 3.在高频率段，由分布电容阵列的阻抗决定。

以下将分几步介绍旁路电容阵列的设计。这个步骤看起来有些象8.2.3节中的步骤，所不同的是在上一节电源分配线的电感是固定的，而我们这里将本地旁路电容的串联电感固定。

1.我们需要系统工作于频率 F_{knee} ，计算出在这个高频率时我们能容忍的电感(请参考等式1.1中 F_{knee} 的定义)。

$$L_{tot} = \frac{X_{max}}{2\pi F_{knee}} = \frac{X_{max} T_r}{\pi} \quad [8.18]$$

2. 计算出（或在手册中查出）所使用旁路电容的串联电感 L_{C3} ，一个典型的贴片电容（Surface-mounted capacitors）的串联电感值非常小，大约是1nH；一个典型的插件旁路电容的串联电感值是5nH，使用这个值计算出需要多少个旁路电容才能达到总的电感需求。

$$N = \frac{L_{C3}}{L_{tot}} \quad [8.19]$$

3. 在频率降到 F_{bypass} 时，总的阵列电容的阻抗必须小于 X_{max} ，基于这些值计算出总的电容值。

$$C_{array} = \frac{1}{2\pi F_{bypass} X_{max}} \quad [8.20]$$

4. 在计算出阵列中每一个电容的电容值。

$$C_{element} = \frac{C_{array}}{N} \quad [8.21]$$

例8.3：电容阵列。

请使用例子8.1和8.2的数值，旁路电容是10uF，串联电感是5nH，我们的目标是 $X_{max}=0.1\Omega$ 。

$$X_{max} = 0.1 \Omega \quad (\text{from last section}) \quad [8.22]$$

$$T_r = 5 \text{ ns} \quad [8.23]$$

$$L_{tot} = X_{max} \frac{T_r}{\pi} = 0.159 \text{ nH} \quad [8.24]$$

$$L_{C3} = 5 \text{ nH} \quad (\text{using through-hole capacitors}) \quad [8.25]$$

$$N = \frac{L_{C3}}{L_{tot}} = 32 \quad (\text{number of caps required}) \quad [8.26]$$

所以，我们需要一个32个电容的阵列，每一个电容的值是0.016uF，串联电感是5nH或更小。

本节要点：

- 要想得到非常低的电感的最好办法是并联许多小电容。

8.2.5 电源层与地层之间的电容

并行的电源层和地层之间会产生第三层的旁路电容，这个电源层和地层产生的电容的引脚电感是0，并且没有ESR（见8.3节）。在非常高的频率下，它将帮助减小电源和地噪声，电源层和地层之间的电容是：

$$C_{\text{power plane}} = \frac{0.225 \epsilon_r A}{d} \quad [8.30]$$

其中 ϵ_r = 绝缘体的相对电渗透率（在FR-4环氧电路板中取典型值=4.5）

A=电源和地的公共面积（平方英寸）

d=两层间的距离（英寸）

$C_{\text{powerplane}}$ =两层间的电容（pF）

电源和地层之间的距离是0.01英寸，FR-4电路板的电容是100pF/平方英寸。

图8.9的平面图显示出电源系统中各种阻抗与频率的函数。注意在图8.9中包括了寄生串阻（parasitic series resistance）的影响，也叫做等效串阻（equivalent series resistance ESR），对于电容C2和C3，将在8.3节中将说明ESR的影响。

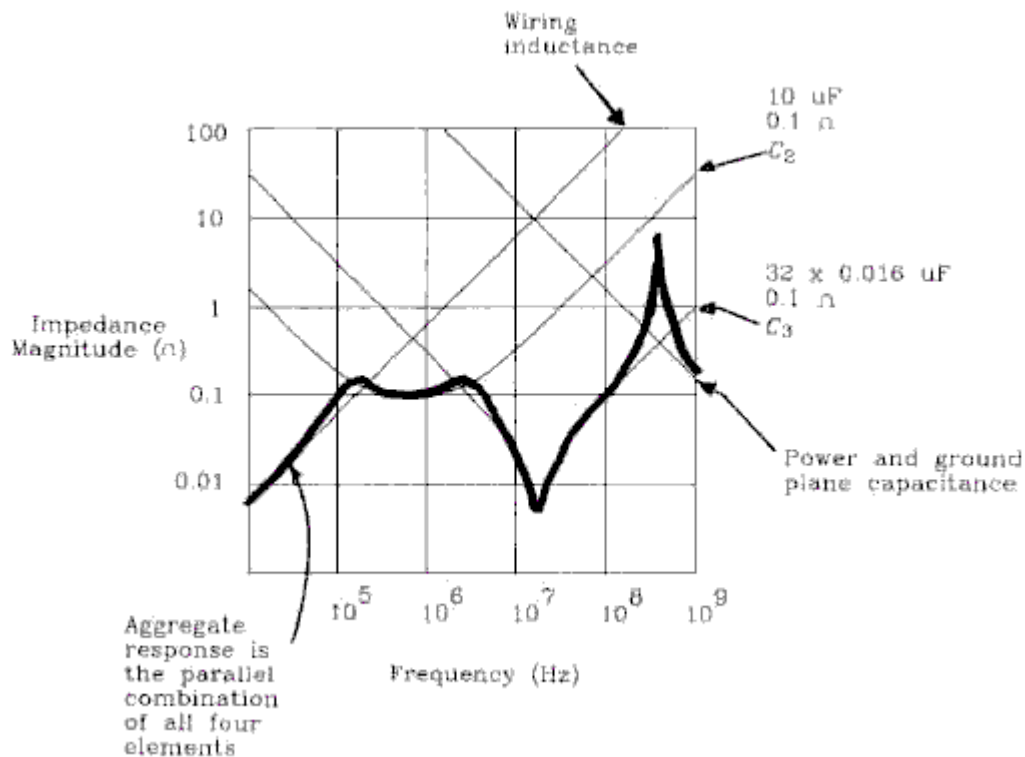


图8.9 旁路电容的阻抗大小

本节要点：

- 电源层和地层间隔是0.01英寸时，FR-4电路板的电容是100PF/平方英寸。

8.2.6 测量电源分配系统单步响应的测试工具。

在图8.10的测试图中，提供了一个电流可微调的电源系统，以测试它的反应。探针输出阻抗设定为25 欧姆（50欧姆来自仪器，与脉冲发生器的50欧姆并行）。

将脉冲发生器的上升沿时间设定实际系统中的时间值，然后将其单步输出电压设定为5V(仪器的输入阻抗是50 ohm)，输出电流将是 $5V/25\text{ ohm}=0.2A$ ，测量单步响应的系数是 $\Delta I/0.2$ ，决定了电源系统对电流的单步响应是 ΔI 安培。

当这个系统工作的时候，开始测试。将时钟线断开，让逻辑电路停止工作，这将减小电路板上的噪声，因此你可以精确而测量非常小的信号。

如果不能关掉这个时钟，那么请使用一个数字仪器。Tektronix 11404能够在很大随机噪声的环境中取出非常微弱的信号，使用该功能，将脉冲发生器的触发输出端连接到该仪器作为触发输入端，将测试电路连接到该仪器，测试电路不和脉冲发生器信号输出相连。然后利用这个仪器的平均特性，它将对这个电路中的电源噪声平均，以同步脉冲发生器的触发信号，如果脉冲发生器的触发信号与这个电路不同步，这个平均值信号的值将是0。

下一步将连接脉冲发生器信号输出到这个主板，然后观察平均电源系统的阶跃响应。

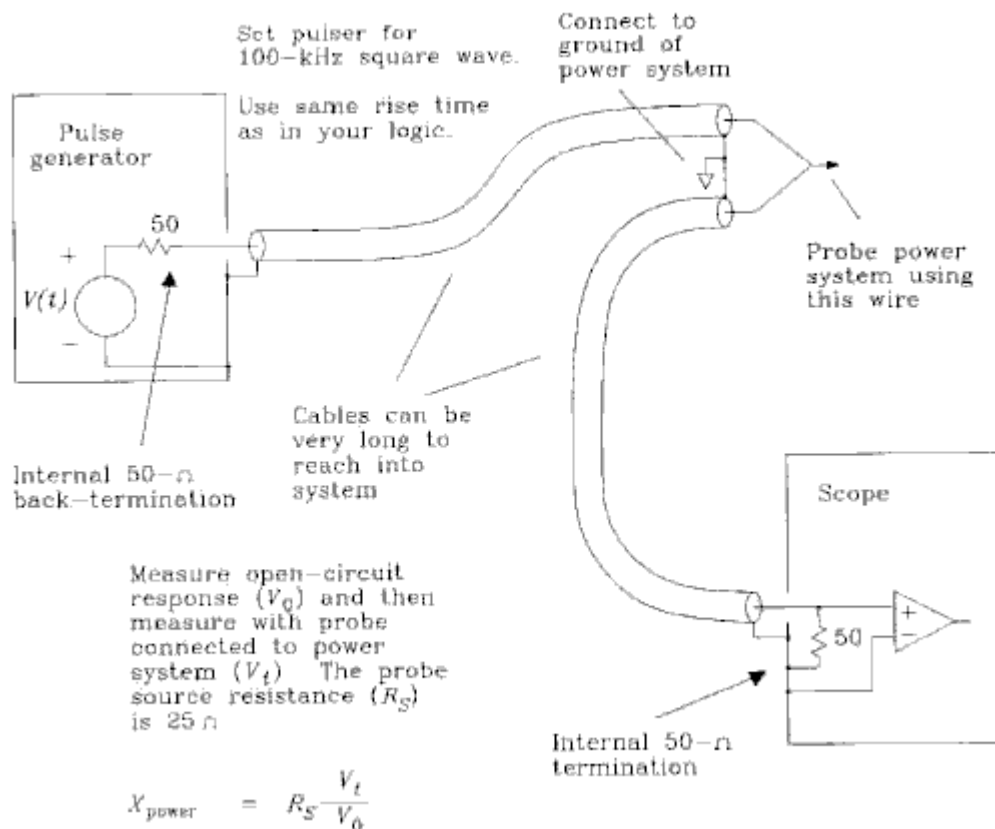


图8.10 测量电源系统的阻抗

本节要点:

- 搭一个简单的测试电路用来测量电源系统的阶跃响应。

8.3 普遍电源分配问题 (everyday distribution problems)

如果你的电源系统出现以下几种情况，请参考以下帮助的提示，虽然它不是一个完整的解决方案，但是可以帮助你开始解决问题。

8.3.1 在TTL-ECL组合系统中随机的ECL错误

在TTL和ECL组合在一个系统中时，不考虑系统设计的影响是不行的。

在电源线中，TTL电路将比ECL电路产生更多的噪声，但是ECL电路对电源的波动更敏感，一个典型的征兆是ECL经常产生随机错误。

建议：1.首先确信TTL和ECL信号的分隔清晰，这将解决互扰的问题，保持相互走线距离至少大于走线到地距离的8倍。

2.如果TTL的电压是+5V，ECL的电压是-5.2V，那么恭喜你，这时电源系统已经分离了，假设存在一个大面积地线层，TTL电路的噪声几乎没有机会渗透到ECL系统中。如果没有地线层，就加上一个，一个适当的布局可以不费力气的加上一个地线层，将这个地线层布入你的电路板中以观其效果。

3.有一些设计者对TTL和ECL电路都使用5V，对ECL电路并不是一个理想的工作电压，但它们仍能工作。如果可能去掉TTL电路部分中的时钟，以便决定是否是因为TTL部分噪声的泄露而引起ECL电路的错误。

4.为了减小噪声泄露，在设计中物理的分开TTL和ECL电路，将+5V分成两部分。将TTL和ECL电路在电路板上分成独立的两个区域。主电源进入电路板的入口应该在TTL那边，保持地线层不动，确保没有长的信号线从两个+5V区域的边界穿过，然后在两个+5V区间加上一个能通过足够电流的1 μ H电感，这将限制TTL电路的噪声进入ECL系统。

5.为了得到最大的可靠性，在两个部分间使用不同的信号传输方式。

8.3.2 在电源分配线上有太高的压降

当电源到达多层板经过了太长的线时，通常不能正确的得到遥控电压传感线的值。如果电源分配线有太大的电阻，那么每一个电路板的单板电压将会不同。

方法：

1.直接分配直流电源，为每一个板加上稳压器，这就要求在每一块板上都有稳压电路，在每块板上使用一个+8V的线性分布稳压器，并为每一个板提供+40V的开关电源稳压器。

2.有规则的分配高压直流电源，由于减小了电源电流，也降低了与之相连的每根导线的压降。然后为每块板设立一个DC-DC变换器，如果这个DC-DC稳压器足够稳定（比如说有低的输出阻抗）将不需要增加额外的稳压器。

3.采用扁平多相位变压器，以得到高电压交流电系统，在每块板上使用至少两个变压器，以校正交替电流。用适当的设计在扁平线输出端加上小的滤波输出电容，高频扁平波形输出并不需要很大的变压器。一个象汽车交流发电机一样的简单机械装置，就能产生平滑的输出波形。使用磁珠以稳定输出电压。

8.3.3 插入电路板时电源的冲击（glitch）

有些系统允许单板进行带电热插拔。当单板插入带电的系统背板的时候，它将引起巨大的电流波动，其本地旁路电容将吸取很大电流，这个电流大部分来自于其它电路板的旁路电容，这样的现象在电源线中是不可避免的。

建议：

1.在每块单板上使用最小的旁路电容，在背板上直接加上一个大旁路电容或者大的旁路电容阵列。这种办法仅仅用于在每块板上的本地旁路电容电感加上电源分配线（包括接插件）的电感大于背板电容的电感的时候。

2.在每块电路板的电源上特意加上一些电感，在背板上直接加上大的旁路电容或者旁路电容阵列，这种方法比前一种方法更好，因为我们增加了每块板的电感。

3.每块单板单独使用一个有源电路实现电路缓启动，在每块电路板上使用一个大的开关场效应管（FET），这个FET缓慢的提升电压，以减小 dI/dt ，因此减小了电源的电压脉冲。10us的充电时间将解决大部分问题。

4.一个慢速FET开关也叫做缓启动电路，通常有较高的电压降。为了解决这个电压降，在电源电路板是使用两个电源引脚。当电路板插入槽中时，这两电源脚以不同的时间接入电源，第一个电源脚连到FET的缓启动电路，并使电源电压达到4.5V。第二个电源脚直接连到电源总线上，并完全充电到+5V，第二个电压脉冲是没有受保护的。

8.3.4 从电源分配线上的EMI辐射

在数字电路中，电源线上变化的电流很容易产生辐射，电磁辐射有可能超过联邦委员会（Federally mandated）的限制。

建议：

- 1.在每块电路板上使用较好的旁路电容，以减小电流的变化率。
- 2.在电源分配线上串入几个共模扼流圈（choke），防止共模电流的泄漏。
- 3.将布的导线尽量靠近，以限制磁场辐射的范围。
- 4.用接地的金属壳覆盖电源分配线。

本节要点：

- 在一个TTL和ECL混合的电路系统中，不考虑系统设计的影响是不行的。
- 如果电源配线有太大的电阻，在每块单板分得的电压将会不同。
- 当一块单板插入背板中，它会引起很大的电流波动。
- 在数字电路中电源上的电流变化容易引起电磁辐射。

8.4 选择一个旁路电容

旁路电容有不少缺陷。每一个电容都包含有寄生电感（Parasitic series inductance），也叫做引脚电感（lead inductance）、封装电感（package inductance）或安装电感（mounting inductance）。这些电感的影响在8.2节中已有说明。

每一个电容也包含有寄生电阻（Parasitic series resistance），也叫做ESR（equivalent series resistance）。这些寄生电感将使电容失去作用。ESR有确定的阻值(并不象电感)，它和频率没关系，看起来就象电容串联上一个普通的电阻。

每一个旁路电容对温度较敏感，其绝缘特性将会随温度的变化有显著的改变，其电容值有较大的偏移。

当电压太高的时候，旁路电容会爆炸或者短路。下面几节将详细说明这些缺点。

8.4.1 电容的寄生电阻和寄生电感

寄生电阻和寄生电感就好像是串联在电容上一样，它们象旁路电路一样一起作用将降低电容的效率。作为频率的函数，电容阻抗的完全表达式是：

$$X(f) = \left[\text{ESR}^2 + \left(\frac{-1}{2\pi f C} + 2\pi f L \right)^2 \right]^{1/2} \quad [8.31]$$

其中：

ESR = 寄生电阻值（欧姆）

C = 电容容值（F）

L = 寄生电感（H）

$X(f)$ = 在频率时的阻抗大小（欧姆）

等式8.31计算出图8.9中C2电容和C3阵列的坐标位置，图8.9假设C2和C3阵列中的每一个电容的ESR都是0.1欧姆，电路板大小是10平方英寸，在电源和地之间隔离着0.01英寸的FR-4绝缘材料。

图8.9显示出旁路电路在大约300MHz时产生谐振，这是由电源和地层之间的容抗与电容阵列的寄生电感产生的。数字限波频率（digital knee frequency）设计在100MHz以下，所以不用担心发生谐振。如果需要达到更高的频率，请使用贴片电容阵列，它们较低的寄生电感将提高谐振频率并降低其振幅。

ESR在制造商的手册中并不经常出现，但它确实很重要。可以使用与图6.14中测量终端电阻电感相同的测量设备来测量ESR。

在图6.14中我们将旁路电容C放置于测试设备（DUT）中，我们期望一个非常好的、很干净的RC上升时间。用一个很大的源电阻，比如说1000欧姆，我们得到的结果就很精确了。如果在图6.14中用一个较小的源电阻，我们会得到一个完全不同的图形。RC上升时间变快了，寄生电感和ESR的影响也将会被夸大。通过检测最初几个纳秒的单步响应，我们就能直接测量出寄生电感和

ESR的影响，在数字旁路的运用中，1欧姆的源电阻和纳秒级的速度是很普遍的，这就是我们要测试旁路器件的原因。

图8.11绘制了一个0.1μF旁路电容单步响应的坐标图，坐标图包括10ns/div和2ns/div两种坐标，它们都附上了开路响应和对测试电容的响应。

单步响应显示出三个明显不同特性：单步、突变、慢速变化，通过适当的说明这些特性，我们能够知道测试器件的寄生电感，ESR和容抗。

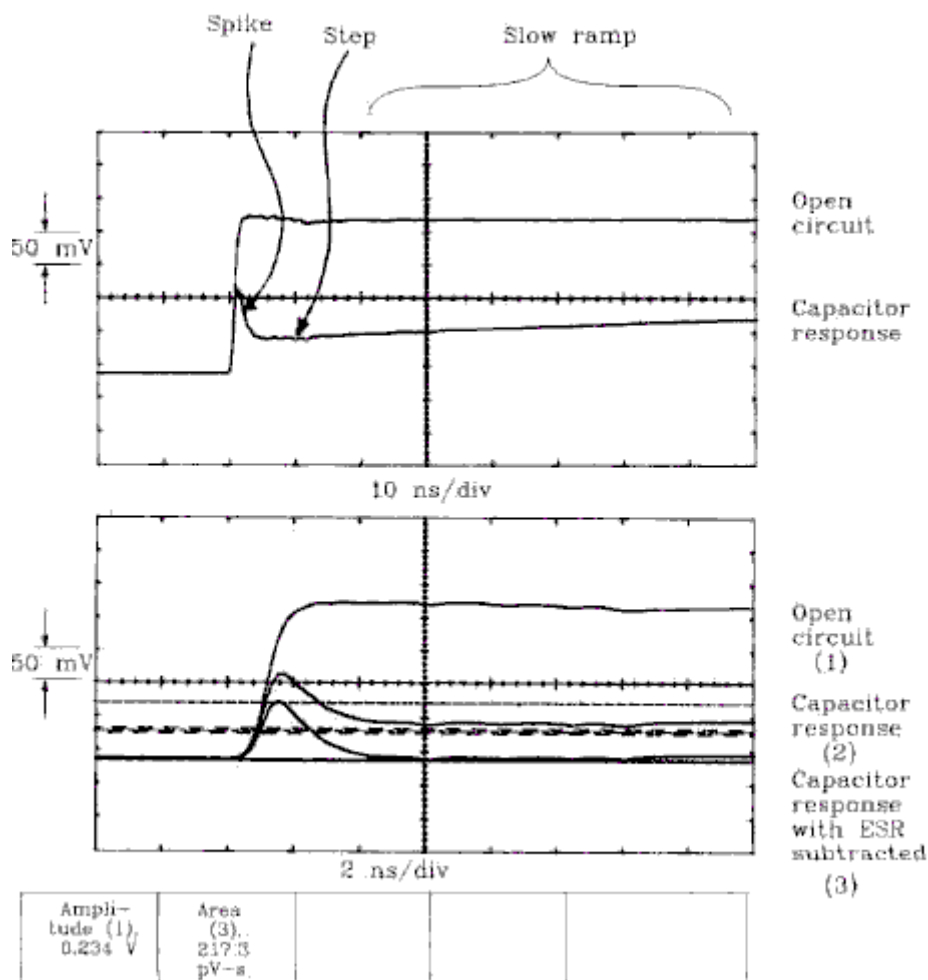


图8.11 旁路电容的单步响应

1.在第一个2ns有一个短的突变，这个突变是由寄生电感引起的，我们能利用这个突变区估计出电感的值。

$$L = \frac{R_s A}{\Delta V} \quad [8.32]$$

其中： R_s = 测试夹具的源电阻（欧姆）

A = 尖峰以下的面积（V-s）

ΔV = 开路单步电压（V）

L = 寄生电感（H）

2.在突变之后的波形相对平滑，偏移量约为0，这是由电容的ESR引起的，在这时电容还未开始充电，在这时电容仅仅相当于ESR直接连到地。测试夹具（Test jig）的源电阻和ESR相作用，在ESR上有一定的分压。

$$ESR = \frac{R_s X}{\Delta V - X} \quad [8.33]$$

其中： R_s = 测试夹具的源电阻（欧姆） X = 突变之后测量的单步电压（V）

ΔV = 开路单步电压（V）

3.保持一段时间以后，电压缓慢上升，这是因为电容在缓慢充电，充电率 dV/dt = 充电电流 / 电容。充电电流大约等于测试开路电压除以源电阻。

$$C = \frac{\Delta V - X}{R_s (dV/dt)} \quad [8.34]$$

其中： R_s = 测试夹具的源电阻（欧姆） X = 突变之后测量的单步电压（V）

ΔV = 开路单步电压（V） dV/dt = 充电率（V/s）

C = 电容容值（C）

当我们看到这个突变时，请记住寄生电感和ESR在这时同时有效，如果先计算ESR，那么当测量突变区以下面积时就可以除去它的影响。在图8.11中，三条线的波形分别是开路测试的响应、未加测试的响应和两者之差。这样就消减了ESR的影响，我们使用Tektronix11403数字示波器来得到消减面积和测量结果。

在图8.11的响应图中，最后计算出寄生电感是4nH，ESR是1.1欧姆，电容是0.072uF。

本节要点：

- 电容的寄生电感就如同串联一个电感。
- 电容的ESR就象一个串联电阻。
- 它们一起作用将降低电容的效率。

8.4.2 电容性能与封装的关系

大量具有相同电容值和耐压的电容，它们有相同的电性能，但是来自不同的制造商，但是它们的形状和尺寸有非常大的不同。

对于大容量值的电容(10uF或更大)，较小的封装有较高的寄生电感，ESR也较大。如果你不能确定其ESR和寄生电感是否可接受，就不要买这些小封装的电容。

对于小容量的旁路电容，我们不能通过封装了解更多信息。

TABLE 8.1 CAPACITOR PERFORMANCE

Capacitor	Lead spacing (in.)	ESR (Ω)	Lead inductance (nH)	Comment
1	0.4	1.1	4	Low profile
2	0.3	0.5	6	Yellow
3	0.4	0.1	10	Fat legs
4	0.3	<0.1	7	DIP 0.3-in. type
5	0.2	<0.1	6	Square body
6	0.7	0.2	16	DIP socket
7	0.3	0.2	6	Same as item 6 but removed from socket
8	0.1	0.1	1.1	SMT 1206

电容的性能有很大的区别。在表8.1中列出了各种典型样品电容的性能，包括ESR和寄生电感。项目1~5是最常见的带状封装（Grab bag），其电容范围一般是0.1~0.47 μ F，这些电容都标记为“数字旁路电容”。项目1~2有极大的ESR，项目3有非常大的寄生电感，项目4~5是较好的旁路电容。

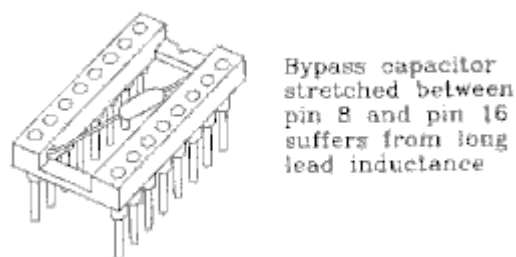


图8.12 装在DIP插座上的旁路电容

项目6是一个以装在DIP插座上的旁路电容（见图8.12），这个电容直接安装在插座8脚和16脚之间，制造商推荐使用电容时导线尽可能的短，最好将电容直接焊在电源和地之间。这在第7项中证明了，我们去掉了电容的DIP封装，并如图8.13所示的将它直接焊在电源和地线层之间，距离是0.7英寸，所得到的寄生电感值从16nH降到了6nH。

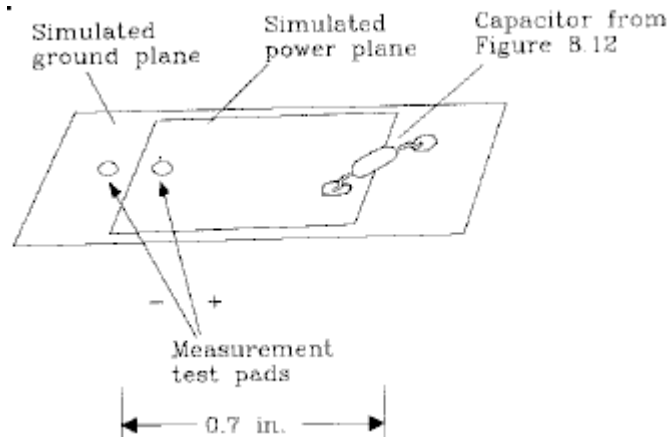


图8.13 去掉DIP封装的电容

项目8是1206贴片电容，图8.14画出了电容的阻抗大小与使用频率之间的关系，这个图包括了ESR电感和电容的信息。

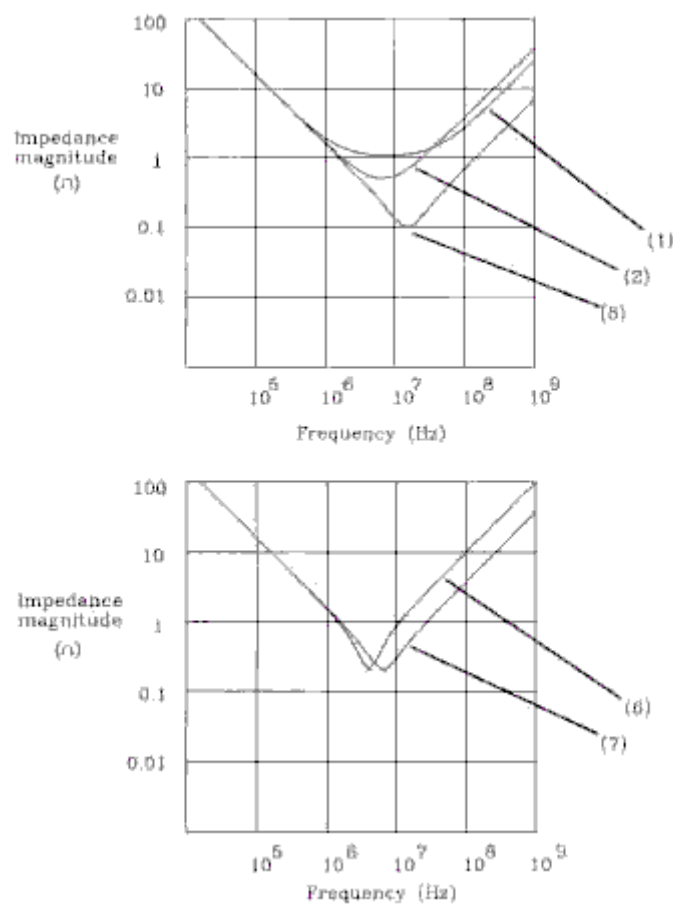


图8.14 表8.1所示电容的寄生阻抗和频率的关系

上面的图展示出电容1, 2, 和8的特性，这三个电容有相同的容量。它们工作在1MHZ以下频率时基本没有区别，工作在10MHZ左右时，它们的ESR值就明显不同了。到了100MHZ以上时，寄生电阻就只和寄生电感有关系了。

下面的图中显示出电容6和7的特性。它们是同一个电容，仅仅是安装的方法不一样。其寄生电感的不同使得在10MHZ以上频率工作时，有大约-8db的阻抗差异。

本节要点:

- 对于大容量电容，小封装比大封装器件有更高的寄生电感和ESR。
- 电容之间的特性差异非常大。

8.4.3 贴片电容 (surface-mounted capacitors)

贴片电容是直接焊接在单板上，没有引脚，大大降低了的引脚电感（寄生电感）。贴片电容的封装名称是由它的长度和宽度决定的。一个长0.12英寸和宽0.06英寸的电容，我们叫它1206封装。其它较流行的封装是1210（0.12×0.10英寸）、0805(0.08×0.05英寸)。

标准1206封装的旁路电容比有引脚的电容有更好的性能。贴片电容的ESR可能不是很低，但是其寄生电感降到了1uH左右。而0805封装电容的寄生电感更小。

使用贴片旁路电容时，电容到电源或地层的导线要尽量的短和粗，并且尽量使用较大过孔或多过孔，这样才能引入较小的寄生电感，达到使用贴片电容的目的。

如果把贴片电容放在单板的背面，能节省很多空间，但是会增加生产和制造的成本。当单板空间很宝贵时，这种空间的节省比成本更有价值。

元器件在单板上的放置还取决于单板的加工工艺是回流焊还是波峰焊。如果在单板上插件，基本上必须使用波峰焊设备。使用波峰焊时，贴片电容在单板背面的放置就受到了限制，而对于回流焊，贴片电容的放置就能放的更密集一些。

当使用波峰焊设备时，推荐使用双波峰或振动波峰焊接，任何一种都比老式的单波峰回流焊机器更好。我们要防止虚焊的出现，因为一个元件可能阻挡波峰流而引起在它的后面的元件只得到较少的焊锡。双波峰机器和振动波峰能在很大程度上避免这个问题。

对于波峰焊，设计准则是一：元器件方向放置正确，保证焊盘和波峰的接触面积最大，二：在元器件之间保留更多的空隙，保证前面的元器件不会阻挡后面元器件的焊锡。遵守这两个准则，以避免出现虚焊。

本节要点:

- 要搞清楚你的电路板是波峰焊加工还是回流焊加工。

8.4.4 在集成电路中安装电容

有两种近期比较先进的电容封装值得探讨，它们都是Circuit component公司提出的。第一个是计划用于DIP元件下方的Micro/Q系列1000封装。第二个是用于PLCC封装下的Micro/Q 3500SM系列。

两种封装都有较低的寄生电感，并且都能节省单板空间，因为它们安装在其它元器件的下方。

这两种封装的示意图见图8.15。两种封装是宽而扁平的，且有较低的寄生电感，Micro/Q3500SM系列有较宽的安装区，它能显著的降低寄生电感(在一些元件中只有0.3nH)，这些电容也有较低的ESR(典型的在0.1欧姆以下)。

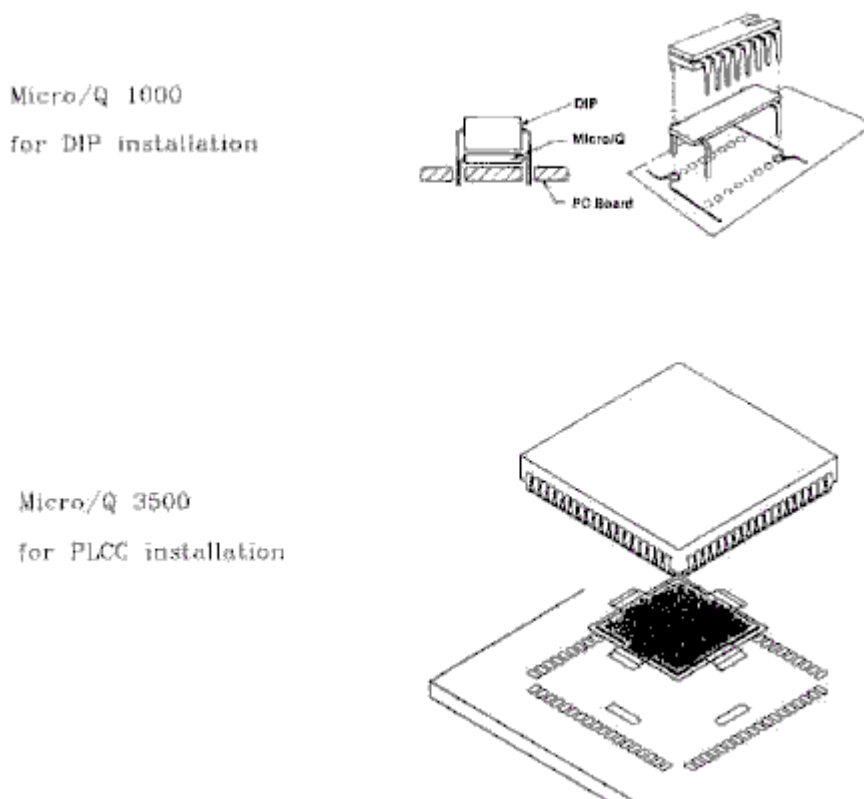


图8.15 Micro/Q系列电容封装

8.4.5 三种类型的绝缘材料

旁路电容仅仅是所有电容中的一小部分。尽管如此，它们还有很多种类型，旁路电容分类的主要依据取决于它们使用的电介质材料。

用于旁路电容的电介质材料具有相当高的绝缘常数，通常在1000-10000或更高。较高绝缘常数的材料相比低绝缘常数的材料，能把更大的电容封装到更小的空间里。不幸的是较高绝缘常数的材料，温度特性却更差。

对于一定的绝缘材料，电容的尺寸是与其容量和最大耐压值成比例的。下面我们将介绍三种最常见的绝缘材料，更多的信息请参看Johanson dielectrics 和 Circuit components公司的手册。

8.4.5.1 铝电解绝缘材料

铝电解电容已替代在电子管时代使用的纸和油的电容。铝电解电容是经常在板级旁路中使用的大电容，它们的特性类似于钽，钽电容具有更高的绝缘常数，但更贵。

铝电解电容是由双层箔卷绕制而成。首先两层箔被化学材料制成绝缘薄膜隔开，然后将它们卷成圆筒，卷的时候在两层铝箔之间填充较厚的阻隔物，主要是为了防止短路。因为最开始的化学绝缘层非常的薄，所以每立方英寸的电容量很均匀。

在较低的电压率下（Voltage ratings），绝缘层的厚度仅仅是整个圆筒厚度的一小部分，正是因为这样，耐压是3V的电容并不比耐压是10V的电容小多少。铝电解电容在较高的电压下有更高的能量存储密度。

每一层金属铝箔连接到一个电容引脚。典型的封装是圆柱形、卷绕结构，有不同的系数、不同的长度、不同的高度和不同的直径。

铝电解电容通常有 $\pm 20\%$ 的较大初始误差范围，最便宜的一类有 $+80\% \sim -20\%$ 的误差。加上其老化因素，在最大温度下1000小时后容量可能变化 $\pm 15\%$ 。最后请记住在0度时，其温度变化系数大约是 -5% 。在使用这些电容之间，请查看它们的数据手册。总之，原始误差+温度变化+老化，其最终容量可能比你买的时候变化40%。

ESR对温度特别敏感，图8.16的测试电路显示出被测电容在300mV脉冲、源电阻是4.2欧姆时的ESR。这里使用的是33uF，16V的铝电解电容，温度变化是-30，0，25和60摄氏度。

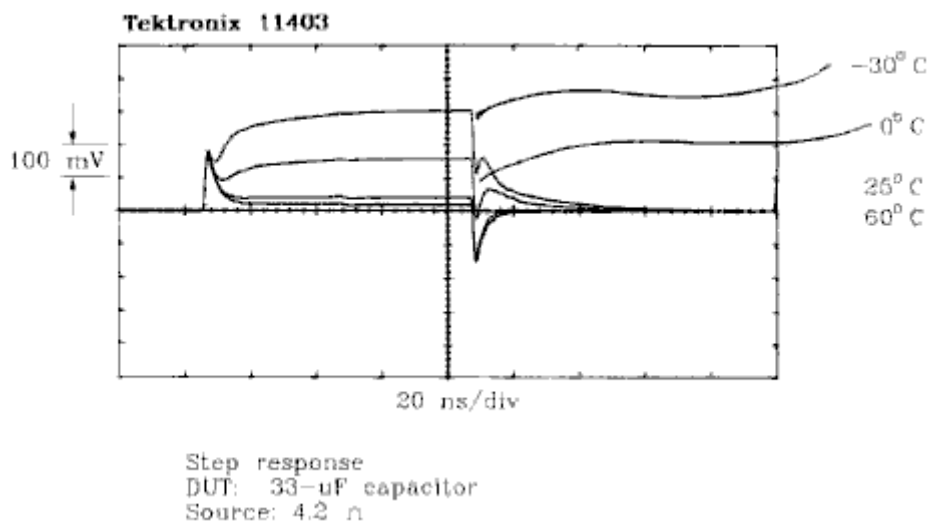


图8.16 铝电解电容的ESR随温度变化的曲线

在最高温度的单步响应中，原始电感的反冲约20mv，响应中的慢速变化部分看起来和时间轴完全平行，应用等式8.33算出60摄氏度下的ESR。

$$ESR_{60} = \frac{R_s X}{\Delta V - X} = \frac{(4.2)(0.020)}{0.300 - 0.020} = 0.3 \Omega \quad [8.35]$$

这个电容的ESR值随温度的下降而极度恶化，在60度时，电压反冲仅20mV，可计算出ESR大约等于0.3ohm，在0度时，反冲约150mV，ESR值是4.2欧姆，ESR值从0度到60度的变化率是14: 1，这种特性对于铝电解电容较常见。在0度以下时，作为旁路电容，大多数铝电解电容是不能使用的。

电感反冲区的面积大约是720pV-S。使用等式8.32就能计算出寄生电感。寄生电感是物理结构造成的，它不随温度而改变。

$$L = \frac{R_S A}{\Delta V} = \frac{(4.2)(720) \text{ pV-s}}{0.300} = 10 \text{ nH} \quad [8.36]$$

8.4.5.2 Z5U电介质

独石瓷片电容（Monolithic ceramic capacitors）的结构是在两层金属之间被瓷片所隔离，然后整个结构用火烧，最后加上金属帽封装在一起，引脚连接到电容的两个金属层，磁片就成为了电介质。这种元件的封装包括贴片和带引脚的塑料封装。

Z5U电介质材料比X7R具有更高的电介系数，但是温度和老化特性较差。

Vitramon公司说明书列出的标准误差范围是 $\pm 20\%$ ，其更便宜的型号误差有 $80\% \sim -20\%$ ，Z5U的老化率与火烧以后的时间的对数成比例。大约每十年下降2%。工作100个小时再老化以后的元件，在第一个1000小时内，其容量损失不超过2%。在下一个10000小时内，其容量损失将大于2%。最后请记住，Z5U材料的温度特性是很差的，Vitramon公司说明在超过10~85摄氏度的范围，其容量值将有 $+22\% \sim -56\%$ 的变化，在10摄氏度以下，不建议使用Z5U。总结其初始误差、在10度的情况下100000小时的老化以后，电容容量误差达到2/3。

ESR率在室温内是很容易达到0.1欧姆以下的。在超过10~85度的范围，ESR率等于3: 1是很普遍的。1206贴片封装大约有1nH的寄生电感，引脚封装的器件有大约5nH的寄生电感，1206表面封装的Z5U电容可达到0.33uF，50V，较大封装有更大的值。

8.4.5.3 X7R电介质

X7R是另外一种用于构建独石电容的电介质材料，它既可用于贴片也可用于插件封装。X7R电介质比Z5U的电介常数要小，但是有更好的温度和时间特性。从Vitramon公司规格可知道其误差范围有 $\pm 5\%$ 、 $\pm 10\%$ 、 $\pm 20\%$ 。其时间系数与工作时间的对数成比例。大约每十年下降1%（是Z5U的一半），工作100年小时后，在第一个1000小时，其容量损失不超过1%，在下一个10000小时大于1%，最后请记住其温度特性，Vitramon说明在超过-55~125度的温度范围，其容量范围将有 $\pm 15\%$ 的变化。这种电容可以应用于较宽的温度范围。在初始误差有10%、 $\pm 55\%$ 的温度范围、100000小时的工作以后，电容误差仅20%。

在室温下，其ESR率达到0.1ohm以下是很容易的，在0~70度范围，其ESR变化率通常在2: 1以下。预计，在超过温度-55~+125度时，其ESR变化率为4: 1。1206贴片器件大约有1nH的寄生电感，插件封装大约有5nH的寄生电感。

1206表面封装的X7R电容可达到0.12 μ F，50V，较大封装有较大数值。

对于任何元件，工厂去制造特殊容量范围的元件是较困难的，你的采购部可能将会延迟或者要用较高的成本去购买指定封装的较大的电容，改变为另外一个封装或者降低电容值可避免这个问题。

本节要点：

- 较高电解常数的材料封装有更大的电容和更小的空间。
- 但是却有较差的温度系数和时间老化特性。
- 在较冷的环境温度下铝电解电容不易正常工作。

8.4.6 较安全的电压和寿命

电容有一个普遍的现象。在高电压下将加速老化，当工厂指定一个工作电压范围时，并不意味着在这个电压下工作没问题，它仅仅意味着在这个电压或以下工作不会时常出错。

当工作在电容的最大工作电压时，将缩短其寿命。对于高可靠的设计，要与电容生产商讨论这一项。工作电压不超过最高电压的50%，将提高电容的使用寿命。

本节要点：

- 在高电压下，电容加速老化失效是一个普遍的现象。

高速数字电路设计教材

拟制:	_____	日期:	_____yyyy-mm-dd_____
审核:	_____	日期:	_____yyyy-mm-dd_____
审核:	_____	日期:	_____yyyy-mm-dd_____
批准:	_____	日期:	_____yyyy-mm-dd_____



华为技术有限公司
版权所有 侵权必究

目 录

第九章 连接器 (Connectors)	3
9.1 共模电感 (MUTUAL INDUCTANCE--HOW CONNECTORS CREATE	3
9.1.2 地平面如何改变回流路径 (How Grounds Alter the Return-Current Path)	5
9.2 串联电感——连接器产生电磁干扰 (EMI) 的主要原因 (SERIES INDUCTANCE--HOW CONNECTORS CREATE EMI)	6
9.3 寄生电容--多负载总线上的连接器 (PARASITIC CAPACITANCE--USING CONNECTORS ON A MULTIDROP BUS)	10
9.3.1 管脚到管脚的电容 (Pin-to-Pin Capacitance)	11
9.3.2 电路布线电容 (Circuit Trace Capacitance)	11
9.3.3 接受器和驱动器的电容 (Capacitance of Receivers and Drivers)	11
9.3.4 分布均匀的负载 (Evenly-Spaced Loads)	12
9.3.5 慢速总线 (Very Slow Bus)	12
9.4 连接器的耦合测量 (MEASURING COUPLING IN A CONNECTOR)	13
9.4.1 接地和信号管脚 (Ground and Signal Pins)	13
9.4.2 脉冲发生器和源端阻抗 (Pulse Generator and Source Impedance)	14
9.4.3 发送线的终端阻抗 (Terminating Impedance on the Transmitting Line)	14
9.4.4 模拟接收线的源端阻抗 (Simulated Source Impedance of Receiving Line)	14
9.4.5 匹配电阻 (Matching Resistor)	14
9.5 连接器布地的连续性 (CONTINUITY OF GROUND UNDERNEATH A CONNECTOR)	15
9.6 外部连接中如何满足 EMI 问题 (FIXING EMI PROBLEMS WITH EXTERNAL CONNECTIONS)	18
9.6.1 滤波 (Filtering)	18
9.6.2 屏蔽 (Shielding)	18
9.6.3 常规阻塞 (Common Mode Choke)	19
9.7 用于高速信号的特殊连接器 (SPECIAL CONNECTORS FOR HIGH-SPEED APPLICATIONS)	20
9.7.1 AMP Z-Pack 点对点连接器 (AMP Z-Pack Point-to-Point Connector)	20
9.7.2 Augat 点对点连接器 (Augat Point-to-Point Connector)	21
9.7.3 Teradyne 多负载总线连接器 (Teradyne Multidrop Bus Connector)	22
9.8 经过连接器的差分信号 (DIFFERENTIAL SIGNALING THROUGH A CONNECTOR)	22
9.9 连接器的电源控制特性 (POWER-HANDLING FEATURES OF CONNECTORS)	24

第九章 连接器（Connectors）

摘要：

本章就连接器对系统所造成的信号干扰问题和EMI问题进行了原理性分析和理论计算，对我们所应关注的连接器的三个主要参数：共模电感、串联电感和寄生电容的产生机制和影响进行了深入的讨论。并就高速应用、多负载总线应用、差分信号应用、背板应用等各种应用场合的特点进行了分析。最后，还讨论了一些新型的连接器。

正文：

信号速度越快，选用连接器就越困难。原因是多方面的。首先价格方面，常用的几十MHz的DIN连接器的价格比用于25GHz信号的手工装配的SMA连接器便宜100倍以上。为什么连接器之间的差异何以如此之大？

本章介绍了高速连接器的重要特征。读完本章后，你将知道在你的应用中应考虑连接器的哪些特性并如何测试。

影响连接器的速度的电系数包括：

共模电感--导致串扰

串联电感--降低信号速度并导致电磁干扰（EMI）

寄生电容--降低信号速度

9.1 共模电感（MUTUAL INDUCTANCE--HOW CONNECTORS CREATE CROSSTALK）

图9.1中的电流回路说明了简单的共模电感耦合。图中有三个电路路径X、Y、Z。从逻辑门A发出的电流将通过X返回A。由于X、Y、Z有交迭，X的磁场会给Y、Z信号带来噪声电压。在Y上的噪声会比Z上的噪声大，因为Y与X的交迭面积更大。即使没有交迭，两个相邻的电流回路也会相互影响，产生共模电感噪声。

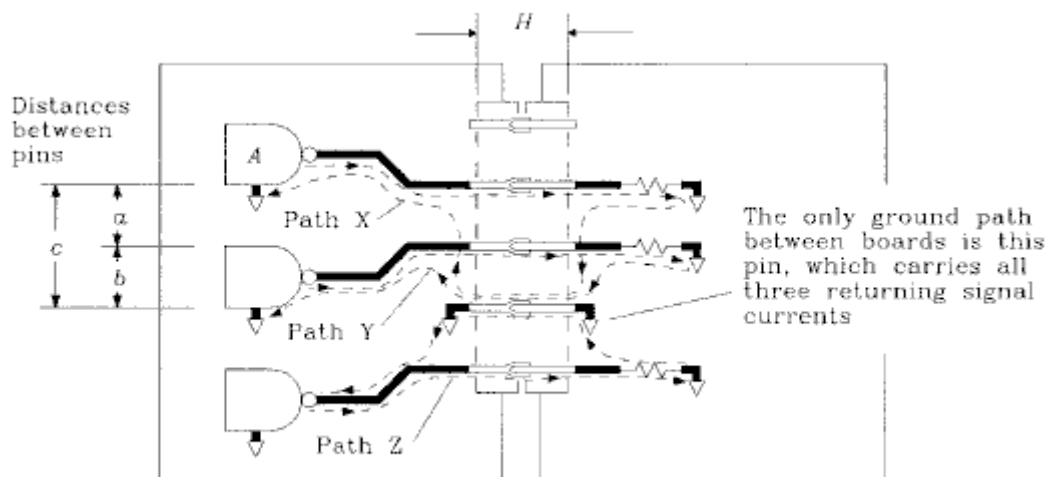


Figure 9.1 Mutual inductive coupling in a connector.

图9.1 连接器的共模电感

连接器的管脚之间还存在寄生电容，在数字电路里它会导致串扰，不过影响比共模电感小一些。有的连接器表现为容性，有的表现为感性。9.4 节说明了如何测量他们的耦合系数。现在我们先讨论电感。

9.1.1 串扰评估 (Estimating Crosstalk)

我们可以利用第一章里提供的关系式来估计图9.1中任何管脚之间的信号干扰的大小。这种估计需要以下的三个参数：

两个回路间的共模电感

源信号最大的变化率 DI/dt

接受网络的阻抗

关于共模电感，为了估计最大情况的干扰，我们只考虑直接交迭的两回路之间的相互影响，如X和Y。

回路Y的总的磁通量由两个地方产生。首先是从逻辑门A沿着它的信号线流出的电流。其次是沿地线返回的信号电流。因此共模电感的公式由两项组成如下：（其中第二项大于第一项）

$$L_{X,Y} = 5.08H \ln\left(\frac{c}{a}\right) + 5.08H \ln\left(\frac{b}{D/2}\right) \quad [9.1]$$

其中

a = X信号到Y信号的距离（单位 in.）

b = Y信号到地线的距离（单位 in.）

c = X信号到地线的距离（单位 in.）

D = 连接器管脚的直径（单位 in.）

H = 连接器管脚长度（单位 in.）

$L_{X,Y}$ = 回路X和Y之间的共模电感（单位 nH）

等式9.1中假设了是一个单排长型连接器（ H/a 比值较大）。即使不是这样的连接器，等式9.1中对数函数的宽值域也能得到一个在确定数量级内的精确答案。它能否达到了足够精度还应参考干扰对性能的影响。如果系统中的连接器性能可能影响系统性能，不妨找一个连接器并测一下它的性能。

下一步我们需要最大的 dI/dt 值，可以用等式2.41或2.42来估计 DI/dt 。

最后一个因素涉及噪声接受电路的拓扑结构（图9.2）。第一种情况是连接器就近连接一个驱动器。下文种描述了这种情况在上升沿时的情形（见等式1.3）。第二种情况覆盖了所有其他的情形，包括信号源终端。

第二种情况的耦合噪声在每个方向上各分一半。第二种情况的耦合噪声将迅速的从低阻抗的驱动器反射回来，使接受侧的耦合噪声翻了一倍。

以下公式是由于从逻辑门A来的单步输入在回路Y中产生的噪声脉冲的峰值。脉冲宽度相当于输入脉冲的上升时间：

第一种情况：

$$\text{Case I: Crosstalk} = L_{X,Y} \frac{dI}{dt} \quad [9.2]$$

第二种情况：

$$\text{Case II: Crosstalk} = \frac{1}{2} L_{X,Y} \frac{dI}{dt} \quad [9.3]$$

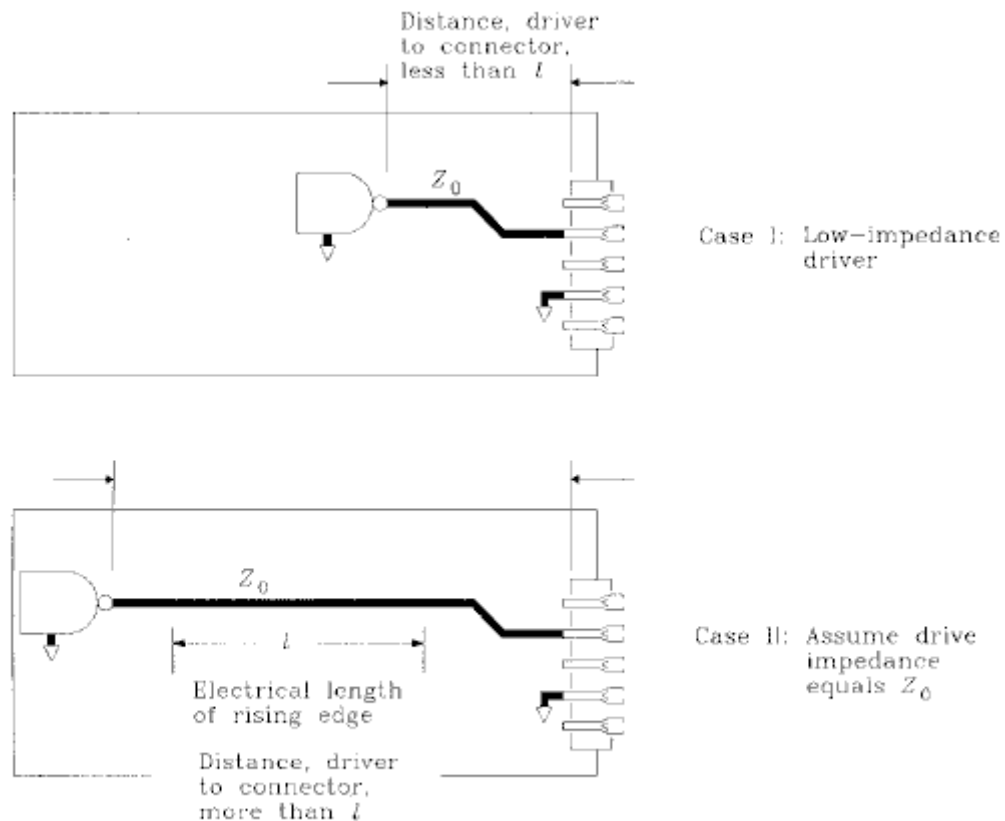


Figure 9.2 Nearby drivers have lower drive impedance.

图9.2 相邻驱动器的低驱动阻抗

驱动信号的上升沿变缓将直接减小干扰的影响。图9.3中。用了一个电容来缩短连接器信号源端驱动上升时间。而把电容放在信号收端只会驱动在驱动器开关操作时增加流过连接器的电流的浪涌，使情况变得更糟。

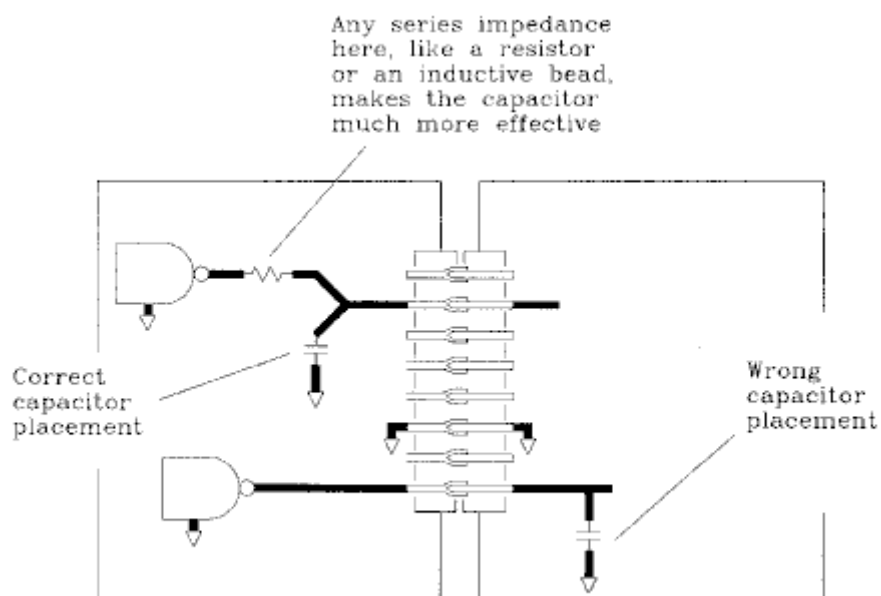


Figure 9.3 Method for slowing the rise time of signals.

图9.3 减缓信号上升沿的方法

9.1.2 地平面如何改变会流路径 (How Grounds Alter the Return-Current Path)

下面的连接器特性的四个规则，其实已包含在等式9.1中。它可以帮助我们估计各种连接器接地特性。在已有设计中考虑进一步调整时这些规则是非常有用的。利用他们，我们可以预知各种假设变化出现时会发生什么。

规则1：改变图9.1中的接地方式，我们可以减少（或增加）某些连线之间的共模电感。如果将地线移到离信号线X和Y更远一些，相当于增加了b和c的值，这样等式9.1中两项的值都会增大。共模电感 $L_{x,y}$ 也就更大。相反地，将地线移到离X和Y更近一些的地方，则共模电感会减小。共模电感的变化与距离的对数成正比。

规则2：加上扩展布地会有更显著的影响。记住等式9.1中为何第二项（地线项）较大？地线紧密地耦合回路X和Y，使流过地线的电流在回路Y上产生一个大的冲击。如果我们将地线电流分成两半，共模阻抗 $L_{X,Y}$ 将会减小到原来的一半。

图9.4中在X信号线的上方增加一根地线就可以将接地电流对称地分成两半。每根地线各走一半。共模电感 $L_{x,y}$ 将因此而下降。加上更多的地线将进一步细分接地电流但并不一定分成原来的一半。

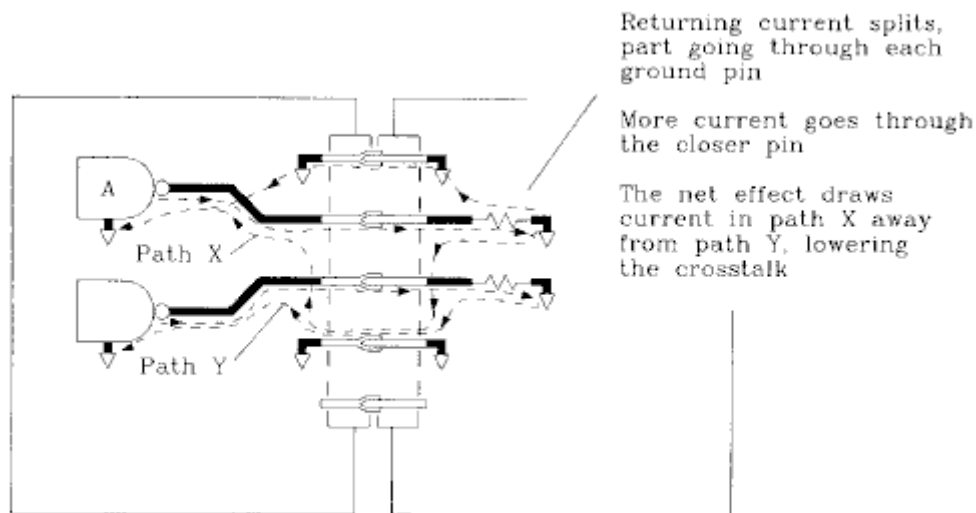


Figure 9.4 Adding a second ground divides the ground current.

图9.4 增加第二根地线分担地线电流

规则3：在信号X和Y之间加上地线与在X和Y之外增加地线有很大的不同。如果在X和Y之间增加N根地线，将X和Y之间的空间进一步细分（图9.5），则共模电感将下降为原来的（1/

(1+N2))。如等式9.4所示。

$$\text{Coupling is proportional to: } \frac{1}{1+N^2} \quad [9.4]$$

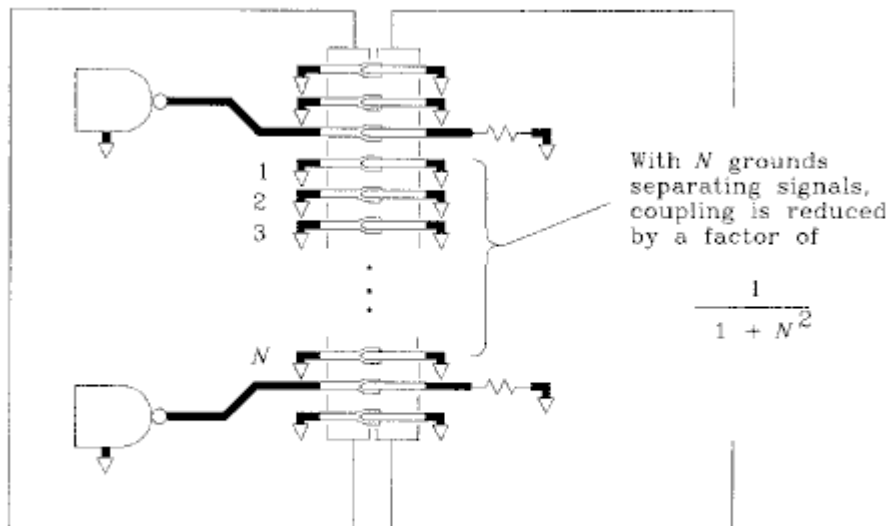


Figure 9.5 Separating signals with multiple grounds reduces coupling.

图9.5 用多根地线分隔信号可以减小耦合

规则4：连接器的任何信号线上的耦合噪声都来自所以其他信号线的影响。减少信号的数量可以减少总的干扰。类似地，将相互影响较小地信号分成多个信号组，并在信号组之间插入地线，也能减小总的干扰。信号分组有效地减少了对某个接受器影响较大地信号线地数量。这时干扰大致与地线间地信号线地数量。

规则5：在连接器地末端加上扩展地并不能减少干扰。连接器末端地接线片接地也没有什么用。

本节要点：

共模电感，而不是共模电容，是连接器产生干扰的主要原因。

在连接器的中间增加布地能较小干扰。

9.2 串联电感——连接器产生电磁干扰（EMI）的主要原因（SERIES INDUCTANCE--HOW CONNECTORS CREATE EMI）

EMI来自最大回路的电流信号的对外发射。

图9.6示例了一个通常的EMI问题。板卡A输出一个64bit总线通过连接器B到达母板C。C板可能是一块CPU主板或者是到其他子板的一个通道。64根总线的返回电流将从母板C流到A，并且大多数通过连接器B的接地管脚。

只有很小的回流信号电流通过其他路径返回A板卡。它不会影响最终的EMI问题。

大回路的高频电流将辐射大量的电磁能量以致不能通过FCC-或VDE-联盟的辐射强度测试。EMI设计最大的困难是要使所有信号回路交叉部分尽可能的小。例如，在地线层流过的高频电流会沿信号线的下方直接返回（详见5.1节）。在地线层上的一个6-in.长0.010-in.宽的电流通道将包围成一个面积0.06 in.²的闭环区域。这样一个闭环区域对EMI来讲通常是可以接受的。图9.6中，当64bit总线电流通过板卡A和C的布线层时我们可以忽略信号和地之间的这一区域。

在回流通路上的任何中断或不连续，如在连接器接地管脚上的转换，都会在电流回路上产生一个突起。这种突起包括的区域大小，是否会违背辐射规则，则要看回路里信号电流总的 dI/dt 值了。

作为将信号管脚和地管脚分开的结果，图9.6中在连接器B的内侧出现了一个突起。我们用G1标识这个突起。64-bit总线信号路径的绝大多数回路阻抗是由G1回路阻抗产生的。

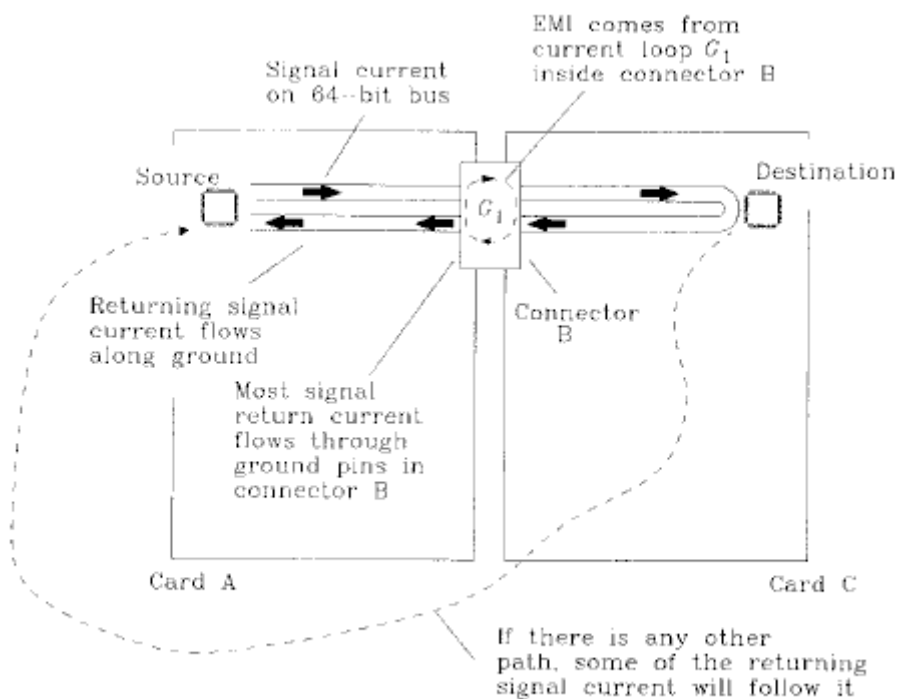


Figure 9.6 Signal return current from a 64-bit bus.

图9.6 64-bit 信号返回电流

信号电流有没有其他的返回路径呢？这要看连接器B的物理结构和板卡A和C所在机框等外部环境了。任何其他可能的返回路径都将比通过连接器B的返回路径形成一个更大的回路区域，并且可以充分散射。

例如，图9.7中假设板卡A和C共用两个连接器。我们将另外一个连接器称为D并离开连接器B一些距离。信号返回电流的一部分可以通过连接器D上的接地线流回A，如图9.7中的G2回路。

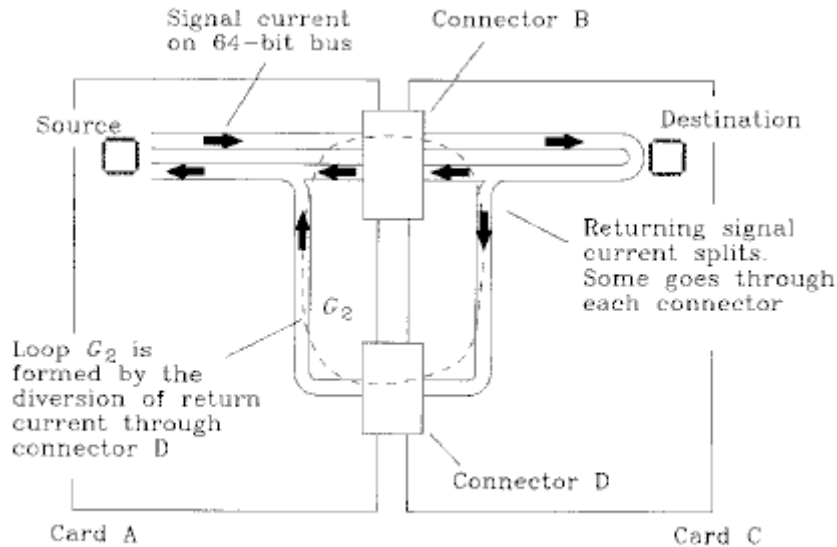


Figure 9.7 Returning current diverts through connector D.

图9.7 通过连接器D的返回电流路径转移

流过连接器D的信号回流中，高频电流的比例取决于G1回路（图9.6）和G2回路（图9.7）的电感的比值。

$$\text{Current through D} = (\text{return current from A}) \frac{L_{G1}}{L_{G2}} \quad [9.5]$$

通过D的返回电流中低频信号的数量则取决于电阻的比值，高频信号则是由等式9.5中的电感的比值决定。既然EMI是针对高频信号的，因此我们只需要关心两个回路的电感的比值就行了。

回路G1包含区域较小，其电感将小于回路G2。因此，只有一小部分返回电流流过G2。不过虽然是小部分，也可能会违背散射规则。FCC和VDE的限制都是：在离你的设备3米的地方测量，不能超过100uV/m。关于EMC的规则和设计技术请参考相关资料。

测量数字产品的精确的辐射电平是很困难的，因为许多因素会影响测量结果。等式9.6在满足FCC或VDE的30MHz以上的辐射限制的条件下表示了在开放空间里的峰值电流、上升时间和闭环区域限制的关系。

$$E = 1.4 \times 10^{-18} \frac{A I_p F_{\text{clock}}}{(T_{10-90})} < 10^{-4} \text{ V/m} \quad [9.6]$$

这里

E = 电磁辐射强度 (V/m, 3米远)

A = 辐射回路区域 (in.²)

I_p = 峰值电流 (A)

T₁₀₋₉₀ = 信号上升时间 (s)

F_{clock} = 时钟频率 (Hz)

等式9.6中要注意的是：对成品来说，真正的辐射电平，即使高出或低于由等式9.6得出得预知电平20dB也都是可能的。切记EMI测试是针对系统中所有布线的。如果一根线能满足要求，其他的100根也能满足吗？在定案你的设计之前建立一个仿真系统，模仿一些通过连接器的时钟走线。这听起来似乎很浪费，但它却能在后面的工作中节约大量的成本。机械封装和防护在成本上的节约使你的设计顺利达到设计目标。

例9.1：连接器的辐射噪声

图9.8表示了以典型的16-bit总线。我们可以一步一步的计算回路G1和G2的电感，和G1、G2的辐射。

回路G1的电感：

$$\begin{aligned} L_{G1} &\approx \frac{1}{2} \left\{ 10.16 \left[w_1 \ln \left(\frac{h}{r} \right) + h \ln \left(\frac{w_1}{r} \right) \right] \right\} \\ &= \frac{1}{2} \left\{ 10.16 \left[0.2 \ln \left(\frac{0.4}{0.013} \right) + 0.4 \ln \left(\frac{0.2}{0.013} \right) \right] \right\} \\ &= 9.0 \text{ nH} \end{aligned} \quad [9.7]$$

$r = 0.025/2$ （管脚半径，in.；注意我们用的是 h/r 代替 $2h/d$ ）

$w_1 = 0.2$ （信号与地的距离，in.）

$h = 0.4$ （连接器管脚长度，in.）

$1/2 =$ 地线对两侧信号的计算因子（详见9.1节的规则2）

G2回路的电感：

$$\begin{aligned} L_{G2} &\approx 10.16 \left[w_2 \ln \left(\frac{h}{r} \right) + h \ln \left(\frac{w_2}{r} \right) \right] \\ &= 10.16 \left[6 \ln \left(\frac{0.4}{0.013} \right) + 0.4 \ln \left(\frac{6}{0.013} \right) \right] \\ &= 234.0 \text{ nH} \end{aligned} \quad [9.8]$$

$r = 0.025/2$ （管脚半径，in.）

$w_2 = 6.0$ （信号与连接器D的距离，in.）

$h = 0.4$ （连接器管脚长度，in.）

假定典型的3.7V的TTL驱动信号在50欧的传输线上传输，信号电流的峰-峰值为74mA，则峰值电流为 $\pm 37\text{mA}$ 。

利用等式9.5可以得到回路Y的峰值电流：

$$I_{G1} = 0.037 \text{ A} \quad [9.9]$$

$$I_{G2} = 0.037 \frac{9.0 \text{ nH}}{234 \text{ nH}} = 0.0014 \text{ A} \quad [9.10]$$

现在我们利用等式9.6来估计回路G1和G2的辐射。回路G1首先是：

$A = 0.08$ （管脚长度0.4in. 乘上信号与地的距离0.2in.；in.2）

$I_{G1} = 0.037$ （峰值电流，A）

$T_{10-90} = 5 \times 10^{-9}$ （信号上升时间，s）

$F_{\text{clock}} = 10(8) \text{ Hz}$

$$E_{G1} = 1.4 \times 10^{-18} \frac{(0.08)(0.037)(10^8)}{(5 \times 10^{-9})} = 82 \mu\text{V/m} \quad [9.11]$$

一根信号线产生的辐射大约是82uV。总的辐射大致与所包含的信号线的平方根成正比，16根信号线的辐射是：

$$E_{G1, \text{total}} = 82 \times 10^{-6} (16)^{1/2} = 328 \mu\text{V/m} \quad [9.12]$$

因此，这个连接器并不能满足要求。现在我们来分析一下连接器D（图9.7）：

$A = 2.4$ （管脚长度0.4-in. 乘上信号与地的距离6-in.；in.2）

$I_{G1} = 0.0015$ （峰值电流，A）

$T_{10-90} = 5 \times 10^{-9}$ （信号上升时间，s）

$F_{\text{clock}} = 10(8) \text{ Hz}$

$$E_{G2} = 1.4 \times 10^{-18} \frac{(2.4)(0.0014)(10^8)}{(5 \times 10^{-9})} = 94 \mu\text{V/m} \quad [9.13]$$

一根信号线的辐射是94uV。16根信号线的辐射将是：

$$E_{G2, \text{total}} = 94 \times 10^{-6} (16)^{1/2} = 376 \mu\text{V/m} \quad [9.14]$$

回路G2的辐射确实大于G1。因为算法中连接器B和D的距离大了很多，电感LG2也就变大了。这里面，回路G2面积的增长正比于连接器B和D之间的距离。电感的增长减小了回路G2的电流，但是回路面积增长使辐射增长更快。连接器B和D的距离越远则辐射越大。

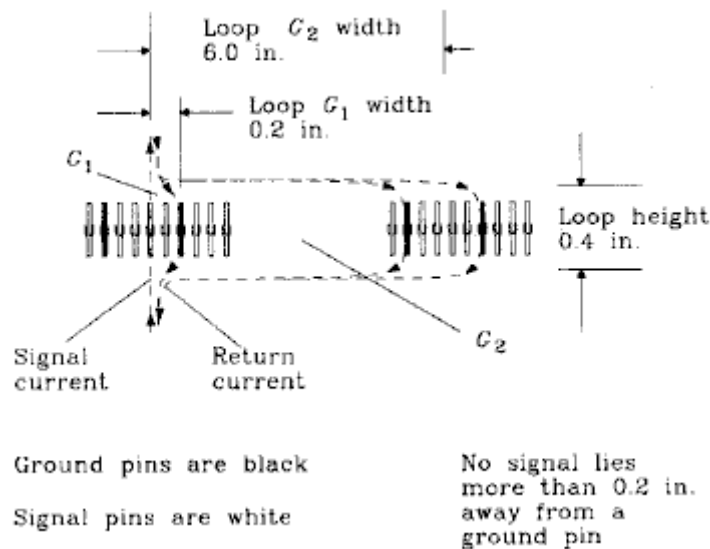


图9.8 返回电流转移示例

以下的一些规则对减小连接器的辐射是有帮助的：

规则1：连接器B上增加更多的地。这将使地线更接近信号，降低连接器B的回路的有效辐射。

规则2：连接器B上增加更多的地也能减小连接器B的电感。根据等式9.5，这将减小远端回路的电流。

规则3：将所有的母卡连接器集中在A卡上可以分离或搬移远端返回路径。

规则4：沿卡A和C的边缘用地包围起来。这样可以提供一个非常低阻抗的返回路径，降低等式9.5中远端回路电流。

规则5：不要将A卡的外沿连接到I/O电缆上。它将产生一个非常远的返回电流路径，从C卡出发，通过大地再通过I/O电缆回到板卡A。高频时可以将电缆直接连到母板靠近连接器B的一个点上。

规则6：实际使用时可以使用能满足上升时间的驱动器门输出。等式9.6中辐射与上升时间的倒数是成比例的。

本节要点：

EMI是由大回路的信号电流产生的。

给每个连接器提供一个低电感的返回电流路径。

分离或排除远端返回电流路径。

9.3 寄生电容--多负载总线上的连接器 (PARASITIC CAPACITANCE--USING CONNECTORS ON A MULTIDROP BUS)

多负载总线应用不比点对点的应用，将在连接器上挂上多个负载。在点对点的应用中，传输信号仅仅是依次通过每个连接器。这时，连接器达到的串联电感是影响性能的主要因素。

多负载时的情况则有很大的不同。图9.9中，每次只有一个连接器是使能的。其他挂到总线上的连接器保持三态，直到轮到他们发送时才被使能。这种特殊总线被终止于连线的两端并可防止反射。总线传输信号的上升时间可以是总的总线长度的一个极小的分数值。

传输信号通过总线上的某个位置时会被在总线的连接点产生连续的畸变。多个连接器的寄生电容所积累的影响对传输信号的畸变将远大于发端连接器的串联电感的影响。对多负载应用来说，我们希望的是连接器的寄生电容很低，这比串联电感更重要。

对快速的总线操作来说，我们需要减小每个总线连接点的对地块状电容。4.4.2节讨论了传输信号的块状电容并说明了为何电容越小越好。

每个连接点上的块状电容包含三个部分，但只有一个是与连接器有关的：

- (1)、连接器管脚到管脚的电容和连接器与PCB上的焊盘的电容。
- (2)、连接器到本地驱动器和接受器的电流通路的电容。
- (3)、本地接受器的输入电容加上使能关闭情况下本地驱动器的输出电容。

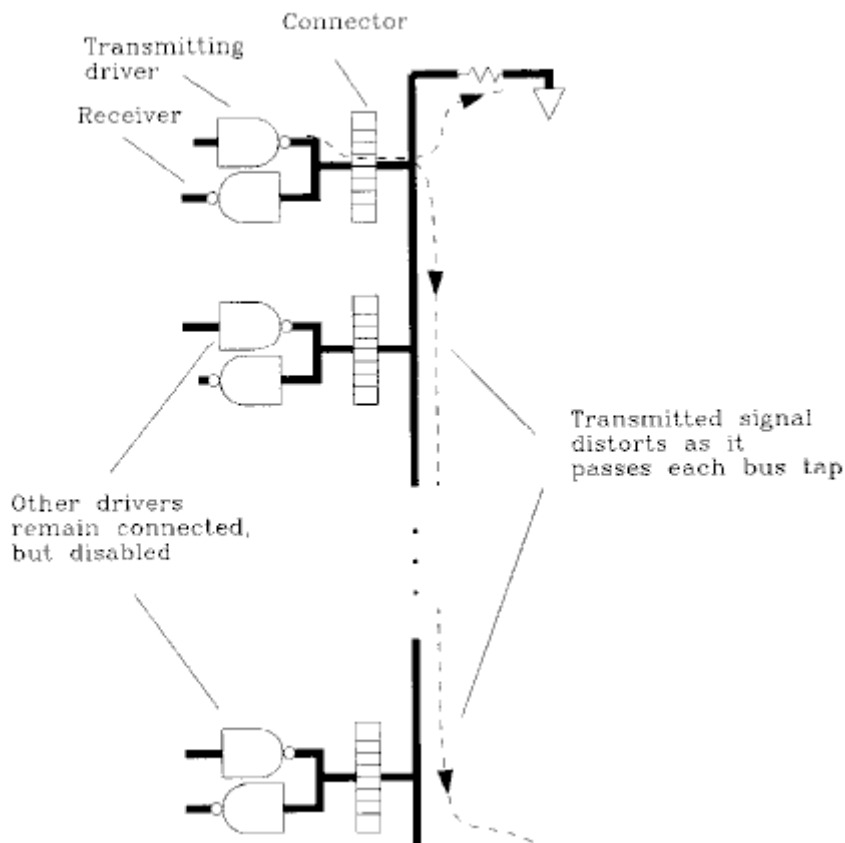


图9.9 多负载总线

9.3.1 管脚到管脚的电容（Pin-to-Pin Capacitance）

这一项是很容易测的。把一个连接器焊在板子上，只留一个信号管脚，其余管脚接地。使用普通的电容测量仪测量信号管脚的对地电容就行了。

如果你没有电容测量仪，用图1.6所示电路测量即可。

绝大多数0.1-in.间距管脚的连接器的信号管脚对地电容为几个pF。PCB的焊盘会给板与板之间的连接器的两侧各增加大约0.5pF。

有的连接器管脚之间的距离是比较大的，有的管脚甚至是交叉排列的。这样可以减小电容。还可以在板上焊接层的焊盘之间留下更多的空间，有利于加工。对0.05-in.及其以下的连接器来说，交叉排列越来越重要。

9.3.2 电路布线电容(Circuit Trace Capacitance)

等式9.15在已知布线阻抗和布线传播延迟的情况下计算了电路布线电容：

$$C_{\text{per inch}} = \frac{T_d}{Z_0} \quad [9.15]$$

这里

T_d = 布线传播延迟 (ps/in., 详见1.3节)

Z_0 = 布线阻抗 (欧, 详见4.5节)

C = 电容 (pF/in.)

9.3.3 接受器和驱动器的电容(Capacitance of Receivers and Drivers)

许多供应商在其数据手册里标明了高速接受器的电容。如果没有表明, 可使用图1.6的方式进行简单的测量。测量时, 调整脉冲发生器来产生脉冲, 要求脉冲电压为接受器有效工作电压的中间值, 并且脉冲的高度接近使用中的真实情况。给接受器通上电即可进行测量。测量结果典型值为2-10pF。

三态驱动器在其处于关闭状态时其电容要大一些。许多供应商并不标识这个电容值, 是希望你不会考虑它。驱动器与一些大的晶体管一起使用时在其关闭的状态下其寄生电容是很大的。

了解驱动器真实的电容值的唯一方法就是对其进行测量。对于接受器也可以用同样的方法进行测量。打开传输门电路的电源, 但关闭其输出使能。使脉冲电平处于门电路的有效区, 高于80pF的值就已经没有意义了。

示例9.2: 布线电容

一根连接器的内层走线一端连到驱动器芯片, 另一端连到接受器芯片。其总长度为0.75-in.。它的电容是多少呢?

$$\begin{aligned} T_d &= 180 \text{ ps/in.} && (\text{FR-4 inner trace}) \\ Z_0 &= 50 \Omega \end{aligned}$$

$$C_{\text{per inch}} = 180/50 = 3.6 \text{ pF} \quad [9.16]$$

$$C_{\text{total}} = 0.75(3.6) = 2.7 \text{ pF} \quad [9.17]$$

9.3.4 分布均匀的负载(Evenly-Spaced Loads)

4.4.2节讨论了传输线上块状电容的影响。其结论是, 总线连接点均匀分布排放, 较之把所有电容集中在一个地方, 可以降低总线阻抗并能降低辐射。

如果机框里板卡的槽位在背板上是均匀分布的并且每个槽位都插了板卡, 则认为均匀分布模型是成立的。如果系统运行时某些槽位是空的, 则均匀分布模型不再成立。

一种折衷的模型是在没有板卡的槽位也假定连接器的电容。只是测量时连接器电容的影响可能会使背板阻抗降低。背板阻抗降低的原因是，当每个板卡都插上时，会给整个的传输特性带来一些小的变化。

9.3.5 慢速总线(Very Slow Bus)

如果你没有高速的要求，可以考虑源端终止的多负载总线。这种情况下可以省略图9.9中总线两端的电阻。通过一个串行阻尼电阻就可以将三态信号源连接到总线上。接受器也可以直接连接到总线上。这种拓扑结构的一个好处是在背板上不再需要终端匹配元件。

如果驱动器上升时间比总线的建立时间（Electrical length of the bus）长，总线可当作简单的块状电路元件。这时我们不会遇到有害的反射，源端电阻以一种慢速而有效的方式控制着总线的块状电容。

如果驱动器上升时间接近总线的建立时间，总线上将出现反射。我们可以减缓上升时间直至总线表现为一个块状电路时这些反射就减小了。通过增加一些比总线更大阻抗的源端电阻，我们就能影响RC的上升时间（详见4.4.1.2。当电阻增大，系统RC上升特性将变缓，并且呈现单调性。连接器的电容以及其他布线电容、驱动器或接受器的电容特性，也都因为源端电阻而缓慢。

本节中所讨论的源端电阻与4.4.3节描述的源端匹配是不同的。在上一节中我们知道了源端电阻等于线路阻抗并且是在没有反射传输良好的情况下。它指的是点对点的工作情况。对于多负载总线来说是没有任何源端电阻能防止反射的。不管我们使用什么样的源端电阻，信号仍然会在总线两端来回反射。我们可以采用的方法是用一个比总线特性阻抗大得多得源端电阻，来缓慢地、单调地主导总线。

如果你等待个时钟之间总线的建立时间，使用较的大得源端电阻有以下好处：

低功耗——静态驱动电流为0

简单——不需要背板匹配

低EMI——减小通过连接器的电流

本节要点：

多负载总线应用比点对点应用在连接器上带了更多负载。

对于多负载来说，我们希望连接器的寄生电容越低越好，哪怕以高阻抗为代价。

9.4 连接器的耦合测量(MEASURING COUPLING IN A CONNECTOR)

图9.10所示的连接示意图说明了在实际工作环境下如何测量连接器的性能。调整脉冲发生器的脉冲输出，使其上升时间与你计划在驱动器上使用的一致。实际耦合噪声的测量范围将看实际的电路而定。

将连接源端和目的端的电缆分别连接至不同的管脚，我们可以测量从任何源端到目的端的耦合噪声。测量完噪声与每个位置的关系以后，就可以估计在每个接收位置的总的干扰噪声。测试电缆可以是任意长度，以方便搭建测试环境为前提。

9.4.1 接地和信号管脚(Ground and Signal Pins)

将测试板1和2的所有接地管脚焊上。所有的信号管脚不用连接。

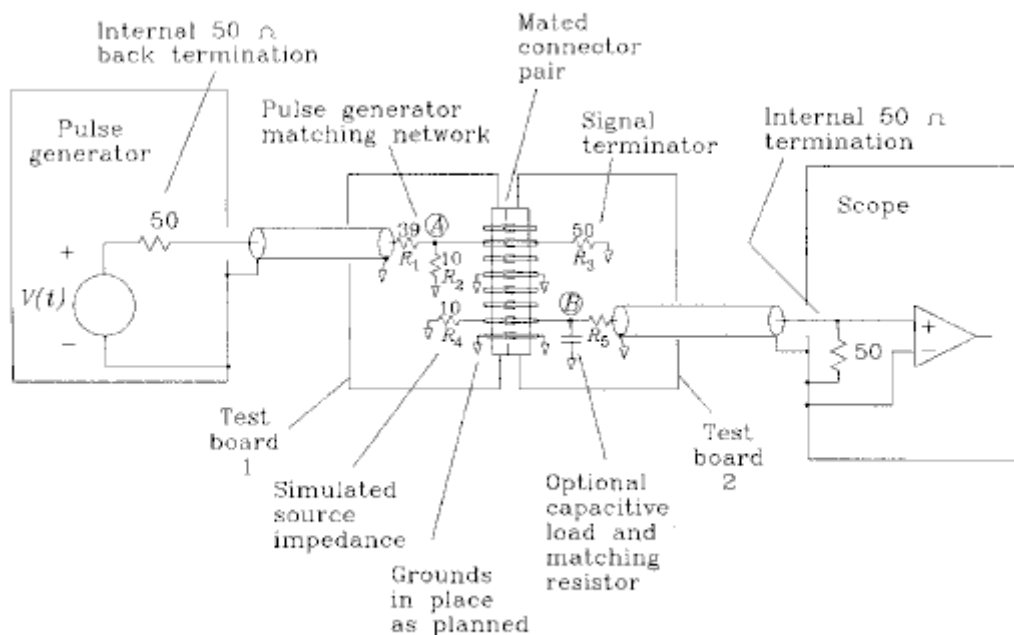


Figure 9.10 Test setup for measuring connector crosstalk.

图9.10 连接器干扰的测量示意图

将单个的接地管脚临时性的与接地层断开，我们可以直接测量他们的影响。注意我们必须只断开一个终端的接地管脚以达到破坏其保护效果之目的。这时相当于返回信号电流的流向。另外断开其他终端的同样管脚也几乎是一样的。这个实验得出的连接器的耦合阻抗是感性的，而不是容性的。

9.4.2 脉冲发生器和源端阻抗(Pulse Generator and Source Impedance)

在脉冲发生器上使用终端匹配和50欧的匹配电缆可以减小源端电缆上的反射和铃流。图9.10中，源端电缆接有一个匹配网络。匹配网络可以对脉冲信号提供大约50欧的终端匹配，以进一步减少反射。匹配网络也能提供一个低输出阻抗来驱动连接器，类似于实际使用的门电路的输出阻抗。如果你并不知道驱动门电路的输出阻抗，就用10欧。这里我们并不是按照什么国际标准，而是想看看是否干扰是一个严重问题。

理想的情况是，在A点上加上你计划要用的信号。如果需要也可以使用不同的测试信号。但是记住用最终的结果来计算他们的差别。

在最终电路上使脉冲发生器的上升时间等于驱动器的上升时间。如果你的脉冲发生器的输出不可调，只要是能用的，就可以验证最后的结果（假设噪声反比于驱动波形的上升时间）。

9.4.3 发送线的终端阻抗(Terminating Impedance on the Transmitting Line)

发送线应使用最终电路里的阻抗进行匹配。如果最终电路用的是电阻匹配，用单个电阻就行了。如果最终用的是门电路输入并有一段短的连线，用一个小电容就行了。此电容的值应根据门电路输入电容和布线电容来计算。

9.4.4 模拟接收线的源端阻抗(Simulated Source Impedance of Receiving Line)

如果你的驱动器源端阻抗已知，相应设置R4就行了。否则将R4设为10欧。

在电阻值为R4和R3时的两电路之间的测量噪声相差两倍。对最初的模拟来说，2倍的系数并不是十分重要。

相应地，在此位置接上一个真正地驱动器并上电、输出使能。如果你让有地输出没有使能（三态），你将在B电测不到噪声或噪声很小。

9.4.5 匹配电阻(Matching Resistor)

如果你计划在最终电路里使用电阻匹配，位置R5的匹配电阻应等于

$$R_5 = Z_0 - 50 \quad [9.18]$$

这里

Z_0 = 最终电路的匹配阻抗（欧）

R_5 = 匹配电阻（欧）

如果你计划用的是容性负载，将一个电容并联到地，其值应等于门电路输入电容加上布线电容。再就是R5使用470欧的电阻。测量时使用10:1的探头。

最终测量的时候别忘了考虑探头的衰减。探头的增益等于

$$G = \frac{50}{R_5 + 50} \quad [9.19]$$

这里

R_s = 匹配电阻 (欧)

G = 探头增益 (B点实际电压乘以 $1/G$ 等于测量结果)

测量时可以利用其内部的50欧电阻。并用50欧的同轴电缆连接。

本节要点:

简单的测试方法只能定性的测量连接器的干扰。

9.5 连接器布地的连续性(CONTINUITY OF GROUND UNDERNEATH A CONNECTOR)

图9.11原理性的说明了连接器使用失当并在高速时功能失败。其实这相当于在地线层开了一个大孔，然后连接器的所有管脚都经过它。即使有许多的接地管脚，返回信号电流也必须流过这个孔，使交叉接地的效果完全丧失。我们可以在连接器上只用一个接地管脚。

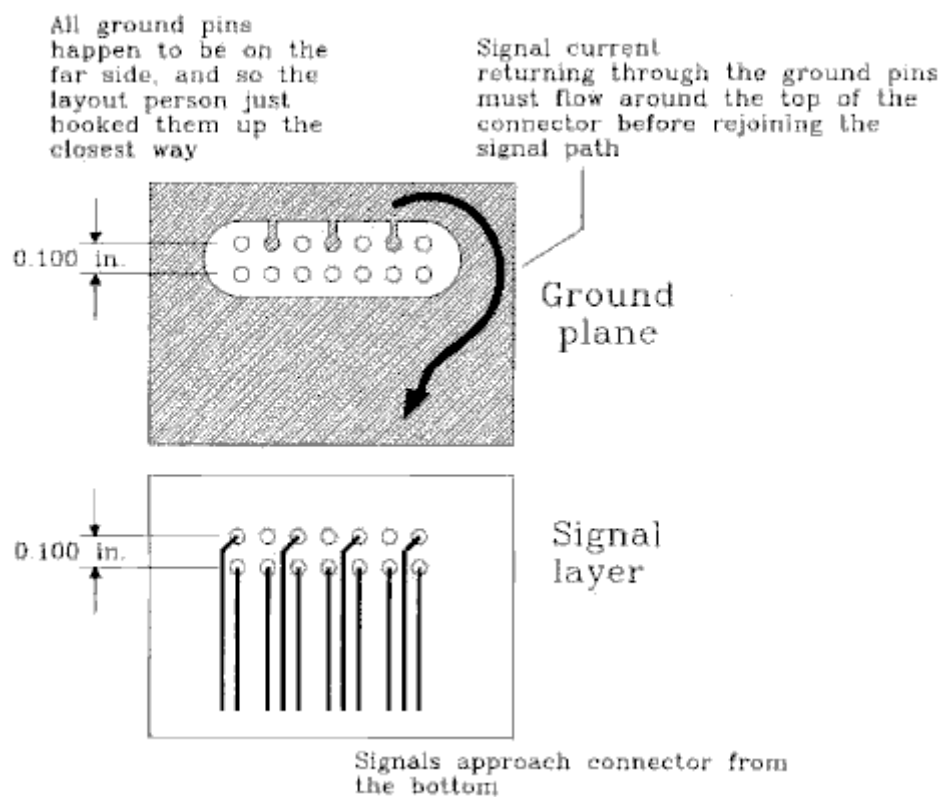


图9.11 失败的连接器的布线

对这一问题的一个解决办法是把地线布在连接器每个管脚的周围，见图9.12。

管脚距离为0.050的微型连接器可以采用图9.13所示的接地方式。这种效果并没有图9.12表示的好，但至少对地电流不必象图9.11所示一样在连接器周围走很远的路。

有时PCB制造工厂可以将内层焊盘做得比外层焊盘小很多。事实上这样很容易完成内层管脚之间的布线，即使他们并不满足外层管脚的要求。

最后，一些优质的连接器使用交叉管脚方式，也能减少管脚之间的空间。这些都对布地有很大帮助。

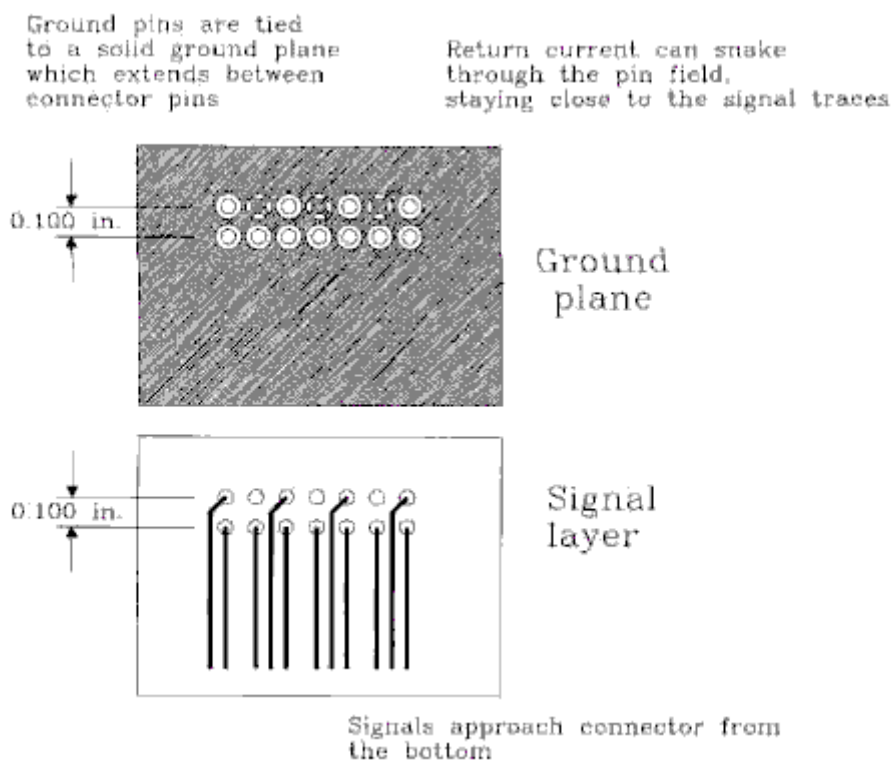


图9.12 较好的连接器布线

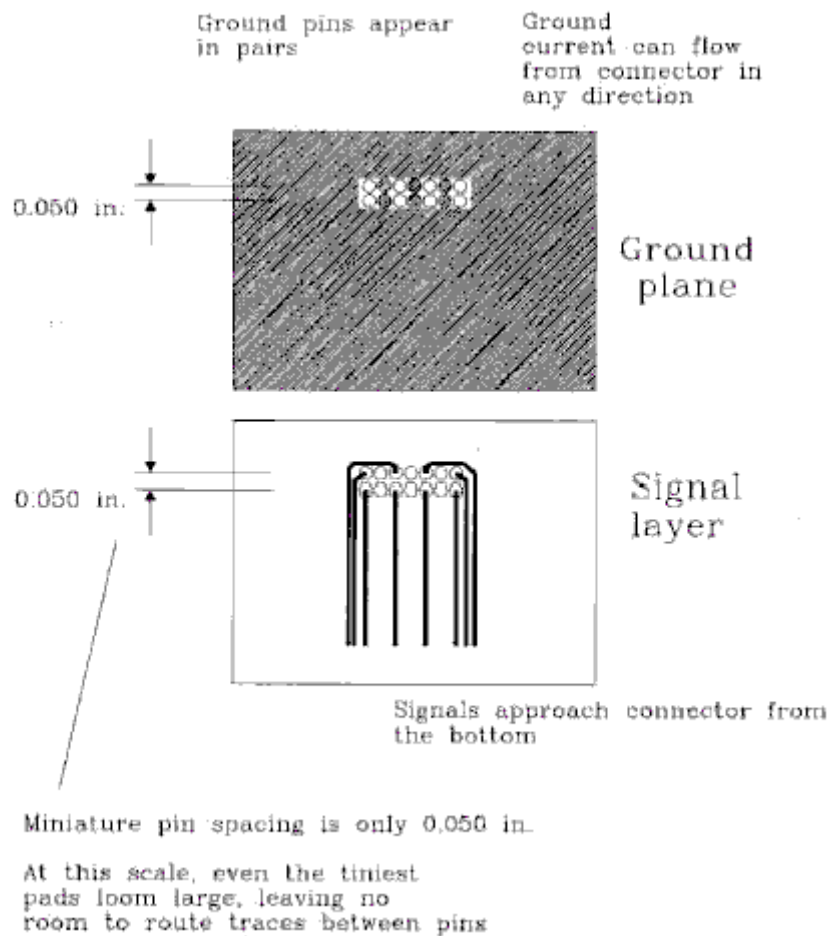


图9.13 微型连接器的布线

本节要点:

如果连接器的信号返回电流流经地线层的一个孔的话，它与我们接地的管脚数量并没有关系。其性能并不比连接器单个管脚接地好多少。

9.6 外部连接中如何满足EMI问题(FIXING EMI PROBLEMS WITH EXTERNAL CONNECTIONS)

电路板之间高速数字信号连接线总是会暴露出不能满足FCC和VDE的辐射测试的问题。以下是三种将辐射减小到可接受程度的方法：

- (1)、对信号进行滤波并去掉高频信号。这将减缓上升和下降时间。
- (2)、电缆屏蔽。屏蔽可以给信号电流提供一个低感抗的返回路径，并能阻止信号从更远的路径返回。同时屏蔽和产品机框要很好的连接。
- (3)、电缆衰减。这将可以增加远端电流路径的电感，降低他们的电流。这对屏蔽或者没有屏蔽的电缆都有帮助。

当你设计一个新系统的时候，别忘了针对不同信号，对照一下9.8节。

9.6.1 滤波(Filtering)

如果你能接受降低上升时间的要求的条件的话，在本板上对所有流出的数字信号进行滤波。这样在高频段的电流回路的辐射效应将戏剧性的减小。典型的滤波措施可以是在每个逻辑驱动器上串联一个小的阻抗。这些串联阻抗通常还可以并联一个逃生电容到地。

重要的是这些逃生电容是直接连到大地上的。在一个大的系统中将电容连到本地数字地并不恰当，因为本地数字地通常附带了很多高于FCC/VDE辐射要求的噪声。

为了集中这个问题，一些设备制造商专门设计一个小电路板，放在内部连接器和外部连接器的中间，上面放置了滤波元件。这块小板的地线直接连到机框上，而不是任何电路板的数字地上。

连接器制造商已经注意到这一问题，而且现在推出了自带滤波电路的D型连接器。这种连接器的好处是尺寸小并能实现对机框的实际的电气连接。

9.6.2 屏蔽(Shielding)

对数字工程试来说，最通常的方式就是屏蔽了。屏蔽的好处是全机械特性连接，几乎不需要设计模拟电路。屏蔽的物理连接如图9.14所示。通过在内部导体的周围提供一个连续的金属屏蔽，返回信号电流可以分布在输出信号线的周围。信号线与地线之间的电流回路的网络辐射效应是十分小的。一个导电良好的、分布均匀的屏蔽层可以屏蔽任何辐射。

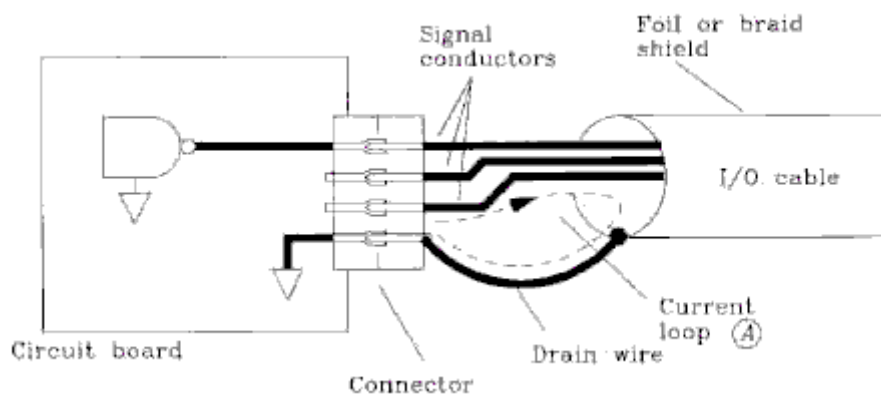


图9.14 屏蔽电缆上的信号环路的辐射

既然良好的屏蔽电缆可以屏蔽辐射，那么两根各自屏蔽的电缆之间，干扰也是不存在的。然而，对单根屏蔽电缆里面的信号线来说，干扰却是很大的，因为所有的信号线都使用同一个地线回路。

在屏蔽的两端，需要一个让电流从屏蔽层流到本地机框地的低电感路径。一些制造商提供一种损耗线以帮助接地。这种损耗线紧密的连接在屏蔽层上，它与内部导体是同样的规格，但没有绝缘。警告：图9.14中的电流回路通常超过FCC/VDE的标准！损耗线对低频模拟信号效果很好。但对高速数字信号来说则对地连接太少。

为了防止损耗线电路回路的辐射，最好使用带金属外屏蔽层的连接器。其金属薄片和编制层都被紧紧的夹在金属外屏蔽层的里面，不会有线露出来。金属外屏蔽层也应当连接一个宽而扁平的、低电感的导体来产品机框的金属外壳。

对塑料机框来说，是没有地方给你连接屏蔽的。这时屏蔽的方式是没有帮助的。可以使用方式（1）方式（3）来减少噪声。

9.6.3 常规阻塞(Common Mode Choke)

这个规则几乎没在任何设计中运用过，但对于任何不满足FCC/VDE规则的系统来说，都可以作为一种补充。

在产品机框外部靠近I/O连接器的地方，将I/O电缆在一个大的磁环上绕上几圈。因为这样正常的信号电流又沿同样的电缆返地线，通过磁环的网络电流几乎为零。它对电缆上的信号电流是没有影响的。

对哪些沿其他不同路径返回的电流来说，磁环也有很大的影响。这些电流仅仅是单方向通过磁环，因此遇到的是线圈绕组的全电感。如果这个电感超过了远端返回电流回路的自身电感，磁环则可以减少这些远端回路的电流。

常规阻塞对各种不同的电缆形状可以有很多变化。甚至扁平的带状电缆也可以使用这种方法。

使用常规阻塞之前，关注一下特性阻抗与使用频率的关系。并不是所有的磁环材料都对高频信号有很好的效果。

本节要点：

将电路板之间的高速数字信号暴露在外，肯定不能通过FCC和VDE的EMI测试。

如果你能接受降低上升时间的要求的条件的话，在本板上对所有流出的数字信号进行滤波。

常规阻塞能减小远端返回回路的电流。

图9.14中标注为A的损耗线回路的辐射常常会高于FCC/VDE的规定。

9.7 用于高速信号的特殊连接器(SPECIAL CONNECTORS FOR HIGH-SPEED APPLICATIONS)

AMP公司和Augat公司都为高速的点对点应用设计了一些特殊的连接器。这些连接器在内部将接地结构合并一起。这些接地结构有两个功能：首先，他们为低频干扰提供一个低阻抗的信号回路。其次，他们增加每个管脚对地的寄生电容，以平衡这些管脚的串联电感。这种平衡减小了点对点传输线应用中的信号失真。

Teradyne公司也给多负载总线应用创造了一种带有特殊功能的连接器。它能提供一个非常低阻抗的信号返回通路，以在没有增加寄生电容的情况下减小EMI辐射。对多负载总线来说，寄生电容越低越好。

9.7.1 AMP Z-Pack 点对点连接器（AMP Z-Pack Point-to-Point Connector）

AMP Z-Pack带状连接器的交叉示意图和透视图如图9.15所示。这种AMP连接器包括4行信号管脚。

每列管脚之间放有一根细小的金属条。这些金属条是作为低电感的返回电流载体的。金属条的接地管脚可以在连接器的任何一侧。金属条是扁平的，以便电流能够分散传播，以降低连接器的串联电感。

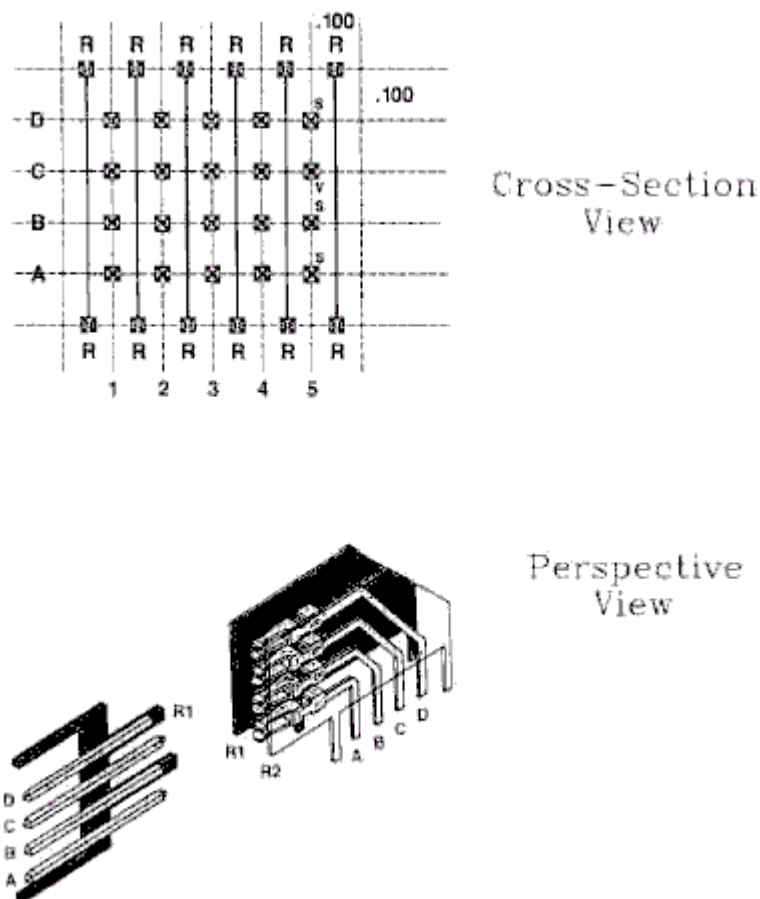


图9.15 高速点对点应用中的AMP Z-Pack连接器

这种连接器的每一列管脚之间的干扰是很小的。AMP声称它可以用于上升时间为250ps的高速信号。对500ps上升沿的信号，按图9.10的方法进行测量，干扰小于3%。通过连接器的传播延迟大约在150ps。

扁平的金属条增加了每个管脚的对地电容。这时的电容可以平衡连接器自身的串联电感。 $(L/C)^{1/2}$ 的值变化范围是40到56欧，具体数值与焊盘布线和测试时的管脚行数有关。这种连接器适合于串联在50欧的传输线上。

9.7.2 Augat点对点连接器(Augat Point-to-Point Connector)

Augat制造了一种称为电气无形互连（electronically invisible interconnect,EII）的连接器。这种独特的连接器实际上是从线路板来的信号用一种细小的带状物来传输，而这种带状物其实是一种可弯曲的微型电路板。这种可弯曲的电路板可以按顾客要求定制成任何阻抗特性。这种连接器是非常小的，总的延迟只有115ps。

Augat声称这种连接器可用于上升时间35ps的高频信号。以上升时间900ps的信号来说，这种微型电路板应用只产生2%的干扰。

这种微型电路板每个管脚的阻抗为45到55欧。这种连接器同样适合于串联在50欧的传输线上。

9.7.3 Teradyne 多负载总线连接器(Teradyne Multidrop Bus Connector)

Teradyne 背板连接器提供4行信号管脚。它还提供另外两行接地管脚。每行的接地管脚可以出现在信号管脚行的任何一侧，类似于AMP Z-Pack连接器。

Teradyne是将低阻抗的接地导体水平放置的，而不是垂直放置的，如图9.16所示。这些金属条提供一个低电感的信号返回通路，但不同列之间并没有连到一起。因此它的干扰要比AMP Z-Pack连接器要大一些。这时的优点是金属条与信号管脚分离，不会增加电容。信号对地电容也是很低的，因此对多负载总线来说是一个很好的选择。

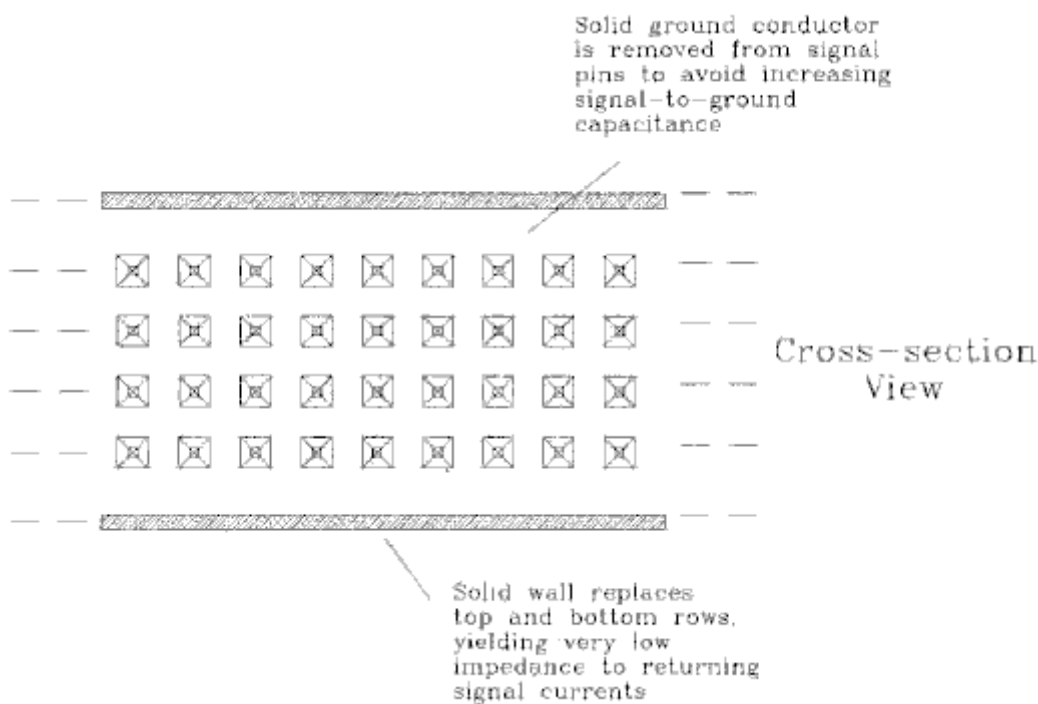


图9.16 Teradyne 多负载总线连接器

本节要点:

对高速信号来说，干扰和EMI控制要求使用一些特殊的连接器。

9.8 经过连接器的差分信号(DIFFERENTIAL SIGNALING THROUGH A CONNECTOR)

差分信号带来的问题是，不是要给信号返回电流提供一个低阻抗的路径，而是要消除返回电流。

差分信号的理论是很简单的。本来是一路信号却变成两路发送（你在发送信号的同时，将你的信号的反向信号做为第二个信号也发出去）。第一个信号的返回电流是正的，第二个信号的返回电流是负的。合起来之后，他们就抵消了（图9.17）。

在接收端，比较两个信号以决定他们的逻辑状态。这种比较并不需要本地参考电压。发送器和接受器之间的地电压漂移对等的影响着每根连线，因此在两根线之间就没有影响了。差分接收是会被发送器和接受器之间的地电压漂移所影响的。

假如差分信号对产生了返回信号电流的话，那它是由于两根传输线之间的不平衡引起的。如果差分信号不是完全的反向，他们的电流就不会完全抵消。在电流上的这种不平衡被称为 Common mode current。对于一个设计良好的差分驱动器来说，Common mode current可以小于信号电流的百分之一。Common mode current越低，对EMI性能就越有好处。

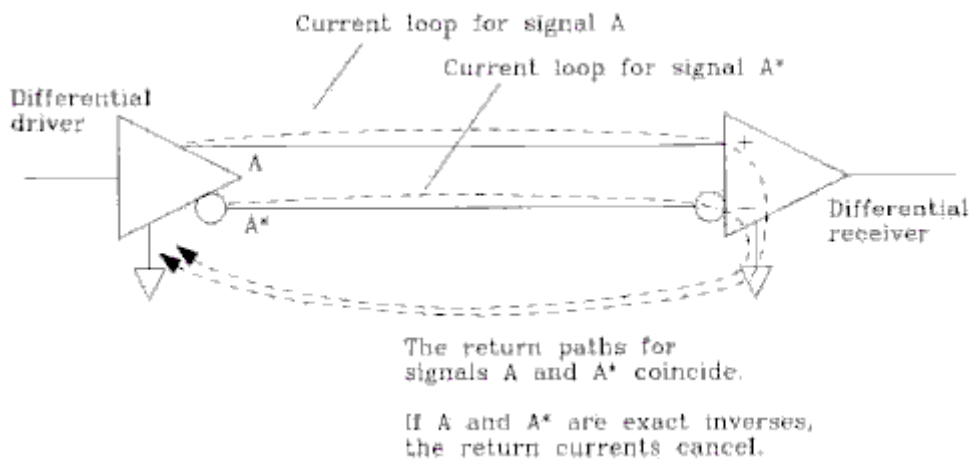


图9.17 差分信号消除信号返回电流

当我们通过连接器发送差分信号时，将他们连接在相邻的管脚。这样他们的信号返回通路将会交迭并抵消。而且，在PCB布线上紧密的将他们靠在一起，以下是一个计算不平衡电流大小的公式，用于当两根布线不完全等长的时候。它计算出的是信号电流的一个分数值。

$$\text{Imbalance fraction} = \frac{T_p X}{T_{10-90}} \quad [9.20]$$

这里

T_p = 物理介质的传播延迟 (ps/in.)

X = 布线长度差值 (in.)

T_{10-90} = 信号上升时间 (ps)

不用担心差分信号对两信号之间的干扰。他们在布线时可以比常规的布线更近一些。由于这时布线的干扰是与它的差分线相关的，二他们之间几乎没有任何不一样。如果两根线特别的靠

近，每根线的阻抗也就大大降低。我们还可以使用较小的终端匹配电阻或者比常规情况更窄的布线来加强这一效果。

示例9.3：差分不平衡

两根差分信号线在FR-4材质的PCB上近距离布线，信号上升时间为500ps。其中一根信号线绕开一个过孔而相差0.3 in.。这时不平衡的结果是多少呢？

$$\begin{aligned} T_p &= 180 \text{ ps/in.} && (\text{FR-4}) \\ X &= 0.3 \text{ in.} \\ T_{10-90} &= 500 \text{ ps} \\ \text{Imbalance fraction} &= \frac{(180)(0.3)}{500} = 0.108 && [9.21] \end{aligned}$$

这时本来差分输出只有1%的不平衡的，可能会上升到10%。

本节要点：

差分信号的接收是会被发送器和接受器之间的地电压漂移所影响的。

对于一个设计良好的差分驱动器来说，Common mode current可以小于信号电流的百分之一。

9.9 连接器的电源控制特性(Power-handling features of connectors)

在背板应用中出现了许多管脚高度不一致的连接器。两种、三种甚至四种管脚高度都是常见的。管脚高度变化这一特性，可以实现背板热插拔时不同的软启动上电和复位操作顺序。

典型的是，接地管脚最长，首先接触上。然后电源管脚第二长，其次接触上。上电顺序有时要求两种管脚高度，首先是软启动电源然后才是全部的电源（详见8.2.3节）。最后最短的管脚连上数据信号。通常用一根数据线来启动一个定时器并时单板保持复位一段时间。这种复位的功能给单板完全插进槽位提供足够的时间保证。当把单板插进槽位时整个的操作时间小于0.1s。

当使用不同管脚长度的时候，将两种长的管脚放置在连接器的两端。这样，即使单板一边倾斜另一边插进了槽位，也能保证首先是长的管脚连接上。

本节要点:

管脚高度变化这一特性，可以实现背板热插拔时不同的软启动上电和复位操作顺序。

9.10 总结:

(1)、共模电感是连接器产生干扰的主要原因。在连接器的中间增加一些布地可以较小共模电感，从而能较小干扰。

(2)、EMI问题通常是由远回路的信号电流引起的。如果能想办法给连接器提供一个低电感的返回电流路径或者设法排除远端返回电流路径，将对解决EMI问题有帮助。

(3)、多负载总线应用比点对点应用在连接器上带了更多负载。对于多负载来说，我们希望连接器的寄生电容越低越好，哪怕以高阻抗为代价。

(4)、简单的测试方法只能定性的测量连接器的干扰。

(5)、请注意如果连接器的信号返回电流流经地线层的一个孔的话，这时的问题与我们接地的管脚数量已没有多少关系。多个管脚接地的效果并不比连接器单个管脚接地好多少。

(6)、将电路板之间的高速数字信号线的线头暴露在外，会导致严重的EMI问题。如果你能接受降低上升时间的要求的条件的话，较好的方式是在本板上对所有流出的数字信号进行滤波。

另已一种方式就是采用常规阻塞来减小远回路的返回电流。请注意图9.14中标注为A的损耗线回路的辐射常常会高于FCC/VDE的规定。

(7)、对高速信号应用来说，干扰和EMI控制要求使用一些特殊的连接器。

(8)、差分信号的接收是不会被发送器和接受器之间的地电压漂移所影响的。对于一个设计良好的差分驱动器来说，Common mode current可以小于信号电流的百分之一。

(9)、利用管脚高度变化这一特性，可以实现背板热插拔时不同的软启动上电和复位操作顺序。

高速数字电路设计教材

拟制:	_____	日期:	_____yyyy-mm-dd_____
审核:	_____	日期:	_____yyyy-mm-dd_____
审核:	_____	日期:	_____yyyy-mm-dd_____
批准:	_____	日期:	_____yyyy-mm-dd_____



华为技术有限公司
版权所有 侵权必究

目 录

第 1 章 带状电缆	2
10.1 带状电缆信号传播	3
10.1.1 带状电缆频率响应	4
10.1.2 带状电缆的上升时间	6
10.1.3 测量上升时间	7
10.2 带状电缆的串扰	8
10.2.1 串扰的基本计算方法	8
10.2.2 多根地线的效果	9
10.2.3 扭绞的效果	10
10.2.4 测量串扰	11
10.2.5 带状电缆的堆叠	13
10.3 带状电缆连接器	13
10.3.1 连接器电感	14
10.3.2 连接器电容	14
10.3.3 交错连接以降低寄生效应	15
10.4 带状电缆电磁干扰	15
10.4.1 扁平金属片包装	15
10.4.2 一边扁平屏蔽	16
10.4.3 折叠（圆形）屏蔽电缆	16

第1章 带状电缆

摘要:

本章主要介绍了带状电缆的一些特性。首先分析了信号的传输特性包括频率响应、上升时间、以及上升时间的测量，接着研究了带状电缆的串扰问题包括串扰的基本计算、多点接地的效果、扭绞的效果以及串扰的测量、带状电缆的堆叠等，然后又分析了带状电缆连接器的一些特性包括连接器自感、寄生电容以及连接器的交错降低寄生效应等，最后介绍了带状电缆的电磁干扰问题以及用于消除电磁干扰的各种屏蔽方式等。

带状电缆这个名词意指任何这样的电缆：具有多根用一根扁平的宽带子绑在一起的导线。带状电缆的概念很简单，但是它的实现各不相同。

最初的3-M带状电缆(如图10.1所示)是在一根粗大而突出的灰色塑料绝缘媒质中嵌入多跟电线。后来的彩色电缆，类似绑在一起的单独的圆形电线。最终，某些带状电缆在一跟坚硬的塑料绝缘带的表面支持它们的电线。每种绝缘体配制具有不同的高频特性。

无论绝缘体装配是怎样的，带状电缆线总是在精确控制隔离的情况下彼此平行排列。统一的隔离便于制作多端连接器，在一次快速的操作中同时将每跟线卷曲进带中。这个同时卷曲的过程是一种连接到多线电缆的并不昂贵的方式。今天带状电缆的广泛应用是因为它可连接多端口使得造价低廉。

幸运的是，带状电缆线的统一隔离产生了一个有用的副作用：带状电缆成为优质的传输线。

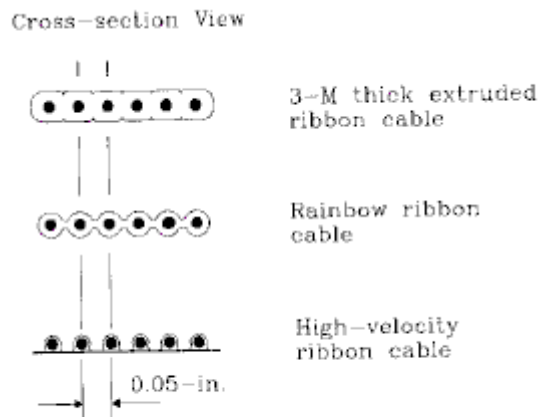


Figure 10.1 Types of ribbon cables.

10.1 带状电缆信号传播

带状电缆的上升时间随其长度的平方而改变：

$$T_{10-90} = \frac{(L)^2}{K} \quad [10.1]$$

这里， T_{10-90} = 10~90%的上升时间，单位ns；

K = 电缆的相关系数，单位 $\text{ft}^2 \cdot \text{GHz}$ ；

L = 长度，单位ft。

长度的平方是一个快速变化函数，如果我们将电缆的长度减半，则其上升时间变为原来的四分之一。电缆长度如果为原来的十分之一，那么其上升时间将缩小100倍。

这个关系只适用于带状电缆还是对所有的电缆都适用呢？答案是它适用于所有的同轴、扭绞线以及带状电缆。下述解释说明了其原因。

在不考虑电缆类型的情况下，其频率响应只由单位长度电缆的电感、电容及电感值决定。对于数字频率，响应曲线的波形受趋肤效应支配。所有的电缆，无论同轴、扭绞还是带状的，具有与等式10.2所描述基本频率响应曲线同样的形状。对于数字系统，唯一显著的差异在于常数K，它同时出现在等式10.1和等式10.2中。

$$|H(f)| = e^{-0.546 \left[\frac{(\text{length}^2)(f)}{K} \right]^{1/2}} \quad [10.2]$$

这里， $|H(f)|$ = 频率相应幅度；

f = 频率，单位GHz；

K = 电缆的相关系数，单位 $\text{ft}^2 \cdot \text{GHz}$ ；

length = 长度，单位ft。

RG-59U同轴电缆的每英尺阻抗值比AWG 30带状电缆的低，因而它的K值较大，相应的每英尺衰减率也低一些。在任何特定的频率，对于这两种电缆我们得到不同的衰减，但是它们的对数频率响应曲线的形状是相同的。

这种形状不变性将导致什么结果呢？参照等式10.2，如果我们改变K或电缆长度，响应曲线将会移动。如果我们改变K，但是同时通过改变长度来进行补偿，那么L的平方比K的总比率将保持不变，频率响应也不会发生变化。这是理解电缆率减的关键。对于一根较长的同轴或一根稍短一些的带状电缆我们会得到相同的频率响应。

10.1.1 带状电缆频率响应

带状电缆在很短的情况下工作的很好真令人惊奇。当然，频率响应取决于我们如何接地。这儿我们假定使用G-S-G连接模式，如图10.2所描述的那样。这种模式给了我们一个80和100欧之间的特性阻抗，具体大小取决于电介质。

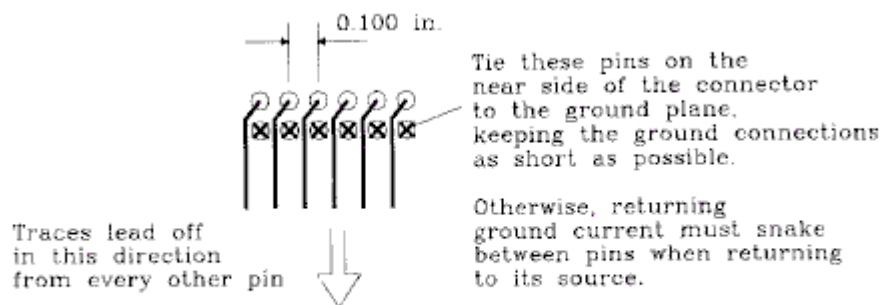


Figure 10.2 Ground-signal-ground configuration for a dual-row ribbon cable connector.

参考图10.3，在10英尺长的电缆工作在高达500MHz时率减不超过3.3dB。下一节将说明这个率减图如何为我们提供1ns的上升时间。

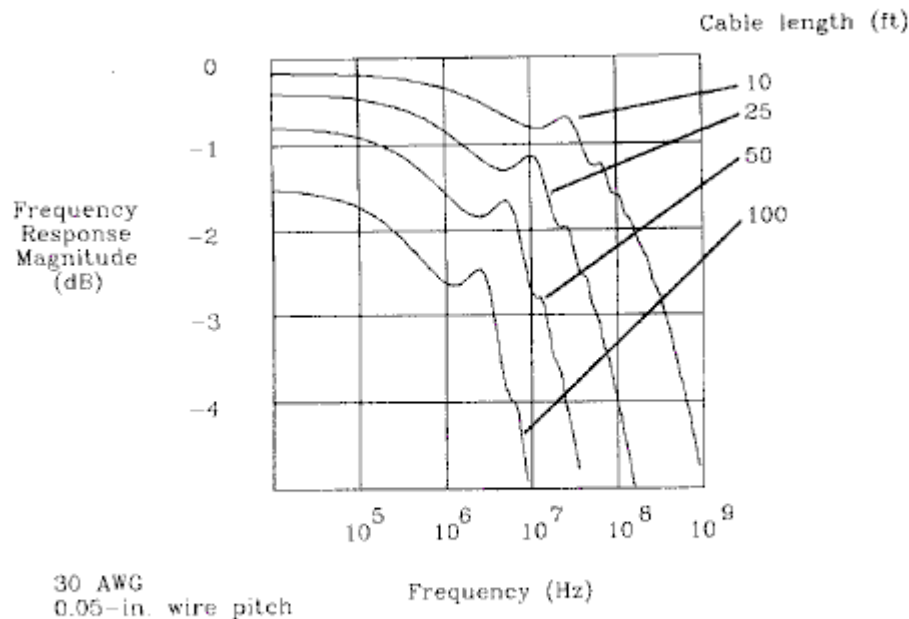


Figure 10.3 Frequency response of a ribbon cable.

有效带宽随距离平方的倒数而变化，对于短于10英尺的连接，带状电缆的性能是令人恐怖的。

长于10英尺的带状电缆的性能显著恶化。100英尺长的情况下，3.3dB的衰减点出现在5MHz处，上升时间为100ns。

图10.3的响应图分别展示了长度为10、25、50、100英尺的电缆的频率响应。在各种情况下响应曲线的形状是相同的，只是有所偏移。这些图是使用MathCad计算的，假定电缆终结于一个阻值近似于其特性阻抗的电阻。由于所有实际的传输线都具有复合阻抗，电阻并非一个精确的终端匹配。因而在频率响应曲线上在3到30M频率间我们得到一些小反射点，它们在曲线上以小突起的形式显现出来。这些小突起只有0.25dB大小，因而对规则的阶跃响应几乎没有什么影响。

某些理论家在画响应曲线的时候假定理想终结的情况，因而没有反射点。这儿我们使用一个电阻，也就是实际数字电路中最常用的的终结。

除了反射点，纯阻性终结的另一个缺陷是电缆阻抗引入了直流衰减。在长距离情况下，你的逻辑信号可能永远都上升不到满高度。例如图10.3中100英尺电缆的响应曲线，在低频段有1.5dB的衰减。最终的值永远不会上升到超过满高度的84%。这是一个严重的电压边缘恶化的原因，它会影响具有精确中心开关门限的线性收发器。这种收发器与普通的逻辑门相比对电压边缘监测更不灵敏。

电缆的电介质配置影响性能主要体现在两个方面。它控制信号传输速度及衰减。传输速度，用ft/ns表示，与介电常数的平方根成反比。在电缆中电线完全被电介质材料包裹起来，具有较高的介电常数，从而会得到较低的传输速度。把电线包裹在薄塑料片中的电缆，其电场大部分在空气中，因而可以获得低介电常数及高速度。

衰减取决于串联电阻与电缆阻抗之比。在高频时，趋肤效应导致串联阻抗随着频率的平方跟增大而增大。这使得衰减也相应的增大了。电介质配置通过改变电缆的特性阻抗来影响其衰

减。电缆的电线用电介质材料完全包裹起来，具有较高的有效介电常数，从而导致较低的阻抗及较大的衰减。用细长而薄的塑料片做成的电缆具有高速度、低衰减、较快的上升时间。

10.1.2 带状电缆的上升时间

我们可以通过计算电缆频率响应的傅立叶反变换来估算其上升时间。对四种不同长度的电缆的相关计算示于图10.4。

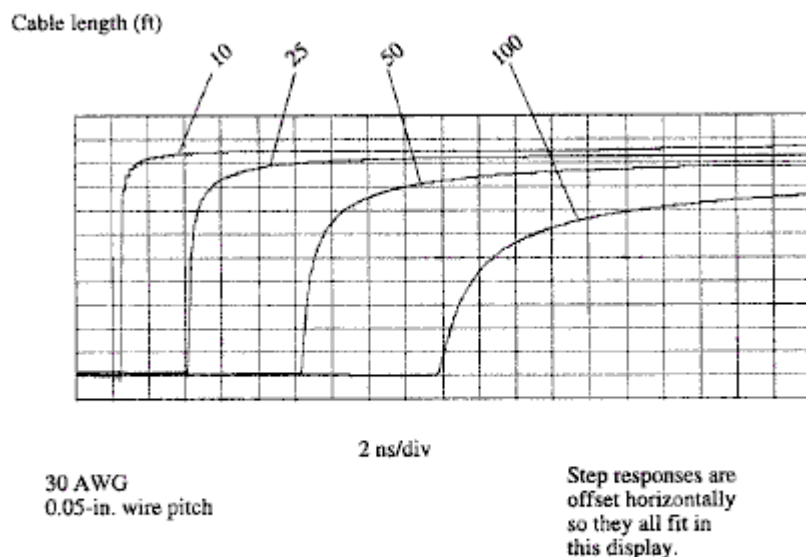


Figure 10.4 Step response of a ribbon cable.

随着电缆长度的增加，上升时间也相应的延伸的更长。上升时间正比于长度的平方根。在长度很长的情况下，上升信号永远都不会达到满高度。这种效应是由电缆阻抗导致的支流衰减所造成的。这些电缆波形不同于一般的逻辑门或复合系统产生的高斯上升曲线。电缆的波形是其独特的频率平方跟的倒数频率响应的结果。每个脉冲的中段上升的很快，而在之前和之后都伴以长长的缓慢移动的尾巴。这种特性适用于所有的传导型电缆（但是不适用于光纤）。

在很长的时候，当电缆回复RC操作模式，响应变得更加不对称。曲线的前段缩短，但是后端的缓慢上升的尾部变得更差。在长距离传输系统中，这些长尾巴会引入显著的符号间干扰。对于一般的数字应用，你应该保持系统时钟比电缆的上升时间的10%到90%慢的多，以避免脉冲之间的交迭。

有时我们会被要求根据电缆的说明书估计其上升时间。如果我们有该电缆的一个完全的频率响应曲线，这项任务将很容易完成。首先求得K的值，它使得等式10.2非常近似于你的电缆的频率上升曲线特性。在特定长度和频率下，只要给定一个衰减值，我们就可以将等式10.2转化，从而得到K。

$$K = \frac{L_0^2 F_0 (22.5)}{A_0^2} \quad [10.3]$$

这里, K = 电缆的相关系数, 单位 $\text{ft}^2\text{-GHz}$;

L_0 = 特定电缆长度, 单位 ft ;

F_0 = 特定频率, 单位 Ghz ;

A_0 = 衰减值, 单位 dB 。

目录项通常列出在特定频率和长度时的几个衰减值。在几个不同的点处计算 K 的值。它通常在不同的频率点处有点偏差。这是由于电介质的非理想性使得介电常数作为频率的函数发生轻微的改变。在接近意指工作频率的特定点处将得到最好的结果。

了解了 K , 我们便可以利用等式10.1来求上升时间。

$$T_{10-90} = \frac{(L)^2}{K} \quad [10.4]$$

这里, T_{10-90} = 10~90%的上升时间, 单位 ns ;

K = 电缆的相关系数, 单位 $\text{ft}^2\text{-GHz}$;

L = 长度, 单位 ft 。

10.1.3 测量上升时间

在下列条件下测量电缆传输:

(1) 在电缆的远端由一个电阻终结。源阻抗必须低于电缆的特性阻抗。如果源阻抗不低, 那么至少要确定它是纯阻性的。另外在你的电路中还可以使用驱动器。

(2) 终结电阻的值等于 L 比 C 的平方跟, 这儿 L 和 C 是每英尺电缆的电感和电容。这是最好的阻性终结。它得到一个小的但并非零反射。

(3) 这个输入必须是一个上升时间比电缆上升时间短的多的阶跃函数。你的示波器也应该比电缆的要快。如果示波器和脉冲发生器或(驱动器)不比电缆快的多, 那么请从你的测量中减去示波器和脉冲上升时间的效应。首先将示波器直接连接到脉冲发生器并测量驱动上升时间。然后装上电缆再次测量上升时间。

$$t_{\text{cable}} = \left[(t_{\text{measured}})^2 - (t_{\text{drive}})^2 \right]^{1/2} \quad [10.5]$$

这里, t_{cable} = 电缆实际上升时间, 单位 s ;

t_{measured} = 电缆测量上升时间, 单位 s ;

t_{drive} = 示波器和脉冲发生器(或驱动器)的测量上升时间, 单位 s 。

(4) 使用一个不增加额外负载的探头测量输出。大多数的商业用的10: 1的示波器探头不满足这一要求。为了这个测量, 要制作一个特制的10: 1探头或买一个特定的低容性有源高频示波器。普通的10 pf 探头在500 MHz 时阻抗为 $-j31\Omega$ 。这样的探头将严重影响你的测量。

本节要点:

- 任何带状电缆的上升时间都随着其长度的平方的变化而变化。
- 所有的电缆, 不管是同轴电缆、扭绞电缆还是带状电缆, 都具有相同的基本频率响应特性。它们的频率响应, 用分贝表示时, 与频率的平方跟成反比。
- 带状电缆的绝缘配置会同时影响信号的速率和衰减。

10.2 带状电缆的串扰

带状电缆的串扰随着信号导线的接地情况而异。给定足够的低，我们可以获得任何水平的串扰衰减。那么，究竟多少个接地点才足够呢？

10.2.1 串扰的基本计算方法

带状电缆的串扰来源于感性和容性耦合。如5.7节所描述的那样，容性和感性串扰成分在剧烈程度上是差不多相等的。它们的近乎相等性使得反向耦合系数很大而几乎没有前向耦合。

由于前向耦合在两个大的耦合机构中差别很小，使得对其进行分析性的计算几乎是不可能的。直接测量是最好的方法。当测量前向串扰时，要意识到围绕在带状电缆周围的场延伸到了电缆周围的空间。如果其他具有传导性或磁渗透性的材料处于带状电缆的表面，测试结果将会发生变化。进行这种测量的时候，要将带状电缆置于任何导电体或绝缘体的上方几英寸高的地方。

反向耦合是相当大的，易于进行简单的几何计算。因为感性和容性成分近乎平衡，所以你只需计算感性耦合，然后将结果乘以2。感性反向耦合的计算有三个步骤。首先建立从信号线放射出的磁场模式的模型，然后进行综合以获得电线间所捕获的总的流量。最后，将每单位时间流量的变化率转化为电压。

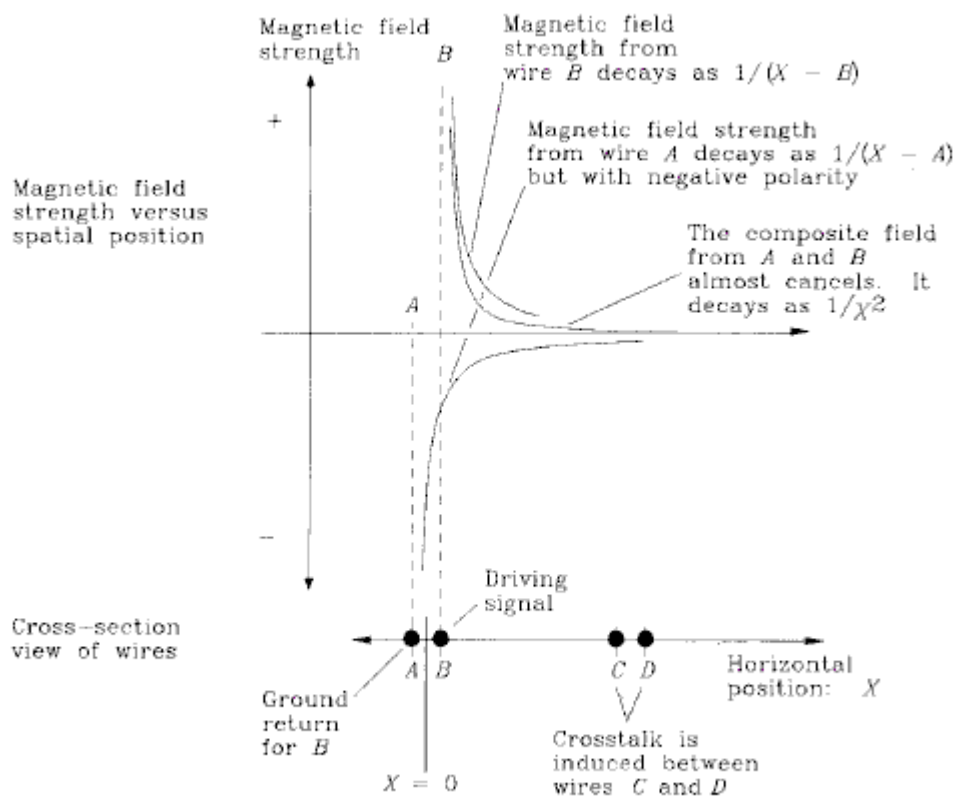


Figure 10.5 Simple crosstalk configuration.

计算串扰的最简单的几何计算是示于图10.5的四线实例。

图10.5中的线B携带着发射信号。我们假定所有沿着线B流出的信号流都沿着线A返回到其源端。因而线A和线B中的电流是大小相等、方向相反的。我们有兴趣计算出线C和线D间感应的串扰。

让我们来利用我们直觉的知识来看一下是否能演绎出最终结果的某些特性。在我们的处理中有如下几点：

- 磁场密度，是离导线的距离的一个函数，随 $1/R$ 的改变而改变。
- 信号线周围的磁场及其回流通路部分抵消。总的磁场剖面正比于 $1/R^2$ ，它是 $1/R$ 的派生物。远离A端和B端的任何小面积上通过的总的流量将随 $1/R^2$ 的变化而改变。
- 信号和回流线周围的磁场的部分抵消正比于它们之间的间隔，称之为 Δ_1 。
- 两条接受线间捕获的总流量正比于它们之间的距离，称作 Δ_2 。

从这四点可以推导出如下关于线对 (A,B)到线对 (C,D)的耦合公式：

$$\text{Coupling is roughly proportional to } \frac{\Delta_1 \Delta_2}{R^2} \quad [10.6]$$

比例常数是电缆特性阻抗及延迟的函数。等式10.7列出了两个线对间的总的反向耦合系数。

$$K_r \approx 2538 (\text{delay}) \frac{1}{Z_0} \frac{\Delta_1 \Delta_2}{X^2} \quad [10.7]$$

这里， K_r = 反向耦合系数；

delay = 线延迟，单位ps/in.；

Z_0 = 传输线特性阻抗，单位欧；

X = 线对间间距，单位in.；

Δ_1 = 线对1的线间距离，单位in.；

Δ_2 = 线对2的线间距离，单位in.；

机敏的读者也许会看出等式10.7中的 K_r 是线对间的互感与信号回路的自感的比率的一半。我们可以通过使用一个低频感应表来测量互感和自感然后取其比率的一半来获得反向耦合系数。

在一跟具有多根地线的电缆中，等式10.7中的耦合比率至少减小了一半并可能会减小到只有原来的1/4。

10.2.2 多根地线的效果

前面的一节中我们假定信号线B的所有回流都沿着地线A返回。实际的带状电缆通常具有多跟地线。返回的信号流总是依据每条路线的电感在所有的地线中分离。更多的回流流经离信号线较近的低感通路，而较少流经远离信号线的通路。

设想在一条电缆中有N跟地线，标记位1到N。让 X_0 等于驱动信号线和其最近的地线间的距离。如果驱动信号线恰好位于两条地线的正中间，则 X_0 等于信号线和两者之一的任何一根地线的距离。任何地线n中的回流严格的由下式确定：

$$I_x \approx \frac{K_1}{1 + \left(\frac{X_n^2}{X_0^2} \right)} \quad [10.8]$$

这里， X_0 = 信号线与第1根地线间距离，单位in.；

X_n = 信号线与第n根地线间距离，单位in.；

I_n = 地线n的回路电流，单位A；

K_1 = 所有回路电流等于信号电流时的常数。

任何信号线中的串扰由导线附近的地线回流量决定。在地-信号-地，或G-S-G模式中，配置通常使用带状电缆，地线和信号线互相交替。每根信号线位于两根地线中间。一根地-信号-地模式的电缆中的串扰，作为到驱动信号线的物理距离 x 的一个函数，紧密的遵循地线信号流的分配：

$$V_r \approx \frac{K_2}{1 + \left(\frac{X^2}{X_0^2} \right)} \quad [10.9]$$

这里， X_0 = 驱动信号线与第1根地线间距离，单位in.；

X_n = 驱动信号线与测试信号线间距离，单位in.；

V_r = 反向耦合系数；

K_2 = 电缆结构所决定的常数。

在等式10.9中系数 K_2 的范围大约在1/10到1/4之间。这符合最近的邻居之间的反向串扰的2-5%的范围。

对于具有较少地线的电缆，其串扰大些但是仍然沿着 $1/x^2$ 曲线衰减。它也同发射线与其最近的地线之间的间隔 Δ_1 以及接受线与其最近的地线之间的间隔 Δ_2 成正比。

在一根稀疏接地的电缆中，使接地点增加一倍，这将使 Δ_1 和 Δ_2 同时减半，从而可以使相隔较远的线间的串扰变为原来的1/4。相邻线减的串扰只有很小的变化，除非我们在它们之间插入地线。

10.2.3 扭绞的效果

当使用正确时扭绞电缆具有独特的优点。将每根信号线同离其最近的回路紧紧的扭绞在一起。这使得电线在物理上紧紧的靠在一起，减小了它们之间的间隔 Δ_1 。扭绞电缆中的每根信号线都应该具有其自身独立的扭绞回流地线。

当信号沿扭绞线 X 传输时，每次电线互相扭绞时线对散发出的磁场便翻转极性。两根线产生的磁场极性相反差不多可以互相抵消。某一处的磁场的极性视其离哪跟线更近而定。当线互相扭绞在一起时，其中的这根或那根便离该点更近些，从而导致其磁场极性翻转。

结果便是一根扭绞线对一对直的平行线对的串扰实际上近乎为零。极性正负交替的耦合产生的净串扰互相抵消了。

只要线对是沿同一个方向扭绞的，则两根相邻的扭绞线之间的净串扰也为零。实现这一效果的前提是线均匀的放置并以恒定的速率扭绞。

实际的扭绞电缆在每个线对中混合了不同的扭绞速率，这可以抵偿在扭绞过程中由于轻微的不对称所引起的某些干扰。如果两个线对的扭绞速率同步，则扭绞机的一个轻微的抖动也许会引入一个恒定的干扰效果。高质量的扭绞电缆或者使用不同的全局扭绞速率，或者对于每个线对随机的改变扭绞速率。除非上升沿的长度延伸到多个扭绞线，否则不能期望利用扭绞来获得很多抵消。用于保证具有抵消效果所需要的扭绞线的数量并非取决于扭绞速率而是取决于电缆中线对间的扭绞速率的最小差。

在一跟单跟电缆中给定两个扭绞线对，求出线对A比线对B多扭绞一圈的长度。我们把这个长度称作两个线对的Precession length。一个Precession length上的总的耦合为零。非整数倍Precession length长度上的耦合非零。要获得完全的扭绞益处，在十亿分之一秒的上升时间上，我们需要英寸

级的Precession length。这要求每英寸上大量的总的扭绞以确保一英寸长或更短的所有线对间的Precession length为1。

幸运的是，扭绞很少出现损伤，所以试一试总比不试要好一些。

扭绞一对通信电线的另外的一个好处是减小了电磁辐射。每个信号的回流的大部分都流入与其扭绞的地线，它们的交替消除了辐射场。

当与不同的传输协同使用时，扭绞电缆真的很有用。不同的信令实际上包含在正信号和负信号之间的微小的回路面积上所有的回流。这使得辐射比单终端传输的辐射级降低了20~30dB。当区分使用时扭绞线对电缆的相邻线对间的串扰是非常低的。

注意当使用扭绞线对电缆适当分配连接器的管脚时，一个偶然的错误可能会导致信号线对的扭绞而非每根信号线与它们的地线进行扭绞。结果是很滑稽的，但是你的上司不会喜欢这样。

扭绞线对电缆通常是配置为扁平的带状。这种电缆一般称作Twist N Flat,它包含大量绑成带状结构的单独的扭绞线对。每几英尺的扭绞线对被制成普通的带有可预测的输出引脚的扁平电缆段，它可以提供大量的终端连接器。因为扁平电缆段同一般的扁平带状电缆的耦合类似，我们不能充分获得扭绞的好处，而是某些有益的结果。这个好处就是我们可以廉价的连上连接器。

10.2.4 测量串扰

图10.6展示了一根带状电缆的标准样本中的远端(前向)和近端(反向)串扰。这根电缆长8英尺，线径为0.05英寸。线型为AGW30，直径为0.01英寸。

电缆始端的驱动波形示于图10.6的顶部。这个波形是在三个不同的上升时间5，10，和20ns上纪录的。不同的响应是用Tektronix 11403数字示波器纪录的，添加在图10.6中。

该电缆有10跟与其他线一起配置两端接地的电线。这是一种地-信号-地式的配置方式。驱动信号穿过6号线，其串扰从8号线上显现出来。8号线的两端，同6号线的远端一样，都是终结于电缆的特性阻抗100欧。

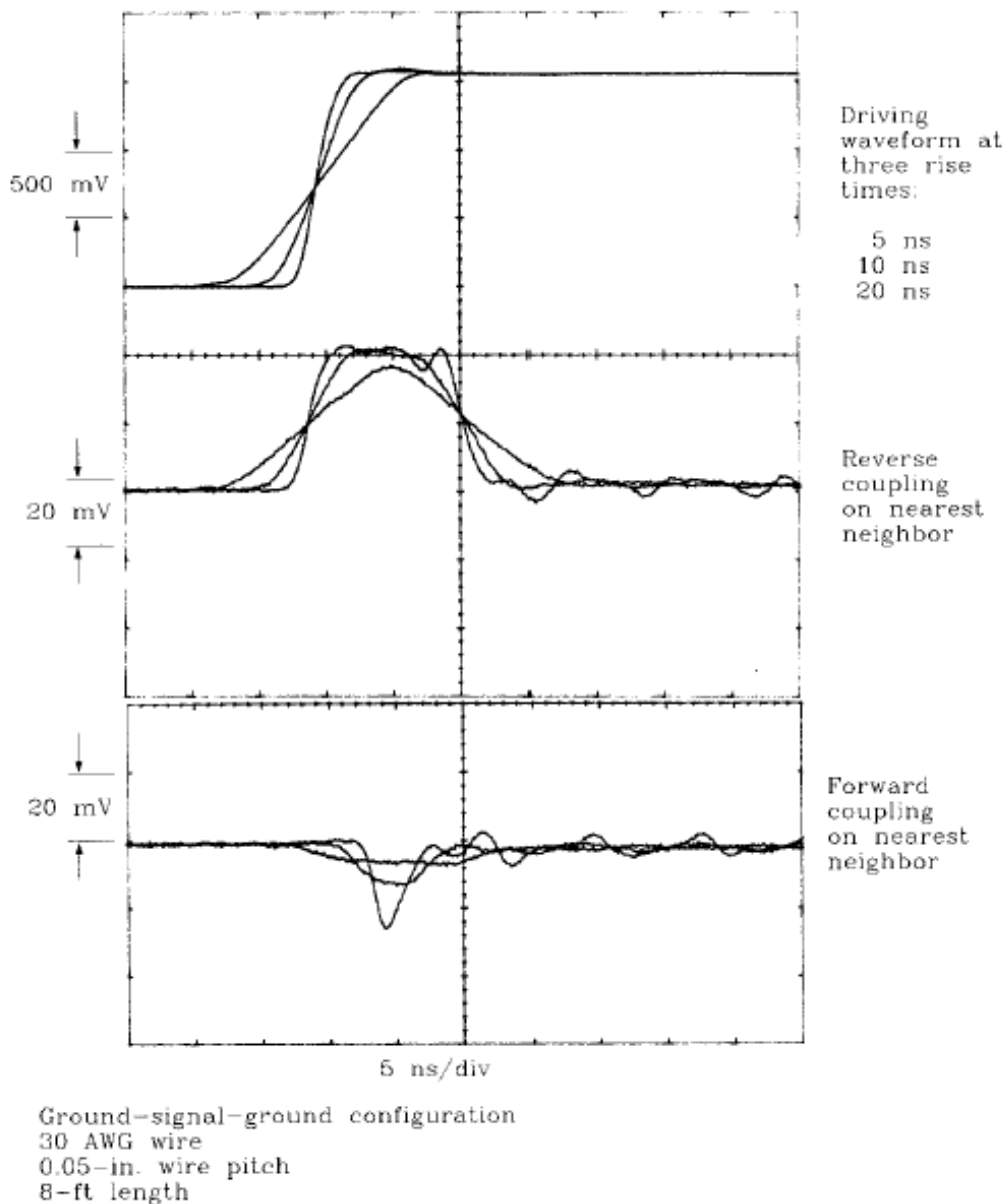


Figure 10.6 Forward and reverse coupling on a ribbon cable.

图10.6的第二部分展示了8号线上的近端（反向）串扰。近端噪声波形的垂直刻度比驱动信号放大了25倍，以便我们可以看到串扰。串扰与信号的比率大约为2.5%。对于G-S-G类电缆2—5%范围内的值都是很正常的。

近端串扰脉冲紧紧跟在驱动信号波形的后面，其上升和下降沿与驱动波形的上升和下降沿相匹配。串扰形成了一个延长的脉冲，这个脉冲长度等于22ns，是电缆单通道延迟时间的两倍（见图5.7）。因而单通道延迟时间一定是11ns。这跟长8英尺长的电缆的每寸延迟时间为：

$$D = \frac{11 \text{ ns}}{96 \text{ in.}} = 114 \text{ ps/in.} \quad [10.10]$$

电缆的有效相对介电常数一定为：

$$\epsilon_r = \left(\frac{D}{C}\right)^2 = \left(\frac{114}{85}\right)^2 = 1.8 \quad [10.11]$$

如果我们大大减缓驱动信号的上升时间，近端串扰将没有时间爬升到它的满幅度。G-SG电缆中单独的线间的近端串扰在满幅度的2-5%处有一个跳跃。

每跟信号线上的串扰在电缆中的每跟线上累积。假定8号线两边的每跟线产生相同的串扰，然后从远端的线按照 $1/(1+n^2)$ 串扰定律增加更多的串扰，我们可以获得2-20%范围内的近端串扰的累积值。

图10.6的第三部分展示了远端串扰。远端串扰波形的比例也比驱动信号放大了25倍。远端串扰是一个短的尖脉冲，而不是近端串扰那样的延长的脉冲。达到最大幅值的1.6%时，这种配置的远端串扰比近端串扰产生更小的麻烦。而且，由于远端串扰延迟很快，我们可以在只有很短的延迟后安全的测试这些数据线。近端串扰保持两个满电缆延迟，当使用低阻抗驱动器时，近端串扰将如5.7.4节所讨论的那样转化为远端串扰，使远端串扰的快速衰减的性能变糟。快速衰减的性能只对有源终结线起作用。

当我们缩短驱动信号时间时，远端串扰将在上升的过程中没有跳跃。图10.6中1ns的上升时间将在这跟电缆中产生8%的串扰。100ps的上升时间可能不会产生80%的串扰，因为那样大的串扰将与驱动信号产生严重的相互影响。我们的串扰计算假定为小的串扰，使我们免于计算这种互相影响。无论如何，我们都怀疑100ps的上升时间将产生那样大的串扰。如果我们用两到三个地把信号分开，则远端串扰将大幅下降。

远端串扰在其沿电缆传输时累积。较短的电缆中的远端串扰要比较长电缆中的小。

近端串扰随电缆长度的增加保持幅度不变，但是会随电缆的伸长而时间上有所延长。

10.2.5 带状电缆的堆叠

当线紧紧靠在一起的时候串扰会显著增加。这不但适用于带状电缆，也适用于其他类型的电缆。

两跟带状电缆彼此顶部紧紧的堆叠在一起比同一跟电缆中的线间显示出更多的串扰。当使用带状电缆时，总是使用电缆分离器以保持电缆分离。

当把电缆折叠放入一个圆形区域时，将看到串扰有类似的增加。

本节要点：

- 给定足够的地线可以获得任何程度的串扰衰减。
- 串扰沿 $1/X^2$ 规律衰减，它与每跟发射线同其最近的回流线间的间隔 $\Delta 1$ 以及接受线与其最近的地线之间的间隔 $\Delta 2$ 成正比。
- 在地-信号-地或G-S-G模式中，配置最近的相邻线间的反向串扰系数大约为2-5%。
- 在扭绞电缆中，如果上升沿在扭绞周期的N个岁差中展开，则其耦合将为一般的平行线电缆中的 $1/N$ 。
- 远端串扰在传输过程中累积。
- 近端串扰随电缆长度的增加保持幅度不变，但是会随电缆的伸长而时间上有所延长。

10.3 带状电缆连接器

在一次快速的敲击中多端连接器同时连到带状电缆的所有线上。当压入扁平电缆中时，多端连接器的引脚穿过电缆绝缘层，与内部连接器接触，并在每根线上形成一个永久的气封。这些连接器，也称作 **Insulation displacement connectors**，只能一次性插入。不要试图移动它打算重用。在插入过程中引脚永久压紧，第二次插入时将不能适当的安装。

多端连接器在带状电缆的一端卷入，另一端接其他的接线端。另一端的接线端可能是凸的或凹的引脚用与同其他类型的连接器进行互连。某些多端连接器具有焊接引脚用于永久性的直接焊接到印制电路板上。

无论机械方案为何，带状电缆连接器总会引入寄生电感和寄生电容。同任何其他连接器一样，你的数字信号环路的性能会因为这些寄生效果而下降。

10.3.1 连接器电感

等式10.12估算了一个环路的自感，该环路由一个单跟信号引脚和一组引脚组成。

$$L = 10.16x \ln\left(\frac{H}{r}\right) \quad [10.12]$$

这里， L = 电感，单位nH；

H = 引脚间隔，单位in.；

x = 连接器引脚长度，单位in.；

r = 连接器引脚半径，单位in.。

使用典型值 $r=0.0125$ ， $x=0.4$ ， $H=0.1$ ，一对引脚上可以得到0.8nH的电感。在如图10.2所示的G-S-G电缆中，由于增加了一倍的地，所以这个近似值要取半。

一个L亨的电感，与 Z_0 欧姆的传输线串联，引入上升时间的性能下降：

$$T_{10-90} = 2.2 \frac{L}{2Z_0} \quad [10.13]$$

我们的8nH单引脚电感与阻值为100欧的线串联产生100ps的上升时间。在G-S-G中，性能下降很小。

10.3.2 连接器电容

等式10.14用于估量单跟信号引脚与一组引脚之间的寄生电容。

$$C = 0.7065 \frac{x}{\ln(H/r)} \quad [10.14]$$

这里， C = 电容，单位pF；

H = 引脚间隔，单位in.；

x = 连接器引脚长度，单位in.；

r = 连接器引脚半径，单位in.；

使用典型值 $R=0.0125$ ， $x=0.4$ ， $H=0.1$ ，每对引脚间可以得到0.136pF的电容。在如图10.2所示的G-S-G电缆中，由于增加了一倍的地，所以这个近似值要增加不止一倍。

电容为C法，旁路一根电阻为 Z_0 欧的传输线，将引入上升时间的degradation：

$$T_{10-90} = 2.2C \frac{Z_0}{2} \quad [10.15]$$

0.136pF的单引脚电容，当旁路一根100欧线时，产生15ps的上升时间。在G-S-G配置中，degradation将更大。

10.3.3 交错连接以降低寄生效应

当工作在亚纳秒级速度时，寄生效应起到很重要的作用。任何可以降低其影响的方法都是有用的。

AMP制作的一种多端带状电缆连接器，对于高速电路工作的特别好。他们的连接器型号为：AMP 1-111037-1。这种连接器在一端提供了绝缘移置引脚用于压入带状电缆。另一端提供了焊接引脚用于永久性的直接固定到印制电路板上。不具备分离特性缩短了引脚，减小了总的寄生效应。

AMP 1-111037-1连接器还交错其管脚配置，如图10.7所示。交错效应增加了串联电感而减小了旁路电容。对多点总线连接器而言，交错管脚是一种很好的折衷方案。

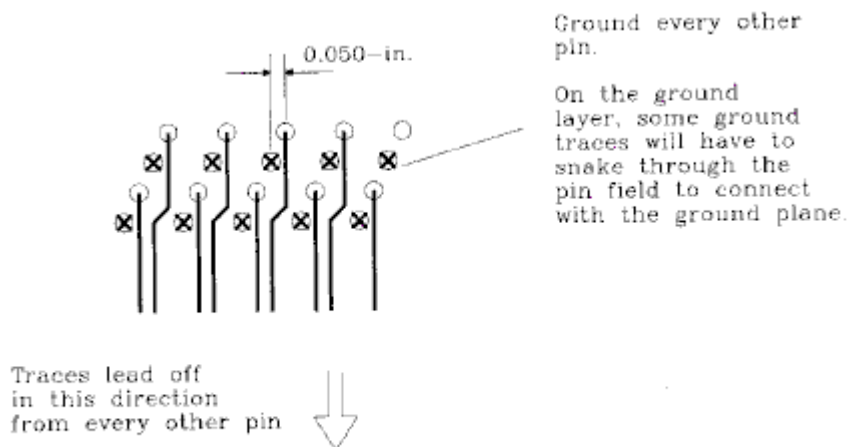


Figure 10.7 Staggered ribbon cable connector pins reduce parasitic capacitance.

本节要点：

- 今天带状电缆的增生扩展是因为与多端连接器配合使用，使得其相当便宜。
- 无论连接器是怎样设计的，总要引入寄生电感和寄生电容。

10.4 带状电缆电磁干扰

当在机柜间使用时带状电缆会遇到严重的电磁干扰问题。为了适应这个问题，这些电缆的制造商们制造了几种类型的屏蔽带状电缆。

屏蔽为信号电流提供了低感回路。由于回流沿着最小感性回路传输，屏蔽趋向于将回流集中在屏蔽区中。这减小了流入其他更远路线的电流。

10.4.1 扁平金属片包装

长的带状金属薄片包裹或螺旋式包裹带状电缆形成了一个连续的可靠屏蔽。对于螺旋式包裹，要确认交叠螺旋层间的每个接合点都同前一层具有坚固的电气连接。否则回流将不得不沿着信号线迂回到其源端。

将扁平的遮蔽物接地到产品的底盘是一种很笨拙的方法。连接器不能以一种综合的方式同时处理薄金属片遮蔽和信号连接的问题。要避免9.7节所讨论的消耗效应，必须首先在机框内部使用

屏蔽，然后沿着它的两边切开屏蔽并将其从带状电缆的两面剥掉。顶层和底层的屏蔽部分都必须在入口点电气连接到底盘。

10.4.2 一边扁平屏蔽

扁平带状电缆的一边绑上一个扁平的铜网可以提供几个好处。首先紧密靠在一起的铜网如同一个接地层，降低了电缆中各个单独的线间的串扰。结合铜网比薄金属片包裹更为统一，可以提供更好的传输线特性。第二，铜网为返回信号流提供了一个低感通路。

铜网通常有一跟接地线连接，用于电气连接到地。接地线是这个系统中的不牢固点。如果你可以找到一种可以直接将铜网连接到接地层的方法，则将更为有效。

一些灵活电路的制造商们现在已经可以生产两面弯曲的电缆，一面接地，另一面走信号。这些弯曲电缆可以有镀金的过孔，将所有的信号和地线放到电缆的一侧以便焊接或用于其他方式的连接。

10.4.3 折叠（圆形）屏蔽电缆

制造商可以将带状电缆折叠或卷曲成圆形，适合普通的圆形屏蔽外壳。在这种形式下带状屏蔽电缆看上去就象一个一般的多线屏蔽电缆。

这些电缆具有多端连接器和屏蔽的双重优点。然而屏蔽，也只是同该屏蔽层与一个很好的地相连时的连接一样好。

本节要点：

- 屏蔽为信号流提供了很低的感性回路。
- 对于螺旋式包裹，要确认交叠螺旋层间的每个接合点都同前一层具有坚固的电气连接。
- 在任何屏蔽中消耗线是一个不牢固点。

高速数字电路设计教材

拟制:	_____	日期:	_____yyyy-mm-dd_____
审核:	_____	日期:	_____yyyy-mm-dd_____
审核:	_____	日期:	_____yyyy-mm-dd_____
批准:	_____	日期:	_____yyyy-mm-dd_____



华为技术有限公司
版权所有 侵权必究

目 录

第11章 时钟分发	2
11.1 时间裕度	3
11.2 时钟漂移	4
11.3 使用低内阻驱动器	7
11.4 使用低阻抗的时钟传输线	9
11.5 多时钟线的始端匹配	10
11.6 时钟线上的串扰抑制	12
11.7 延时调节	12
11.7.1 固定延时	13
11.7.2 可调延时	14
11.7.3 可自动编程延时	16
11.8 差分时钟信号	18
11.9 时钟信号的占空比	18
11.10 消除时钟再生器的寄生电容	19
11.11 时钟总线上的衰减时钟接收器	21

第11章 时钟分发

摘要:

在数字系统中时钟信号的变换比任何其它信号都快，时钟频率至少是单板上任何数据传输频率的两倍。时钟信号不但是最快的信号，而且还是驱动负担最重的信号，在系统中时钟信号要连接到所有时钟驱动的触发器上，而一般数字信号只驱动个别的几个器件。

正因为时钟信号频率高而且驱动负担重，所以在设计中需要重点考虑和关注。本章将介绍时钟驱动、特殊的时钟布线规则和用以改善时钟信号分发的特殊电路。

11.1 时间裕度

图11.1中的电路是两位环形计数器，当时钟频率比较低时，Q1的输出始终以(…00110011…)的规律重复。

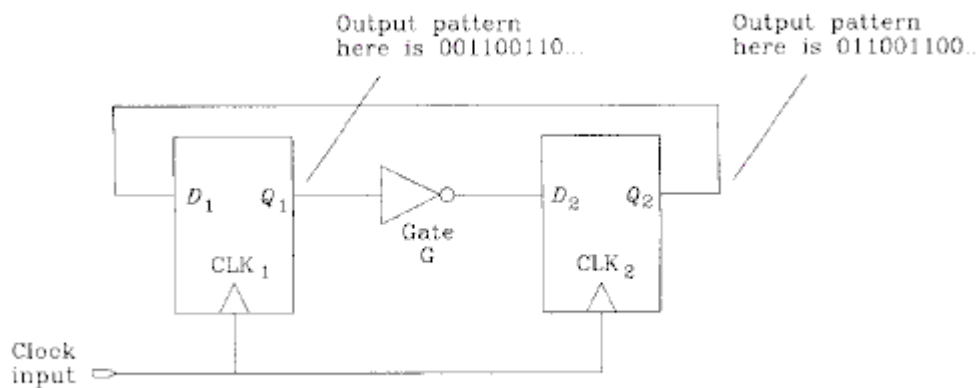


Figure 11.1 A 2-bit ring counter.

我们提高图11.1中时钟频率，直到电路不能正常工作。电路不能正常工作的原因是触发器2的建立时间不够。在该电路不能正常工作的频率下，Q1通过门G输出的数据不能满足D2要求的建立时间。图11.2解释了这种电路不能正常工作的原因。当时钟大于等于工作极限频率时，该电路就不能有规律地输出0011的循环。这种失效称为时间裕度失效。

在图11.1的电路中，时间裕度定义为信号从G中输出有效到信号在D2中的有效建立时间之间的一段时间。

时间裕度表示的是每个时钟周期的裕度时间。若系统中所有电路的时间裕度比较大，则通常该系统可在较高的时钟频率下正常工作。

当图11.1中的时钟频率达到极限，则时间裕度降为零。在该极限频率下电路是不能正常工作的。所有的正常操作条件都要求实际频率低于该极限频率，以便留出一点正的时间裕度来。正的时间裕度可以避免因串扰、错误计数等而引起的电路错误。

有些设计人员预留的时间裕度大约为一个逻辑门的延时，这样当使用低速类逻辑器件就需要预留较多的时间裕度，而当使用高速类逻辑器件就可以预留较少的时间裕度。如此使得时间裕度在很宽的设计范围内保持延时的固定百分比。设计人员必须判断是多少多余的时间裕度可以接受。

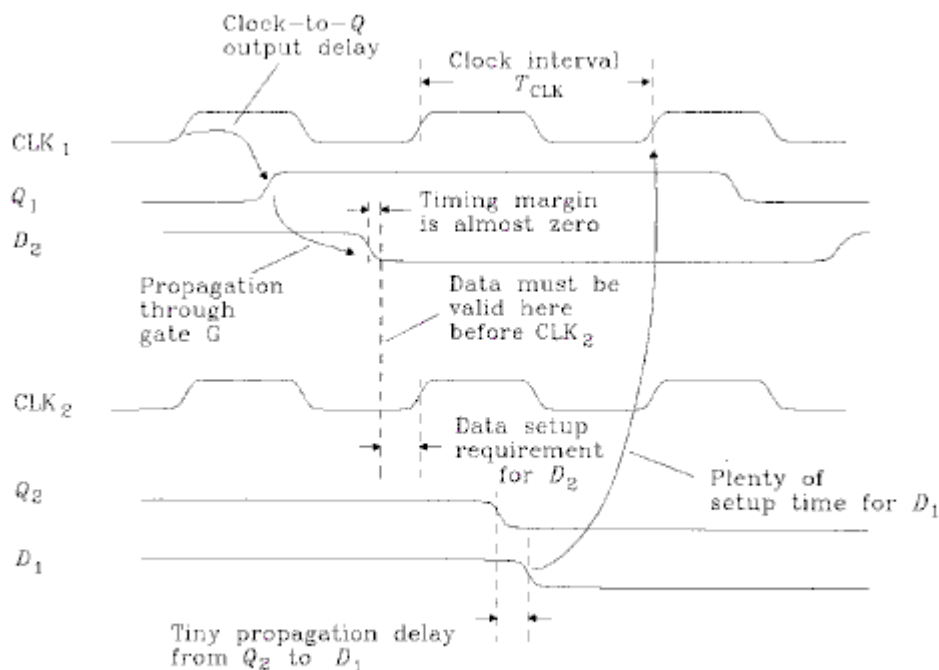


Figure 11.2 Timing analysis of a 2-bit ring counter.

时间裕度决定于逻辑路径的延时和时钟周期的长短。太长的路径延时或太短的时钟周期都会导致时间裕度需要缩短。时钟信号CLK1和CLK2之间的不同延时也会导致时间裕度的非正常缩短，这一点将在下一章解释。

本节要点：

- 时间裕度反映了一个时钟周期中的时间剩余。
- 时间裕度可以避免因串扰、错误计数等而引起的电路错误。

11.2 时钟漂移

让我们着重关注一下时间裕度。图11.3仔细研究了前面的环形计数电路，揭示了时间裕度分析的过程。

我们首先找一下最坏的时间裕度。在图11.3中，我们计算了通过逻辑门G可能最迟到达的脉冲时间，并与触发器2所要求的可能最早到达时间进行了对比。

通过逻辑门G可能最迟到达的脉冲时间为：

$$T_{\text{slow}} = T_{C1,\text{max}} + T_{FF,\text{max}} + T_{G,\text{max}} \quad [11.1]$$

其中 T_{slow} = 通过逻辑门G的脉冲最迟到达时间，单位s；

$T_{C1,\text{max}}$ = 路径C1的最大延时，单位s；

$T_{FF,\text{max}}$ = 触发器1时钟到Q的最大延时，单位s；

$T_{G,\text{max}}$ = 逻辑G包括线路的最大延时，单位S。

在公式11.1中，所有元素我们都用到了最大延时，同时假设我们关注的时钟脉冲在零时发生，没有用到绝对的参考时间。

在下一个时钟脉冲，通过G的脉冲被触发到触发器2。这个时钟发生在时间 T_{CLK} ，通过路径C2传输到输入端CLK2。该时钟到达CLK2的最早时间是 $T_{CLK} + T_{C2,min}$ 。触发器2在CLK2前最少需要 T_{setup} 的时间作为建立时间。则触发器2要求的脉冲到达时间为：

$$T_{required} = T_{CLK} + T_{C2,min} - T_{setup} \quad [11.2]$$

其中 $T_{required}$ = 通过G的数据必须到达的时间，单位s；

T_{CLK} = 时钟周期，单位s；

$T_{C2,min}$ = 路径2的最小延时，单位s；

T_{setup} = 触发器2所需的最长建立时间，单位s；

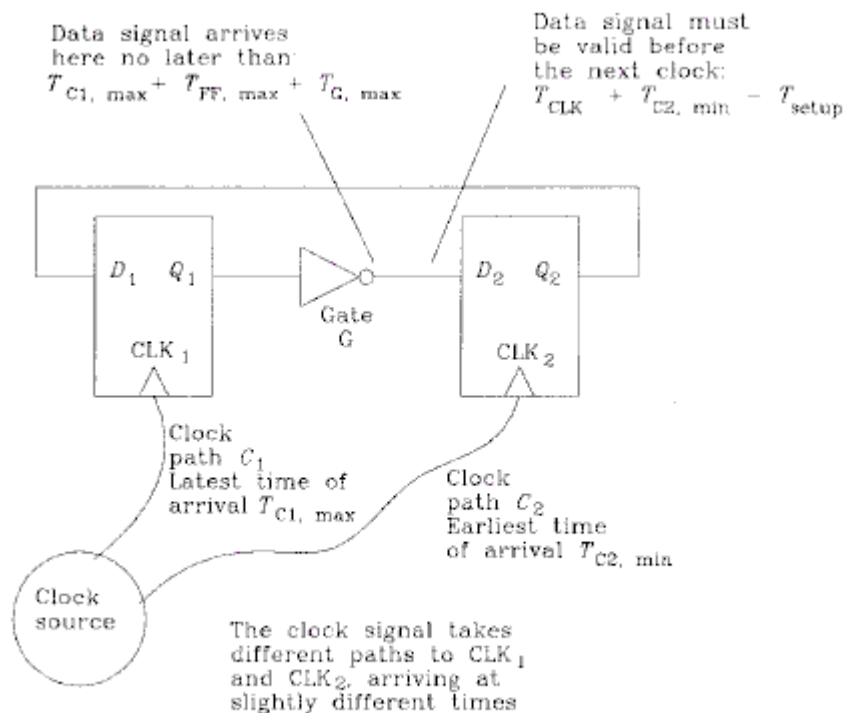


Figure 11.3 Timing analysis showing clock skew.

在公式11.2中用到了路径C2的最小时延，这将是最好情况。

通过G的数据必须早于 $T_{required}$ 到达触发器2，以满足触发器2的建立时间。以数学公式的形式表达为：

$$T_{slow} < T_{required} \quad [11.3]$$

将公式11.1和11.2代入公式11.3得：

$$T_{CLK} > T_{FF,max} + T_{G,max} + T_{setup} + (T_{C1,max} - T_{C2,min}) \quad [11.4]$$

也就是说，时钟周期必须大于触发器延时、逻辑门G延时和建立时间。这三项因素是必然存在的。公式11.4中的最后一项因素有更丰富的解释，它是时钟到达点CLK1与CLK2之间的时间差，这个时间差称为时钟漂移。如果时钟到达触发器1比较迟，则Q1的输出也将比较迟，则我们的时间裕度将恶化。另一方面如果路径C2的延时特别的短，触发器2比较早的被时钟触发，则要求数据更早的到达触发器2以满足建立时间，这也将使我们的时间裕度恶化。为了解决时间裕度恶化的问题，我们必须增加时钟周期的长度，付出降低系统性能的代价。时钟漂移就是影响时间裕度的一大因素。

时钟2到达的迟，而不是早，又会怎样呢？那将产生比较大的时间裕度。一些设计者在顺序处理的网络中用到了这一效果，他们仔细安排各阶段时钟到达的时间，以使系统的效能最大化。如果系统中含有从后面阶段向前面阶段的数据反馈，则上面的方法就不起作用了。在图11.3的电路中，延迟到达触发器2的时钟，将会增加D2的时间裕度，但会缩短D1的时间裕度。大部分的设计者仅仅是通过努力缩短时钟漂移来提高系统的性能。

从公式11.4中可以看到，我们关心的是时钟时延的差，而不是绝对时钟时延，当两路时钟时延一样长时，绝对时钟时延是不起作用的。

在实践中，时钟周期通常是由晶震控制的，实际时钟周期非常精确，但如果时钟周期不是由晶震控制的，实际时钟周期不够精确，则设计上名义频率一定略微低一些，以保证实际时钟周期大于 T_{CLK} 。

例11.1：系统时间预算

下面是对用10E型号的ECL构筑的系统的系统级时间预算，以ps为单位，它包括四种延时：

(1) 触发器传播 10E131	700	
+ 建立时间	150	
	850	850
(2) 触发器之间的逻辑时延		
10E171 MUX	850	
+ 4英寸电路的时延	740	
以上和的3倍	*3	
	4770	4770
(3) 时钟漂移		
每逻辑门最大减最小 10E111	50	
+ 2英寸电路差的时延	370	
	420	420
(4) 15%的时间裕度	1065	1065

时钟周期(=135MHZ)

7105

由上面分析知,当触发器的时钟频率在135MHZ以下时,该系统能正常工作。此最保守的估算由逻辑的三部分构成。

时钟分发系统是由一个时钟源驱动两个型号为10E111的时钟输出端构成。输出端间的最大时钟漂移加上允许的时钟路径长度的不同而带来的时间差大约占整个时间估算的10%。以上说明了好的时钟分发系统对系统的极限频率的影响不大。

从公式11.4中我们可以看到,时钟漂移和其他的传播时延一样对整个系统的速度有很大的影响。我们通常的感觉是,在一个电路板中,时钟信号的数量比其它信号要少的多,因此我们可以重点关注时钟线,这样可以花很小的代价而使时间裕度得到大的提升。

一些生产商已经生产出了驱动多根时钟线的驱动芯片,这种驱动芯片的内部结构减少了各输出管脚之间的时钟漂移。比如MOTOROLA的MC10E111,它有一个输入,9个内阻为50欧姆的不同输出,所有这9个的输出的时钟漂移在50ps以内。

本节要点:

- 时钟漂移和其它的传输延时一样,对系统的整个速度有同样大的影响。

11.3 使用低内阻驱动器

降低时钟漂移的最好方法包含两部分:

- (1) 使所有的时钟输入端紧紧地靠在一起;
- (2) 用同一个时钟源驱动它们。

如果系统包含一些不能在空间上靠在一起的时钟输入端,则这种简单有效的方法将不起作用。

在这种情况下,尽力使用网状时钟分发网,它就如同图11.4所画的那样,将一个时钟源分发到N个远端的目的地。反射被网末端的电阻R吸收,驱动电路的总体负载为R/N。

用75欧姆的传输线,则驱动3个输入端的驱动器的负载为25欧姆,一些商用芯片可以驱动负载那某重,但不是很多。

独立的低内阻放大器可以驱动不少输入端,图11.5中用变压器将高阻抗、高电压的输出转化为低阻抗、高电流的输出。

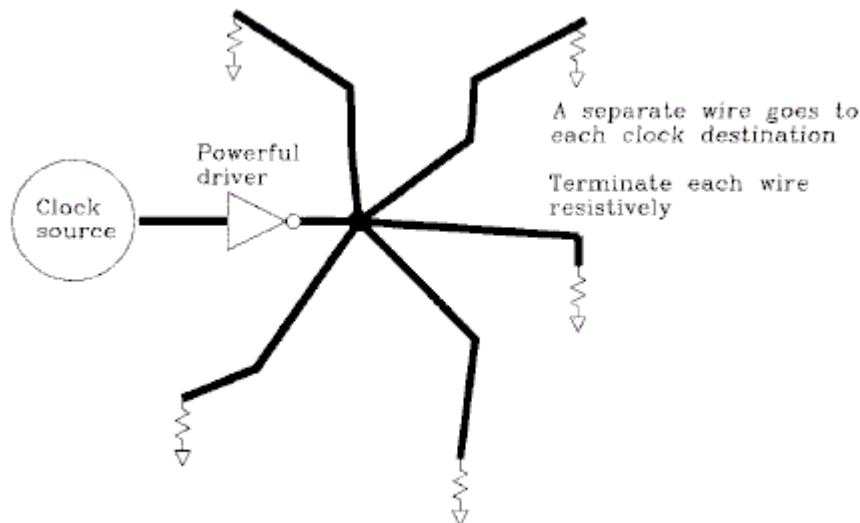


Figure 11.4 Spider-leg clock distribution network.

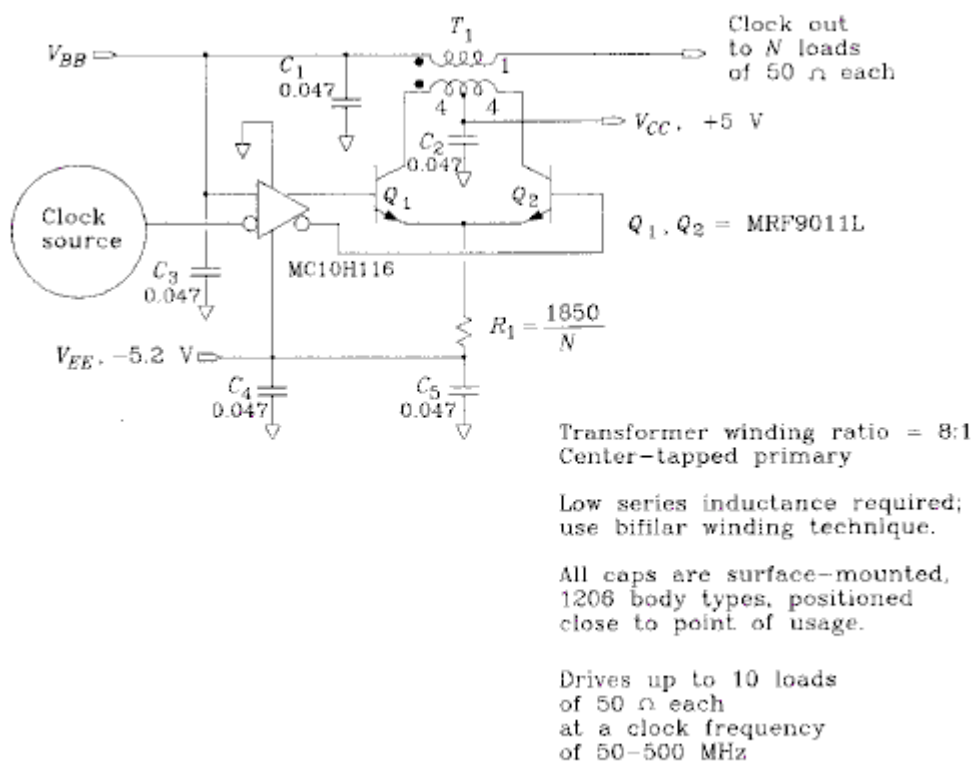


Figure 11.5 ECL clock amplifier.

用TTL构成的类似电路需要更高的偏移电压(+12, -5)和更大规模的逻辑。TTL电路所需的驱动功率是ECL电路的25倍, 以获得大的TTL摆动电压(4V~0.8V)。

用图11.5所示的ECL电路时, 要根据要求的输出电流合理地安排电阻R1的大小。

图11.6的时钟分发树是通过消耗大的功率来获得多路的时钟输出, 这个结构通过三层网状结构将时钟分发到最终的目的地。使树结构中的各输出门的结构对称, 可以有利于减少时钟漂移。

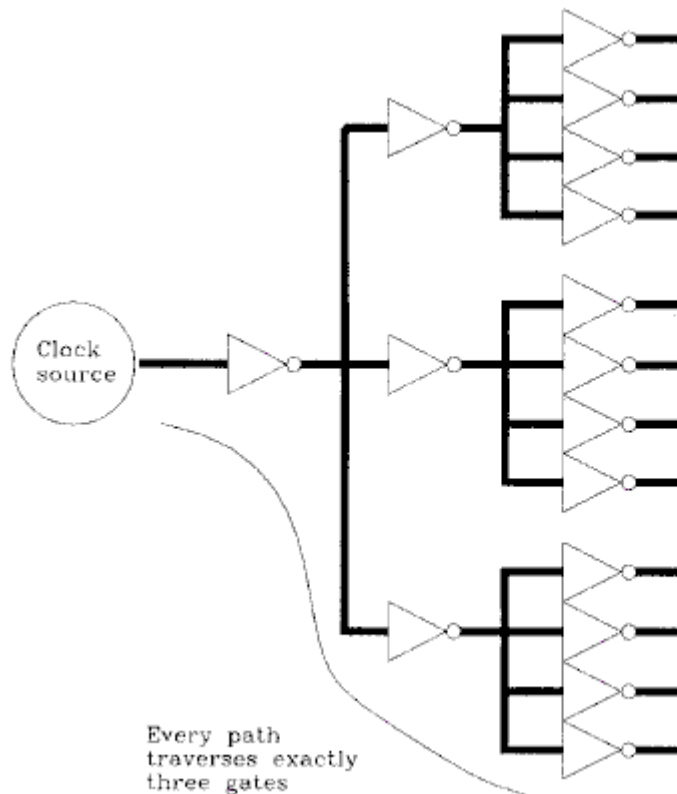


Figure 11.6 Clock tree.

本节要点:

- 两个或多个输出平行的连接起来可以增加驱动能力。
- TTL的时钟信号所需要的总体驱动功率是ECL电路的25倍。

11.4 使用低阻抗的时钟传输线

图11.7所示的时钟线为很多时钟输入提供服务。当时钟信号通过每一个输入端时，它的上升沿都会变长，同时有一个小的反射脉冲沿着此时钟线传回。这个反射脉冲将会干扰信号的接收。

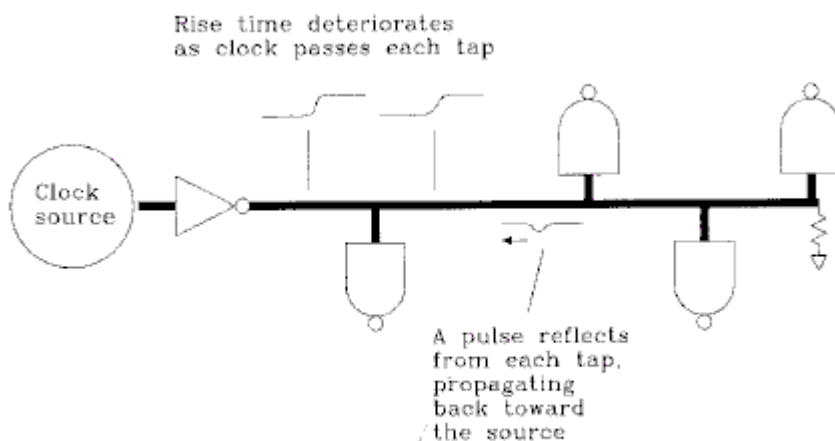


Figure 11.7 Clock driver serving many loads.

每个反射脉冲的幅值与 $-C(Z_0/2)$ 成正比例。降低反射脉冲的幅值的三种手段是：

- (1) 减缓时钟驱动的上升沿
- (2) 减少每个输入节点的电容

(3) 减少时钟传输线的特性阻抗 (Z_0)

第(1)项说明太快的逻辑会影响你的应用系统的工作。所以我们选择时钟驱动时, 速度恰好满足我们估算的时钟漂移即可。

在多输入端的时钟总线上, 确定了时钟输入端的输入电容后, 则影响第(2)项的另外两个因素是插接端子的寄生电容和到输入端的印制板上的导线电容。

第(3)项与时钟线的物理几何形状有关。时钟驱动器必须与时钟传输线的阻抗相匹配。驱动20欧姆阻抗时钟线的双驱动器对输入端的电容敏感度只是50欧姆时钟线的2.5分之一。

在多输入点的总线上, 各业务单板被频繁地插入和拔出, 所以就要求它可以适应各种负载, 降低线路上的阻抗, 有利于防止负载的变化对时钟漂移产生大的影响。

当我们设计低阻抗线路时, 要使用附录C中的特性阻抗公式, 而不要用第4章给出的简化公式, 这种简化公司对于预测低阻抗传输线的阻抗时, 效果不好。

本节要点:

- 20欧姆的时钟线对输入端电容的敏感度是50欧姆时钟线的2.5分之1。

11.5 多时钟线的始端匹配

以图11.8为基础, 一些工程师正在努力设计由单一驱动器驱动的多条始端匹配的时钟线。从此图中可以看出, 始端匹配的传输线的输入阻抗是末端匹配的两倍, 而且 $2T$ 秒后所需要的驱动电流降为零, 从而降低了平均功耗。这些事实促使我们假设单个驱动器可以驱动多条始端匹配的传输线。

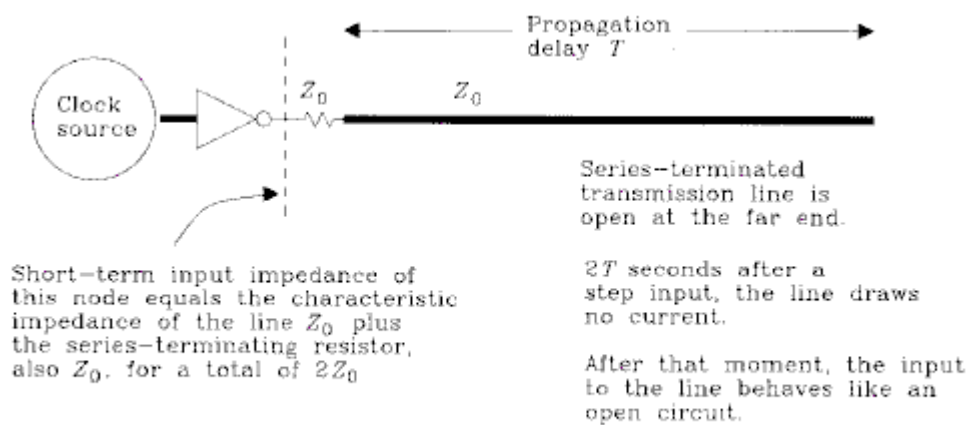


Figure 11.8 Short-term impedance of a series-terminated line.

仔细分析一下初始化条件可以看出, 始端匹配与末端匹配所需要的峰值电流是一样的。在高速的情况下, 我们的电路不但需要平均驱动能力, 还需要峰值驱动能力。

在理论上, 一些驱动电路输出的电流足可以驱动两条始端匹配的传输线, 那实际情况它真可以驱动两条或以上的始端匹配线吗? 回答是肯定的, 但仅是在满足图11.9所示的条件下。

理解图11.9的诀窍是要认识到这两根线路是相互作用的。不考虑其它线路的影响, 我们是无法正确分析其中一根线路的。这两根线之所以相互作用, 是因为驱动器有一定的输出阻抗。

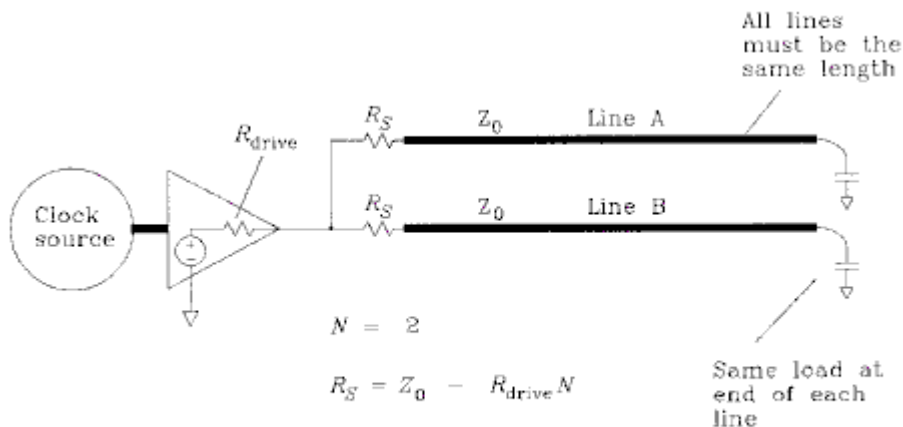


Figure 11.9 Single clock driver feeding two source-terminated lines.

如果驱动器的输出阻抗为零（这是不可能的），线路间就不会存在相互影响，我们就可以简单地分别把每一根线路用 $R_S=Z_0$ 进行串联匹配。不幸的是，驱动器的输出内阻存在的事实，迫使我们考虑它们间的相互影响。下面我们将介绍怎样去分析这种情况。

考虑到前面的结论：非零内阻驱动器驱动的多根始端匹配的时钟线，只有它们的长度和负载相等时，才能正常工作。始端匹配电阻必须等于

$$R_S = Z_0 - R_{\text{drive}} N \quad [11.5]$$

其中， R_S = 始端匹配电阻，单位欧；

Z_0 = 传输线阻抗，单位欧；

R_{drive} = 驱动器的有效输出阻抗，单位欧；

N = 驱动分支数。

当驱动一根线路时（ $N=1$ ），由公式11.5可以推出与 Z_0 匹配的整个始端匹配阻抗为（ R_S+R_{drive} ）。这是常用的始端匹配。当驱动多根线路时，由公式11.5推算出了比较小的始端匹配电阻值。当 N 足够大时，由公式11.5推算出了负的电阻值，这在实际中是不存在的。

下面我们分析一下图11.9中的传输线。

在图11.9中，一个脉冲沿着传输线A传向负载，然后反射回来，因为进行了始端匹配，所以在驱动端没有进一步产生反射。如果在图11.9中未做始端匹配，驱动器的输出内阻比传输线的特性阻抗低，从A返回到源端的反射将被进一步产生一个负反射，如此不断进行，这就将出现问题。

另一方面，当A上的反射电流通过电阻 R_{driver} 倒灌到驱动器时，将在驱动器的输出端产生一个电压，这个电压耦合到了传输线B上，正的串扰脉冲耦合到B上的电压也是正的。

因此，我们知道，在A上的脉冲可以在A上产生一个负反射，同时在B上产生一个正串扰。

现在我们同时考虑传输线A和B的远端脉冲反射，如果这些脉冲同时到达驱动端，每一条传输线将会在自己上面产生一个负的反向脉冲，同时在另一条上产生一个正的串扰。如果我们仔细调节阻值的大小，可以使负反射与正串扰相互抵消。结果就可以构成一个完美的匹配系统。

使反射与串扰相互抵消的条件非常苛刻，它们是：

- （1）传输线必须等长（这保证了反射脉冲将同时到达始端）
- （2）负载必须平衡（这保证了反射脉冲的形状相同）
- （3）电阻阻值必须满足公式11.5

公式11.5用始端匹配电阻来保证传输线A上的负反射脉冲恰好被传输线B在A上产生的正串扰所抵消。公式11.5适用于多条长度相同，负载一样的传输线。

在现实中各传输线之间很难存在完美对称，这样每条传输线之间的反射与串扰就不会完全抵消，就会存在系统振铃现象。

本节要点：

- 在严格的条件下，单个的驱动器可以驱动两条或多条始端匹配的传输线。

11.6 时钟线上的串扰抑制

在第5章中阐明了串扰与线间距的关系。在一致的地平面上，线间距增加一倍，则串扰减少四倍。时钟信号是个棘手的信号，我们要给它施加格外的串扰防护措施。增加格外的串扰防护包含两方面的内容：物理的手段和逻辑的手段。

物理手段比较简单：在时钟走线周围留出额外的空间或将时钟走线单独放在夹在地平面间的一个布线层中。

逻辑手段就比较复杂，首先必须鉴定和在原理图或网络表中手工标出易出问题的时钟线。专门的布线要求必须通知布线人员。布线人员或是遵循布线要求或是忽略。布线人员与原理图设计者很少在同一个部门，我没有对布线专业人员的否定的意思，但事实上他们很少按照你的一大堆复杂的特殊要求去做。

写一条指令控制时钟线在单独的保护层中走线是简洁易理解的，一些工程师采用这种方法，虽然占用了单独的一个走线层，但却达到了他们的目标，也是值得的。

另一个好的方法是通过对网络的分类，分别赋予他们不同的布线特性来控制走线，对于时钟类网络，可以使它们的走线离其他走线远一些，从而减少串扰。每年都有大量的自动布线软件包包含这一特性，但使用它的数字设计工程师却很少。

如果你的布线软件包不支持网络分类布线法，但它一定会支持不同的走线宽度，使所有的时钟网络的走线比较宽，可以防止布线时其它的走线离它太近。布完线后，再将所有的时钟线变回窄的线宽，就可以留出足够的线间距以抑制串扰。该方法的缺点是，宽的时钟走线无法适应集成芯片窄的管脚距。

为了留出所要求的线间距，一些设计师采用在布线阶段插入防护线，最后再将这些防护线去掉的方法，在布线阶段暂时的防护线可以迫使其它线远离高速时钟线，以减少串扰问题。

本节要点：

- 提供串扰额外防护的物理方法比较简单，逻辑方法比较复杂。

11.7 延时调节

在公式11.4中的时钟漂移项包含了两条传输延时的差值，仔细地平衡两条时钟传输路径可以减少时钟漂移。

有时我们可能需要微小的正（或负）时钟漂移。延迟（或超前）时钟通常会使一部分的电路的时间裕度增大，而使其它部分的减小。只有当对整个电路的时间模式有了一个好的理解后，才能有目的地利用时钟漂移。

由于我们有时对有目的的非零时钟漂移感兴趣，工程师们在解决时钟分发中存在的问题时，往往是通过减少时钟到达时间的不确定性来实现，而不是简单地通过任何地方都减小时钟漂移来实现。

根据设计的要求，时钟调节可以达到低漂移或有目的的漂移的作用。这两种情况用到的原理都是一样的。时钟延时的调节有时称为时钟相位的调节。这个概念会使我们联想到时钟是周期性的波形，是一个粗略的正弦波。

11.7.1 固定延时

固定延时是一种最简单的时钟调节形式，它可以产生装配后固定不变的可预知的时延量。

在电路中，固定延时可以补偿别处的名义延时，以使名义延时与设计延时相一致。

固定延时是通过三个地方产生的：传输线，逻辑门和被动集成电路。每个部分的贡献如表11.1所示。延时线对于短的延时比较合适而且非常精确；逻辑门延时比延时线占用的板上空间小，但精确度要差一些；集成电路延时可以产生最宽范围的延时，它的延时偏移主要取决于构成它的模拟器件的质量。

TABLE 11.1 FIXED DELAY ELEMENTS

	Practical amount of delay (ns)	Variation in delay (%)
Delay line	0.1–5	10
Gate delay	0.1–20	300
Lumped-circuit delay	0.1–1000	5–20

延时线直接印在印刷电路板上，要浪费很大的印制板空间。图4.28注释了一条采用FR-4底层的0.010英寸厚的外层印制延时线的典型结构。用0.025英寸的线宽的内层传输线产生ns级的延时，大约要占0.135平方英寸的印制板面积。以次推算，产生7ns的延时大约要占1平方英寸的面积，这个面积已经是非常大了。

当用印制线作为传输延时线时，一定要记住随温度的变化。对于采用FR-4材料的底层，在0---70℃的温度范围内，将有10%的传输速度变化。

一些商用的传输线周围包围着磁可穿透性的材料，这种材料可以增加每英寸的延时，从而缩短延时线。这种延时线对于表面贴的封装和DIP封装的器件要不要缓存都是有效的。

剩余的门逻辑也可用来作为有效的延时工具。用门逻辑作为延时手段存在的问题是，虽然所有的生产商都注明了门逻辑的最大传输延时，但很少有注明最小传输延时的。门逻辑的延时变化是如此的大，以至有时它对时钟漂移的恶化甚于帮助。不幸的是，在门阵列或定制芯片内部，除了选择门逻辑作为延时元素别无选择。

图11.10所示的集成电路，当采用CMOS门时，可以产生一个无噪音的延时。图中的RC电路可以减缓上升沿，从而拖延第一个逻辑门到第二个逻辑门的脉冲传播。

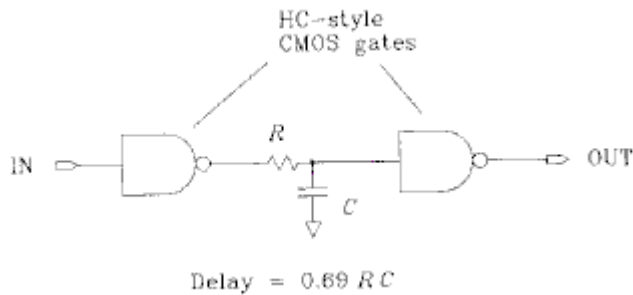


Figure 11.10 Lumped-circuit delay element.

模拟器件 R 、 C 的值的精确度决定了此电路延时的精确稳定度。后面输入门的输入端的寄生电容也影响此电路的延时精确度。

块延时电路应用中存在的第二个问题是，逻辑跳变电压阈值的不确定性。图11.10所示的电路中，当输入到第二个门的电压大于电压阈值时，输出状态切变，如果电压阈值不确定，则输出切变时间不确定。

由于TTL和HCT电路的切变电压阈值更加接近地，而不是电源，所以RC的延时电路对上升沿的延时比下降沿的延时更少一些，而理想延时电路对上升沿与下降沿的延时应当一致。

在高、低输入端连有匹配电阻的差分接收器的阈值电压是对称的，此种接收器对于TTL、HCT电路是有效的，它的前面加上RC电路就可以产生理论上上升沿与下降沿相等的延时。

采用TTL逻辑门，图11.10所示的电路的性能将很差，在这个应用中CMOS电路性能交好，是因为它们几乎不需要直流输入。当输入到第二个门的电流达到渐进线时，将没有电流流进CMOS输入管脚。电阻 R 引起的电压降为零。此电路用CMOS器件时，将不会有电压余量的勋失。

当用TTL电路时，在逻辑低的状态TTL输入端需要的输入电流一定流经电阻 R ，为了维持所需的电压余量，要求电阻 R 小于100 欧姆。我们也可以试着用磁珠替代图11.10 中的电阻，电感不会对直流产生压降，因此可以对TTL输入端提供电流而无须产生压降损耗。

不要试图使用正常的逻辑门在一级延时电路中产生多于12%的时钟延时。要产生比较多的延时的话，可以通过用逻辑门隔离的多级延时电路来实现。当用RC延时电路对方波进行12%的延时，RC的响应没有时间完成脉冲边沿间的冲放电过程，此时输出的方波大略是名义值的10--90%。越多的延时使输出方波的幅值越小。

在商业上好的延时电路都综合采用了传输线延时、逻辑门延时和块电路延时。

无论采用何形式的延时电路，都要将延时的不确定性考虑到你的时间裕度计算中。

11.7.2 可调延时

可调节延时可以补偿电路中的实际延时，使其接近名义延时。组装完成后，技术人员必须进行矫正，作为最后测试环节的一部分。任何正确的矫正，都可以减少由于实际器件的延时和单板加工过程中的变动性造成的时钟漂移。

不要假设你们的生产工人理解你提供的矫正含义。你要为每一个矫正写一个测试过程，说明在该处怎样测量时钟延时，指出正确矫正的限度。

三种基本的延时方法是：传输线延时、逻辑门延时、块电路延时。所有这三种延时都是可以调节的。

延时线调节是分级进行的，图11.11说明了典型的延时线调节，它含有五级调节。

图11.12解释了一种更加灵活的延时调节方法，它用了8个跳线产生了16级不同的延时，每对跳线对应的延时分别是1、2、4、8倍的基本延时 T 。通过跳线可以选择任何延时部分的组合。尽管图11.12所示的电路功能强大，但它太复杂了，通常简单的电路不易出错。

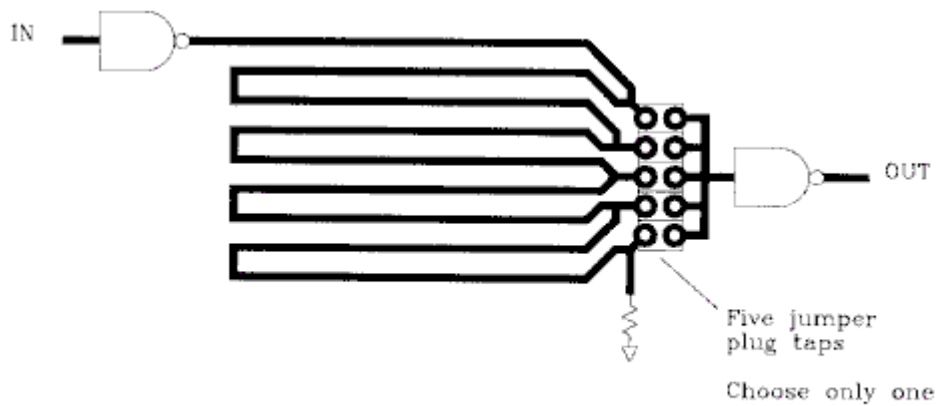


Figure 11.11 Adjustable transmission line delay.

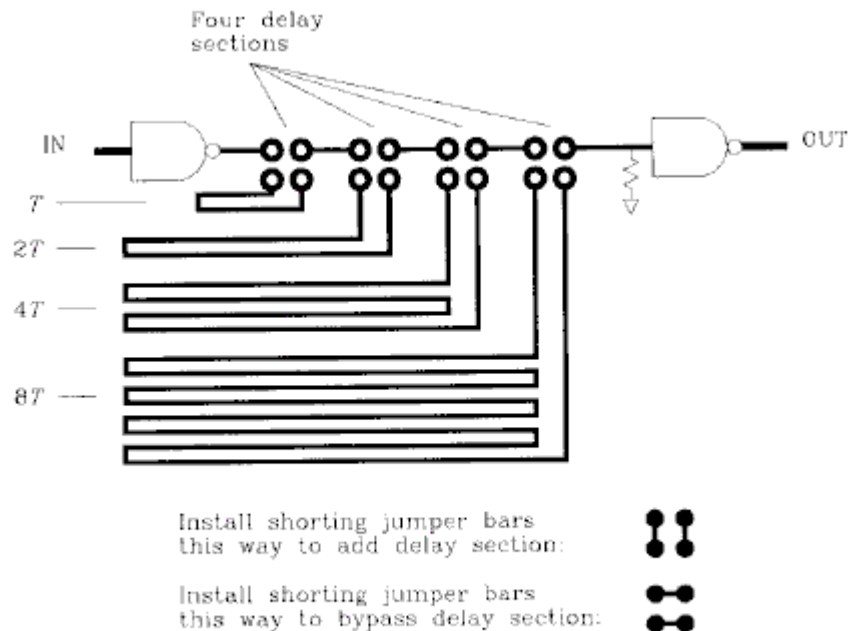


Figure 11.12 Adjustable transmission line delay with 16 settings.

在低频时，短的跳线是一个好的调节手段。它的装配如图11.13所示。有些人将短的跳线称为软件跳线，这是因为在计算机卡上流行作为选择跳线。当频率高于100MHZ时就不能忽视短跳线引起的电感，电感因跳线插的松紧不同而有所变化。

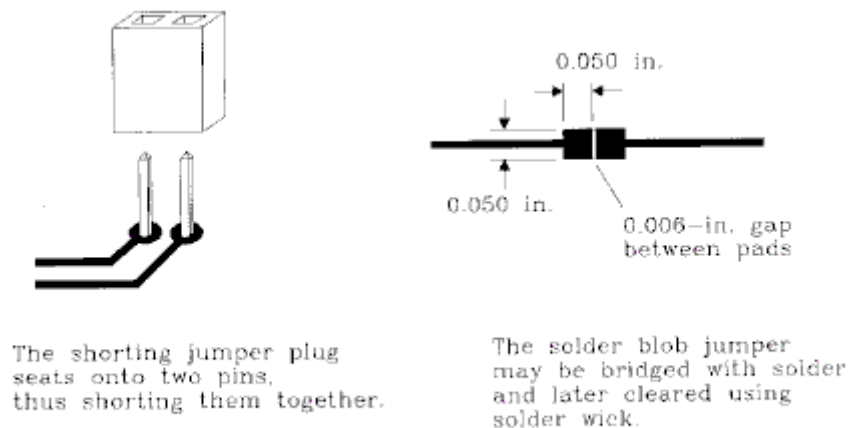


Figure 11.13 High-frequency circuit switches.

如果跳线引起的电感不能被接受，那就要试一下焊点跳线（图11.13），焊点跳线包含两个0.5平方英寸的焊盘，它们的间隙是0.006英寸。一定要把焊点跳线放在电路板的器件边。0.006英寸的间隙即足以阻止装配时的焊锡连接，又足以满足技术人员的人为短接。用焊锡清洗器能容易快速的清除此种焊点连接。

与跳线相比，焊点开关占用非常小的电路板面积。焊点跳线的另一好处是，装配完成后，它不会轻易脱落。

逻辑门延时也可以分级调节，在逻辑门链上的不同引出点构成了可用的延时，要不是它们延时的不准确性，它们的特性到象延时线。

块电路是通过改变R或C来调节延时的。可变电阻比可变电容更便宜且容易得到。无论是用可变电阻还是可变电容，调节后都要用夹力或粘来固定。可调部件对振动非常敏感。

一种新型的级调被动部件由几个部件值加一套很小的焊点跳线构成，所有部件都集成在一个1206的表面贴封装上。它们完成了RC延时电路的级调功能。

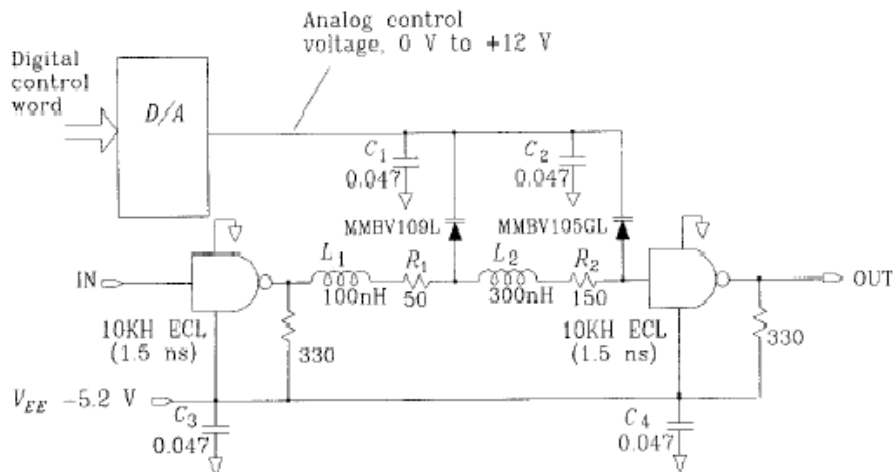
11.7.3 可自动编程延时

理想的延时电路具有可连续调节、在宽的温度范围内稳定、能够自我调整的特性。这听起来不可能吗？答案在下面。

首先让我们分析怎样可以产生连续的可编程延时。下面有两种方法。

最传统的一种方法是用变容二极管，变容二极管是一种寄生电容随加在其上的反向电压变化而变化的二极管，在普通的二极管中这影响它的性能，但在变容二极管中这是它的一个主要卖点。

图11.14 说明了变容二极管在可变延时电路中的应用。它与图3.23 的电路相比存在三方面的不同：第一，它是数字可编程的，这一特性也可以添加到图3.23 的电路中；第二，图11.14 的电路用的是LC延时，它可以在不衰减信号的情况下产生大范围的延时调整；第三，图11.14 中的电路在中间没有用到缓冲器的情况下进行了两级被动延时电路的级联，第二级的阻抗是第一级的三倍，这个比例可以防止两级之间的干扰，这种级联将关键电路上的缓冲器由三个减为两个，由于缓冲器的延时随温度和电压的变化而变化，我们希望用到的缓冲器越少越好。



Varactors:

MMBV105GL, 4-15 pF

MMBV109L, 8-40 pF

Delay:

From lumped circuit 1-6 ns

From gates 3 ns

Total delay 4-9 ns

Maximum working frequency: 50 MHz

Scaling for other frequencies:

L_1 , L_2 and varactor capacitances are scaled proportionally to desired delay. Maximum working frequency is inversely proportional to delay.

Figure 11.14 Programmable delay element using a varactor diode.

第二种可编程延时方法是用逻辑门链。如果所有的逻辑门都集成在一个集成电路中，它们间的延时仅仅停留在100ps的级别。在同一个集成电路中，这种逻辑门链可以非常长。带有大的多路复用器的分接电路版本，形成了可用的数字可编程延时电路。多路复用的设计必须设法消除从一个分接点到另一个分接点切换时可能产生的毛刺。

无论是使用可变电容还是逻辑门链，我们可以存储一个温度系数矫正表，用以产生相对温度稳定的延时。

最后要讨论的问题是延时电路怎样自动自我调节。当时钟不论是在何方向产生漂移时，任何系统都有此种漂移的量化标记，通过检测此种量化标记，将时钟调节到正确的位置，这是一种自动调节的方法。

一种时钟自动调节方法是，通过检测线路上的数据信号切换时间，使时钟自动适应于数据波形的传输时间，这种方法类似于串行数据传输用到的时钟提取法。

本节要点:

- 延时有三种基本的手段：传输线延时、逻辑门延时、被动块电路延时。
- 固定延时无法消除由于加工因素和器件因素带来的延时抖动。
- 可调节延时可以补偿实际延时。
- 无论选择何形式的延时，在时间裕度计算中都要将延时的不确定性考虑进去。

11.8 差分时钟信号

差分信号对噪声的抗干扰能力比非差分信号要强，这有两个方面的原因：信号幅值和差分平衡，由于差分信号的电压摆动是非差分信号的电压摆动的两倍，所以差分信号可以承受两倍的干扰。更优的是，如果噪声对两根差分信号的影响相同，它们将在差分线的接收端相互抵消，从而不会影响信号质量。对两根差分信号线产生同样影响的噪声称为共模噪声。差分信号线对共模噪声的抑制力比较强。

在用ECL时钟分发背板的TTL系统中，串扰问题尤其严重。用ECL分发背板分发时钟的优点是低漂移，缺点是ECL信号幅值低。幅值比较大的TTL信号很容易产生足够大的串扰干扰附近的ECL时钟接受端。差分ECL信号有利于帮助克服TTL串扰问题。

差分信号只对共模噪声的干扰有抑制作用，对差模噪声不起抑制作用。串扰往往是对一根线的影响比其它线要强烈的多，因此它产生的是真正的差分噪音信号。

在两块地平面存在噪音电压差的电路板间通讯，用差分信号有很大好处，在差分信号的接受端，地电压差被抵消。差分信号可以方便地克服大的背板和板卡之间的TTL地噪声。

本节要点：

- 当串扰对两根时钟差分线的影响相同时，就不会引进时钟抖动。

11.9 时钟信号的占空比

时钟信号的理想占空比是50%。理想的时钟的上升沿与下降沿应是对称的，这一特性允许用反相时钟作为中间时钟波形。

理想时钟的平均直流值处在它的高电压值与低电压值的平均值。这一特性允许我们设计维持占空比固定为50%的简单反馈电路。

时钟偏移50%的占空比的原因是时钟再生器对时钟的上升沿与下降沿的响应不对称。精细测量发现，所有逻辑门的上升沿延时与下降沿延时是不同的，这就导致了经过非对称逻辑门的脉冲或被缩短或被加长，这个效果称为脉冲宽度压缩、脉冲宽度延长或脉冲宽度变形。

当我们级联很多逻辑门时，在每一个逻辑门上的脉冲宽度变形会被累加。假如输入脉冲是正脉冲，且上升沿延时大于下降沿延时，则经过每一个门后的脉冲会被缩短。级联足够多后，脉冲将会消失。

有两种好的方法可以解决由于非对称延时而造成时钟信号消失问题。第一种方法是在每一个阶段对时钟信号进行反相，这样不断地将上升沿转化为下降沿，再转化为上升沿，如此以来当信号沿着逻辑门链传输时，在临近的两个阶段，脉冲宽度的压缩将会抵消掉。用反转再生器与非反转再生器相比，时钟信号传输经过的级越多，产生的时钟周期占空比越好。

第二种方法要使用一些模拟电路，电路如图11.15所示，电路中只用到了对称转化阈值电压类的逻辑。对于非对称阈值电压，要请模拟设计工程师将此电路改变为适合于你所采用的逻辑类的反馈电路。

当时钟周期占空比发生变化后，它的平均直流电压也将发生变化，电路通过测量平均直流电压来判断时钟周期占空比。

图11.15中的电路同时用到了转化阈值电压与时钟占空比的关系，我们知道，时钟信号的上升沿与下降沿的时间是有限的，在时钟再生器上调节输入转化阈值电压，将改变输出时钟周期占空比。图11.15中的电路用到的最后一个原理是反馈。

图11.15中的电路测量时钟输出的平均电压值，将此值存储在电容C2中，电容C2的电压通过调节电路的输入转化门阈值使输出时钟周期的占空比接近50%。

图11.15使用了相对低增益的反馈电路，在300MHZ的频率下，在通常情况下逻辑门会产生200ps的脉冲宽度压缩，此矫正电路只产生了此值的四分之一的脉冲宽度压缩。

时钟输出与输入阈值调节之间的反馈，比较出色地调节了占空比，但它要花费更多的器件。

输入切换阈值的调节可以控制逻辑门在每个脉冲边沿的何处反转，降低阈值可以使上升沿的反转提前，而使下降沿的反转推迟，反转时间提前或推迟的数量由输入信号上升沿或下降沿的快慢决定，慢的信号引起的时间量要比快的信号长。

此电路可调节的量是微小的，但在时钟再生器的链中，它们的作用是巨大的。

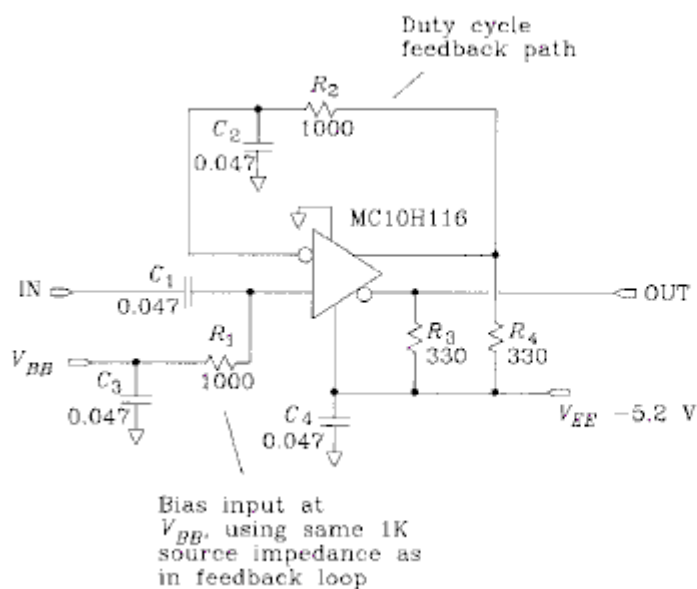


Figure 11.15 Feedback circuit to help maintain a 50% duty cycle.

本节要点:

- 在时钟再生器链的不同位置，时钟的占空比不同。
- 用反相再生器比非反相再生器对时钟进行延时，可以达到延时更加长，而且时钟周期占空比更加好的效果。

11.10 消除时钟再生器的寄生电容

当新的器件连接到多点总线上时，它的接收端的寄生电容会对线上的所有器件接收到的时钟产生移相，无论是上游还是下游，接收到的时钟都会受到影响。

移相的程度与新器件时钟输入端的整个寄生电容成正比。如果你能够通过改变布局或使用其它接插件而减少此寄生电容，形成一个比较好的时钟接收器，那就这样做吧！当器件容易得到时，那就试一下图11.16中的电路吧。

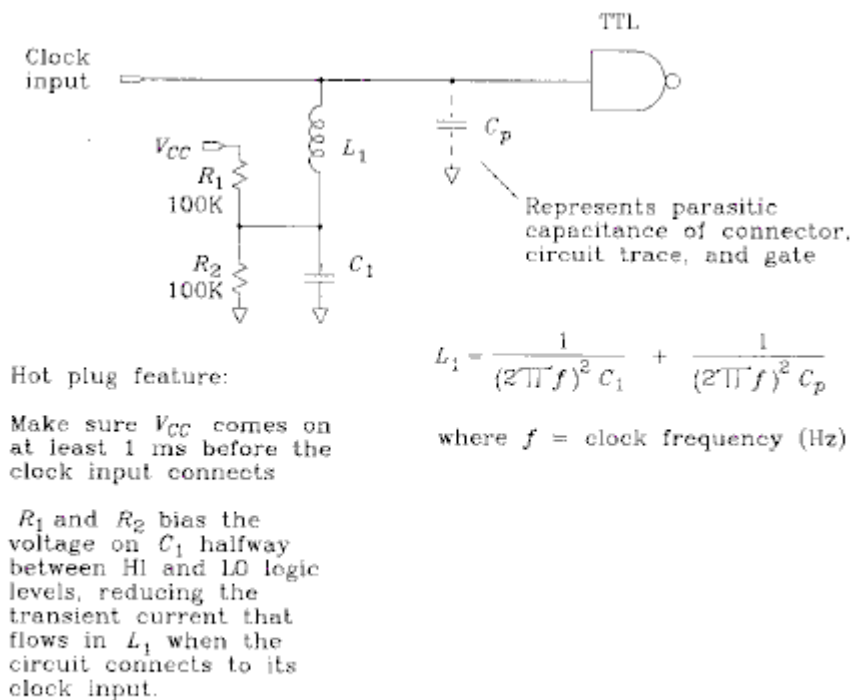


Figure 11.16 Inductor used to cancel parasitic capacitance at clock frequency.

图11.16中的电感在时钟频率处提供了一个负感抗，消减了部分时钟接收电路的寄生电容。RF工程师称此为匹配网络。电感消除寄生电容的功能只有在一个基频处起作用，对于时钟波形中存在的三次以上的谐波不起作用。

图中的两个电阻是可选的。在固定装配的场合，时钟接收器从来不从时钟线上脱离，这两个电阻不起作用。在热插拔的环境中，电阻发挥了重要的作用。它们帮助在时钟线接触之前对电容C1充电。

当电源关掉后，电容C1被放电到0V。当电路正在工作时，电容C1的电压被充到高逻辑和低逻辑电压的中间值。

没有电阻R1和R2时，当板卡初次插到时钟线时，电容C1所需求的突然大的充电电流将严重地扰乱时钟信号。这个现象可以通过预先加电来回避。一个合理的热插拔板卡的电源插头要首先接触。一旦电源上电，电阻R1和R2将把电容C1冲到中间电压值，直到时钟信号先接触。这种设计可以防止突然的电流脉冲影响时钟线。

电容C1的值比较小的话有利于缩短它的充电时间，C1的最小值大约是100Cp。C1和L1的值计算如下：

$$C_1 = 100C_p \quad [11.6]$$

$$L_1 = \frac{1}{(2\pi f)^2 C_1} + \frac{1}{(2\pi f)^2 C_p} \quad [11.7]$$

将电容C1充到它的最终值的1%的充电时间是：

$$\text{Precharge time} = 4.6 \frac{R_1 R_2}{R_1 + R_2} C_1 \quad [11.8]$$

本节要点：

- 电感可以消减部分时钟接收端的寄生电容。

11.11 时钟总线上的衰减时钟接收器

在一些场合中，时钟分发总线上的时钟分接点可能会严重地扰乱时钟波形。在以下的三种情况下发生的可能性较大：时钟分接点较多；时钟接收端的寄生电容较大；频率较高。

减少每个时钟分接点的影响的一个方法是，在时钟的输入端引进3:1的衰减器，这就要付出需求更高电压增益的代价。在每个逻辑门的输入端串入一个在时钟频率处是逻辑门输入阻抗的两倍的阻抗。衰减网络可以包含一对互为平行的电阻和电容。

对于CMOS电路，它不需要直流偏置电流，单独使用衰减网络已经足够了。TTL电路除了衰减网络，还需要直流偏置网络。

3:1衰减网络的优点是使输入端的阻抗增加了3倍。缺点是逻辑门接收到的信号较弱。幸运的是大部分的逻辑门保留很大的电压增益裕度。

通常的差分接收电路具有大的增益和非常精确的输入转化阈值电压，它用衰减网络时钟接收端性能比较好。当用普通的逻辑门（它具有非常不精确的转化阈值电压）作为衰减时钟接收端时，需要比较好的偏置。可以使用能够检测自己输出的占空比从而相应地调节输入阈值以维持占空比50%的直流偏置网络来实现。

本节要点：

- 衰减网络可以增加时钟接收器的有效输入阻抗。

高速数字电路设计教材

拟制:	_____	日期:	_____yyyy-mm-dd_____
审核:	_____	日期:	_____yyyy-mm-dd_____
审核:	_____	日期:	_____yyyy-mm-dd_____
批准:	_____	日期:	_____yyyy-mm-dd_____



华为技术有限公司
版权所有 侵权必究



目 录

第12章 时钟振荡器	2
12.1 壳式晶振	3
12.1.1 频率规范	4
12.1.2 正常工作条件	6
12.1.3 电气特性	7
12.1.4 机械封装	7
12.1.5 加工工艺	8
12.1.6 可靠性	8
12.1.7 振铃和偏移	8
12.2 时钟抖动	9
12.2.1 什么时候考虑时钟抖动	10
12.2.2 时钟抖动的测量	10
12.2.3 电源噪声的测量	11
12.2.4 时钟源的电源滤波	14

第12章 时钟振荡器

摘要:

本章主要介绍了晶振的分类、各项参数的意义、特点，同时也介绍了时钟抖动的成因、测量方法、消除措施和典型滤波电路，使得我们可以正确地选择和使用晶振。

12.1 壳式晶振

如图12.1所示，壳式晶振的名字来源于它内部元件外有一个密封的金属壳。通常是一个构建在薄基板上的厚膜集成电路，壳式晶振在现代数字设计中普遍存在。一些新产品换成了便宜的塑料外壳。

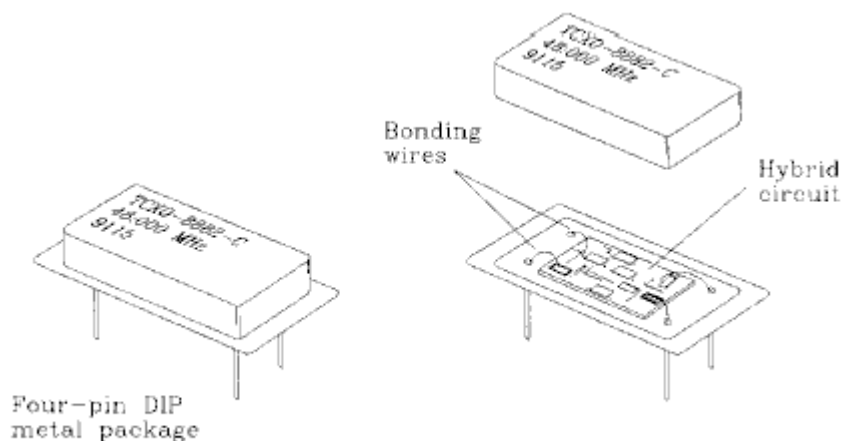


Figure 12.1 Typical canned oscillator.

现有的许多晶振电路中，压电石英晶体振荡器在高品质的数字设备中最常见。

和数字电路的延时相比，压电的时钟非常准确，因此我们有时忽略了时钟频率的变化。参考等式11.4， T_{CLK} 的0.01%的变化几乎不需要调整其他的时沿参数。在只使用了一个时钟的简单状态机中，实际上忽略晶体时钟的变化，系统工作正常。

很多复杂的数字体系结构中，对时钟性能要求非常严格。比如，在两个用独立时钟的数字设备之间传送数据就是这样。假如我们用一个FIFO来同时启动这两台设备，FIFO会以一个与两台设备的时钟差异成比例的速度增大或收缩。任何涉及到两个时钟频率差异的设计，都需要特别精确或稳定的晶振。

军事上或其他高可靠性应用有它们独特的需求，特别的军用需求涉及到晶振对振动、震动、湿度、高温的反应。有些还需要对晶振进行加速老化、筛选或者其他的前期测试。这些测试增加了产品成本，绝大多数商业级晶振的生产厂家都不用这些测试。如果你不需要特别的性能，就不要使用这种特殊的晶振，可以找个便宜点的商业级型号。

表12.1归纳了压电石英晶振的主要数据手册参数，标明了哪种参数对不同的应用特别重要，应用分类包括通信设备、军用设备以及表面贴。以下是对每个参数的讨论分析。

TABLE 12.1 CANNED OSCILLATOR FEATURES*

Parameter	Units	CX	MIL	SMT
Operating frequency				
Frequency	Hz	x		
Stability	±ppm	x		
Aging	±ppm	x		
Voltage sensitivity	ppm/V	x		
Allowed operating conditions				
Temperature	°C		x	
Input voltage	V			
Shock	G's, s		x	
Vibration	G's, Hz, or G_{RMS}			
Humidity	% relative humidity		x	
Electrical				
Output type	TTL, CMOS, ECL			
Maximum load	N, pF			
Duty cycle	% HI or LO		x	
Rise/fall times	ns or ps			
Input current	mA			
Mechanical configuration				
Package footprint	DIP, $\frac{1}{2}$ DIP, or SMT			x
Construction	Metal or plastic			x
Manufacturing Issues				
Solderability	°C, s			x
Cleaning	Permissible fluid types			x
Package leak rate	Atm cc/s		x	
Reliability				
Functional screening	% screening		x	
Aging	°C, h	x	x	
Bells and whistles				
Differential output	Yes/no			
Enable	Yes/no			
VCO	ppm/V	x		
Tuning	ppm	x		

*CX, Communications; MIL, military; SMT, surface mount.

12.1.1 频率规范

- 频率
- 稳定度
- 老化
- 电压灵敏度

频率参数指的是正常频率，或者中心频率，这是在室温、正常工作电压及无老化的情况下得到的参数，壳装的晶振频率范围可从10KHz到300MHz，而晶振里面的晶体基频最高也只有40MHz。厂家通过过滤和增强晶体基频的谐波，合成得到了高频时钟。频率的单位一般是Hz（或者KHz、MHz）。

实际的操作频率会有漂移，高或低于中心频率，手册中总是在稳定度的前提下给出频率参数。稳定度的单位有两种：百分之几（很差的情况）和ppm（较好），100ppm=0.01%，有时频率参数之后会紧随稳定度给出，如：50.00MHz±100ppm。

有一段时间，厂家习惯通过晶振频率参数后面所带的0的数目来表征它的精度和稳定度，例如：一个标为4.00000MHz的晶振会被认为比一个4.00MHz的好得多。现在已经不这样了，小数点后面的0的数目没有任何意义，可以不予考虑。

稳定度这个指标包含了各种条件引起的变化，温度、制造过程、工作电压以及老化，这个指标表明了在这四个参数的各种允许的组合下所引起的最差漂移量。在这四个参数中，温度的变化所引起的漂移是最大的。为了消除温漂，数字电压晶振形成了至少三种性能增强的类型：非补偿晶振、温补晶振和恒温晶振。

非补偿晶振的输出频率随着其内部晶体正常的谐振频率变化而变化。温补晶振也叫TXCO，内部有补偿温漂的电路，一般比较贵。恒温晶振最为特殊，其内部晶体处于一个恒温器里，能够保持精确的工作温度（有些设计将晶体放置在两个嵌套的恒温器内，这样能够获得更好的温度稳定性，内部的恒温器和温控电路都包含在外面第一个恒温器中，这种晶振称为双恒温晶振。）这种恒温晶振在温度变化范围比较大的时候能提供最好的稳定度。图12.2表明了温度变化时，这三种级别晶振的稳定性能。

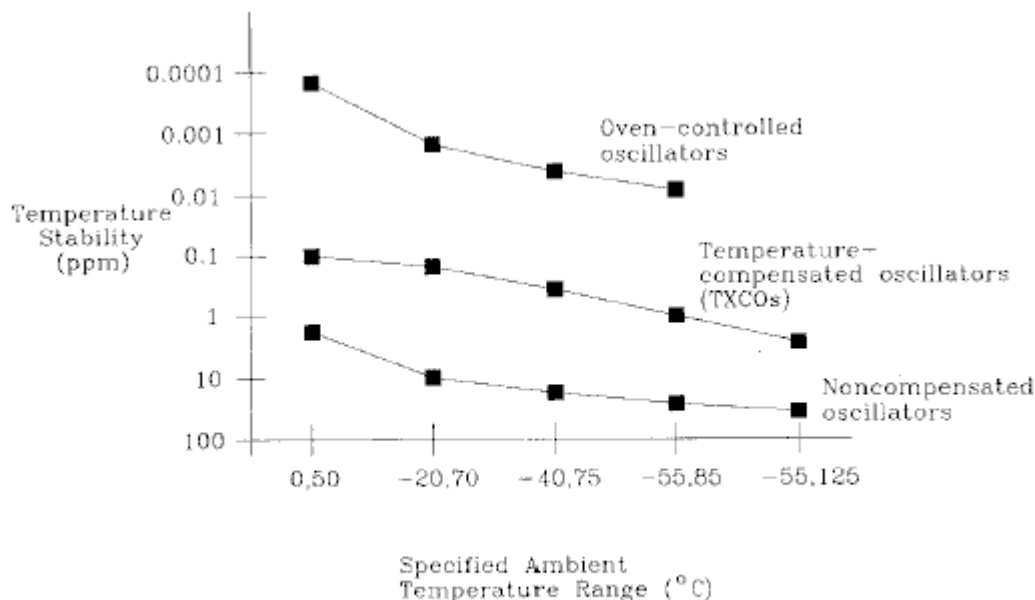


Figure 12.2 Frequency stability of three oscillator types. (Generic data from Vectron Laboratories.)

老化一般都是和其他参数分开来讨论其对稳定度的影响的。因为老化对任何晶体频率漂移的影响每年只有几个ppm。50年之后，我们才能有很大的漂移，而商业制造商有时一个产品的生命周期仅仅只有几年，因此在稳定度指标大于100ppm时，就不考虑老化的影响。海盗宇宙探测器小组的工程师们却不这么认为，老化的单位是ppm/年，新的晶体老化速度比旧的要稍快些，指标上会这样写：“第一年5ppm，此后每年为3ppm。”一个真正好的拥有昂贵包装的晶体，它的老化速度可以低到1ppm/年。

当工作电压变化时，晶振的频率也会发生变化。芯片手册上把这些变化和稳定度指标合在一起提出，有时电压灵敏度也被单独提出。如果单独提出，其单位是ppm/volt。当一个系统电压的变化范围和晶振所列出的工作范围不同时，我们可以用ppm/volt的数值来计算在所能得到的工作电压范围之内，频率的变化会是多少。

12.1.2 正常工作条件

- 温度
- 输入电压
- 震动
- 振动
- 湿度

电子元件的温度范围一般用摄氏度来表示，一般晶振的工作温度范围是：0-70°C。假如必须超出这个范围使用，那么就去买一个可以在更广范围内使用的晶体。

晶体对温度的敏感性导致了频率的变化，石英晶体和其他的材料一样，对温度应力也有反应。当环境温度改变时，由于石英晶体的各向异性的结构特点，晶体会发生弯曲或者轻微的形状改变。外形的任何改变都会影响到工作频率。我们可以画出晶体的工作频率相对温度改变的曲线，这个曲线对特定的晶体来说是确定的，不会随时间改变。

图12.3绘制了几种不同晶体的频率—温度曲线，可以看到令人吃惊的差异。当工作在-50~100°C的范围时，曲线D最好，从-50~100°C它的变化不超过25ppm。在0~50°C之间，曲线A最好，它在此范围内的变化小于5ppm，但是它在-50~100°C之前的变化几乎有100ppm。没有一条曲线在所有的温度范围内都最好。

在图12.3的曲线是非常类似的，每条特定的曲线都是将石英晶体以一个精确的角度切割后产生的结果。由于所有的生产厂商用的都是同样的晶体材料，同时大家都知道以何种角度去切割可以获得不同的温度曲线，所以我们可以认为所有的生产厂商的温漂指标都一样。

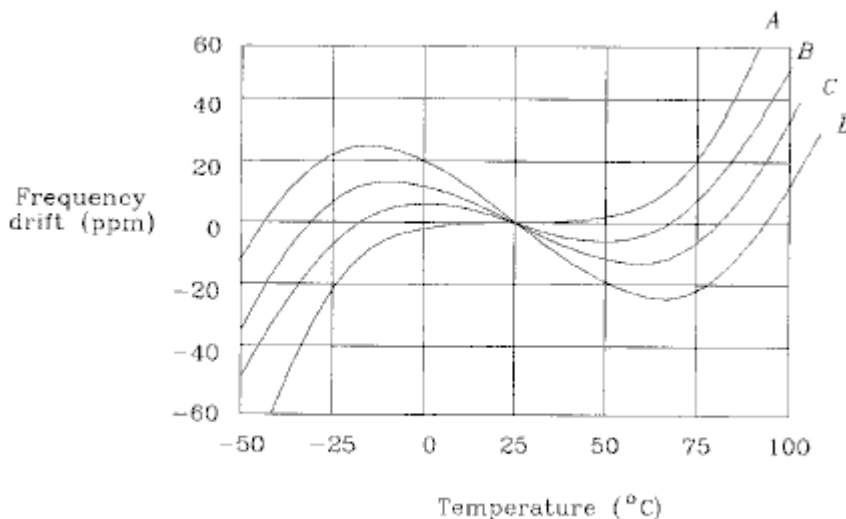


Figure 12.3 Temperature drift of quartz crystals.

注意，晶体的温漂并非随着温度线性变化。不要以为对一个晶振，只要在高温和低温两种情况下测试它的频率，你就可以确定它的温度漂移。

对集成电路来说，输入电压（或者电源供电电压）是它的VCC指标。它以范围的形式（4.5~5.5V）或者百分比的形式（+5V+-10%）给出。有些TXCO或VCO晶体可能需要双电压输入，但绝大多数是单电压工作。

Shock，用晶振的术语来说，指的是机械上的震动，而非电气上的。晶振必须经受这样的测试，即风动机按照标准的要求朝固定的靶子猛烈地冲击晶振。震动指标衡量的是当晶振猛地撞到靶子上的减速度以及减速度的持续时间。减速度的单位是G's，1G等于地球重力加速度。减速度只持续几个毫秒。一次完整的**Shock**测试必须沿3维几何轴向的两个极性方向上都进行测试。

Vibration，和**Shock**类似，也是指对晶振的猛烈震动。做这个测试，操作人员把晶振固定在一个移动的平台，这个平台叫振动桌，它可以衡量振动。同震动测试一样，振动测试从三个几何轴方面取值。在固定频率和幅度条件下的正弦振动和震动测试类似，重复对晶振操作，但是在其他频率不测机械共振。在给定的振幅下进行的扫描频率测试覆盖了一定范围的频率，这是一个比较好的测试方法，因为它也检查机械共振。随机振动测试在振动桌的电动机上加入白噪声，**RMS**振幅保持一定的值。所有的情况中，振幅的单位都是G's。

震动和振动测试适用军事、航天产品、便携式产品以及其他可能会被受到机械力作用的产品。

相对湿度是对大气湿度的衡量。在100%相对湿度下，水气凝结成水。只要严密封装，就可以在100%的相对湿度条件下正常工作，所有的设备都通过了这项测试。

12.1.3 电气特性

- 输出类型
- 最大负载
- 占空比
- 上升下降时间
- 输入电流

大多数数字晶振有**TTL**、**CMOS**、**ECL**三种输出类型。当使用**ECL**电平输出时，不管哪一种适用于你的电路，都要注意它们是否是**10K/100K**兼容。**10K**和**100K**的标准指定了不同高低逻辑电平的温度曲线。把**10K**接到**100K**逻辑，或者相反，在极高的温度下都会降低电压余量。

一个驱动不好的晶振，输出负载超过指定的最大负载值，频率就会发生漂移；而缓冲较好的晶振，高负载只会降低输出幅度。负载指标给出了扇出能力或者最大负载电容（较好）。

理想的占空比是50%，实际上晶振的这个参数一般是40-60%或50%±10%。在高频情况下，很难保证一个好的占空比。如果一个系统使用时钟的上升和下降沿，一定要确认其占空比指标。

10—90%的上升下降时间以纳秒的单位给出，也有些制造商给出了20-80%的上升时间

输入电流是频率的一个函数，单位为mA，在高频情况下，晶振消耗了大部分能量对其输出负载电容充放电。低功耗的应用要求低频和轻载。

12.1.4 机械封装

- **DIP**
- **Half DIP**
- 表面贴

大部分电路都使用这三种形式的晶振。它们的封装必须适合石英晶体、相关的放大器以及将所有东西固定在一起的集成电路板。将来晶振体积的改变不会象其他数字元件那样迅速。

有些厂家的晶振封装更小。整个工业正在从流行的0.3-in, 14pin的DIP封装, 慢慢地向Half-DIP和表面贴封装改变。

12.1.5 加工工艺

- 可焊性
- 清洗
- 封装泄漏率

大多数插件可以很容易用波峰焊来焊接。表贴回流类型的晶振加工上就会有些问题, 因为器件必须能耐长时间的高温。一般需要晶振厂商提供其器件耐高温的IR回流曲线或者蒸汽回流焊过程步骤。

电路板组装车间在组装过程中要清洗好几次电路板元件。密封和塑模的封装通常都能通过清洗, 但是它们上面的标签就不行了。确认一下晶振是不是用那种能够忍受组装车间清洗液体的墨水标记的, 要不然标签就会消失。

封装泄漏率是用来衡量晶振密封性的指标。假设晶振的包装里最初充满了氦气, 泄漏率就是看这种气体从包装里泄漏出来进入一个泄漏容器的速度。泄漏的单位是atm-cc/s, 它表明在测试条件下氦气每秒钟从封装中释放出的总量。

12.1.6 可靠性

- 功能抽检
- 高温老化

功能抽检是指供应商在发货之前检查一部分器件, 看看它们是否能够正常工作。1%的抽检测试即只有1%的器件被抽查。抽检可以发现在加工过程中的批量性严重错误。

老化是事前可靠性的测试。大多数器件, 假如它们很快将要失效, 在老化测试中就会体现出来。假如我们取一批器件, 给它们加温, 然后去除掉失效的器件, 我们就可以认为剩下的器件不会很快失效。这一方法的一个比较大的缺点是通过给一批器件加温, 我们可以找出一些已经达到失效门限的个体, 但是剩下的器件经过了加温, 会有什么影响? 变好了还是更差了?

事实显示出高温测试实际上利大于弊。

老化指标表明在发货之前每个器件必通过何种测试。典型的测试从最初的目检何功能抽检开始, 它们可以检出明显不合要求的个体。接着是在高温条件下的长时间极限测试。高温测试加速老化的影响同时也加速了电子器件的失效。然后是几个快速冷却、加热的周期, 可以暴露出焊接不良的地方。最后经过震动测试器的吹测, 老化过程结束了, 接下来开始另外的功能测试。

假如器件通过了这一组测试, 它也许没有什么问题了。相比未经测试过的器件, 它要幸运些。你必须确定未经测试的器件的失效率以及它们失效后给你的损失。通过这些信息, 你就可以决定该用何种级别的预检方式。

这些预检方法适用于任何半导体器件。

12.1.7 振铃和偏移

- 差分输出
- 使能

- 压控晶振
- 调整

当使用差分输出连接到一个有差分时钟输入时，可以克服噪声环境。当连接到两个不同的时钟驱动器时，它们提高了晶振的扇出能力。假如你独立地使用两个输出，就要知道两者之前的相差。

使能脚可以开关时钟。与停止振动相比，使能脚通常只是禁止输出。对微功率电路感兴趣的工程师希望实际上可以停止振动。假如不能停止振动，当重新使能时，我们必须等待振动频率回到稳定态。在开始启动的阶段，输出可能会显示出局部的偏移，很差的占空比，或者错误的频率，晶振的建立时间会有好几万个时钟周期。

压控晶振的输出频率是可调的。压控脚的输入能引起晶振频率发生相应的改变。压控晶振有利于外设的时钟同步，象输入的串性数据，电视信号或其他计算机。通常频率相对电压的曲线不是线性的。

对于温补晶振或恒温晶振，我们可以通过Trim端的微调来改变最初厂商定的频率，一般是通过一个可变电容实现的。这种调整如果是周期性的更新，也可以补偿老化的影响。非补偿晶振由于受温度变化引起的漂移太大，所以不值得去做一个微调装置。

本节要点：

- 任何涉及到两个时钟频率差异的设计，都需要特别精确或稳定的晶振。
- 如果你不需要特别的性能，就不要使用这种特殊的晶振。
- 为了消除温漂，数字电压晶振形成了至少三种性能增强的类型：非补偿晶振、温补晶振和恒温晶振。
- 由于所有的生产厂商用的都是同样的晶体材料，同时大家都知道以何种角度去切割可以获得不同的温度曲线，所以我们可以认为所有的生产厂商的温漂指标都一样。

12.2 时钟抖动

每个时钟振荡器内部都有一个高频放大器，通过放大器内的共鸣电路检测微弱的电压，然后将其转化为可用的逻辑电平。同样放大器也能检测到微弱的噪声电压，将其放大，然后和时钟一块输出。放大器不会区分时钟信号和噪声，它只会将其输入端的电压放大，所以晶振的制造厂家或使用者，必须保证没有能被放大器检测得到的噪声进入放大器。

在如今经过高速缓冲的晶振，经放大后的噪声以时钟抖动的形式出现在输出端。时钟抖动是指时钟输出相对其理想位置的偏差。

抖动是由四个叠加的噪声源产生的。首先，晶体本身能发散噪声，晶体将电子随机运动产生的热噪声释放出来；第二，任何对晶体的机械振动或摇动产生噪声。第三个噪声源是放大器自己产生的噪声。这个噪声比晶体的热噪声和机械噪声大得多。最后一个也是最麻烦的噪声源来自电源。电源终端的耦合进入放大器敏感的输入端后，通过放大器的放大作用产生电源噪声，导致了很大的抖动，输出端耦合了电源噪声的晶振被称为具有很差的电源抗扰性，许多晶振都是这样。

随机源产生的时钟抖动非常恶劣。电源噪声引起的时钟抖动是最严重的，它和数据相关，产生间歇性波动。至少随机抖动一直都有。我们可以用各种方法来衡量、定性随机噪声，使我们免受其危害，但间歇性的抖动要想捕捉到它都非常困难。

12.2.1 什么时候考虑时钟抖动

晶振的数据手册中经常是不包括抖动的，但对于通信设备，它应该是一个比较重要的指标。

当我们在两个用独立时钟控制的数字设备之前传输数据时，就有时钟抖动。假如有两台设备A和B，它们各自的时钟都与一个参考时钟同步（图12.4），参考时钟频率为8kHz（这是一个通信设备中常用的参考时钟频率）。每个设备的时钟为154.4MHz，是参考时钟的20000倍。数据从设备A通过FIFO传到设备B。理论上，只要FIFO开始工作，总是保持一个稳定的程度，因为输入输出速率是一样的，实际上，两个时钟很难做到一模一样。参考时钟信号每隔20000个时钟周期出现一次，其余大部分时间两个154.4MHz的时钟在参考沿之前互相偏离。事实上，两个时钟之间的抖动使得FIFO在乱转，时钟相对参考时钟的比率越大，影响就越恶劣。足够大的抖动可以使得FIFO溢出或者空转。两个时钟之间的相位差越大对应到FIFO中，发生的偏离越大。

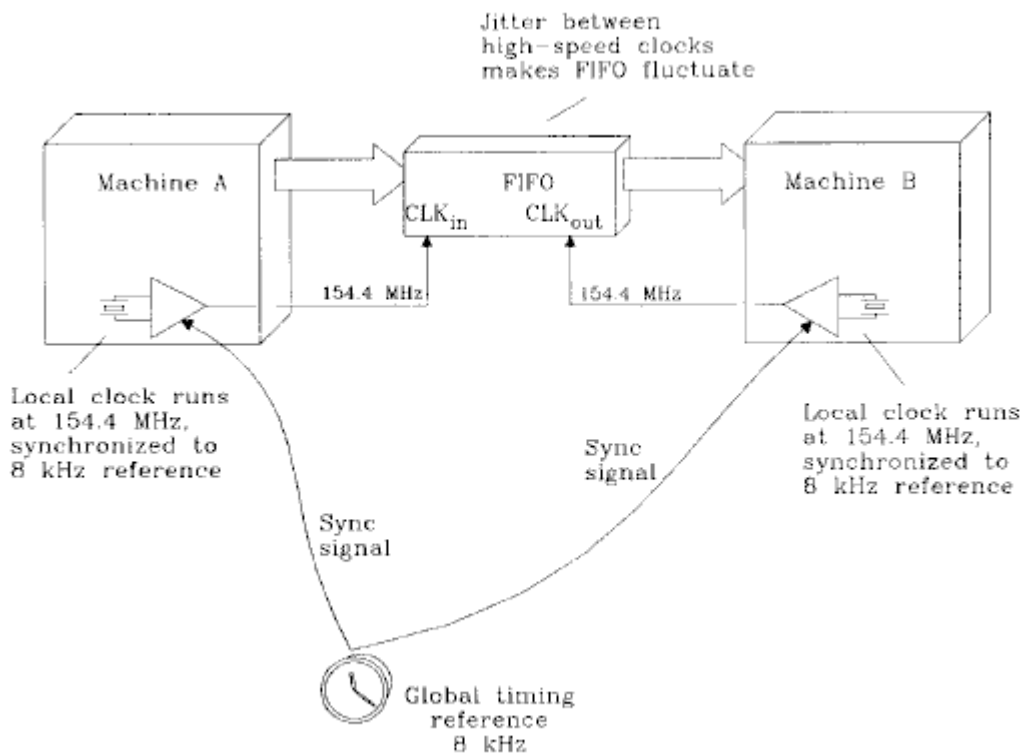


Figure 12.4 Exchanging data between synchronized digital machines.

12.2.2 时钟抖动的测量

测量时钟抖动的方法至少有三种：光谱分析，直接相位测量和相位差测量。对数字工程师来说，最容易的测量技术是相位差测量。因为这三种方法的参考资料很容易找到，我们将简单第研究一下这三种方法。

只要有足够的设备，光谱分析很容易做。只要将抖动的时钟接到一个高质量的光谱分析仪上就可以了。好的时钟光谱由无穷多个基频谐振频谱峰值组成，仔细地检查一个抖动时钟的光谱，可以发现在基频和每个谐波周围有少量的发散光谱，这个发散光谱和时钟抖动有关。简单地说，

当一个时钟部分时间频率为 F 时，我们可以看到对应于在这个频率所逗留的时间有一个峰值。当时钟相位发生偏移，它的瞬时频率导致基频光谱发散。光谱分析法在通信工程师中很流行。

光谱分析的问题是它不能直接定位相位的错误，光谱告诉我们这个时钟有过什么样的频率，但是不知道它在这个频点上存在了多长时间。如果一个时钟偏离中心频率太长时间，就会形成很大的相位误差。一个时钟在其中心频率前后快速偏移，它可能用了同样比例的时间来访问同样的频率，但是由于它在每个频率偏移的时间太短，几乎形成不了相位误差。从光谱，我们无法确定最大的相位偏移。

假如你测了一个理想的时钟，你可以用相位检测器将它与抖动的时钟相比较。这种直接相位测量法的输出能够给出我们想知道的答案：时钟的抖动是多少？这种方法的一个明显困难在于得到一个理想的时钟。可以试着用一个锁相环来对抖动时钟进行滤波，来得到一个相同平均频率的平稳时钟。锁相环输出的相位误差就是我们要找的抖动信号。当然，假如我们测量的是一个高品质的频率源的抖动，那么就很难通过微小的抖动来构建一个锁相环。

相位差测量法是将一个抖动的时钟与其延时的波形相比较，而不是和理想的时钟对比。延时足够大时，延时波形和最初的波形是不相关的，我们可以比较两个类似的但又不同的抖动时钟。结果产生的抖动差是实际抖动的两倍。使用延时波形的好处在于它有正确的平均频率。抖动差测量需要一个具有延时基准扫描功能的示波器。首先将示波器设置为以时钟波形为触发，然后，使用延时基准扫描，在几百、几千或者上万个时钟周期之后仔细观察时钟，显示的波形中模糊的地方就是抖动。

在假设模糊区域来自于时钟抖动之前，用同样的设置看看稳定的时钟源，如果它看上去很干净，我们就能认为示波器的时间基准很正确，可以进行这种测试。

当调节时延间隔时，可能你会注意到抖动会时好时坏，这很正常。正常的时钟抖动在某些频段较差，这会导致在某个时延时出现极大的抖动差。在某些最大时延之外，抖动变得完全不相关，时延再增大，抖动也不会有任何改变。

假如抖动超过了半个时钟周期，前后的边沿就会模糊在一起，很难看清。在这种情况下，在显示之前可以将时钟二分频、四分频或者用一个计数器电路。分频对单独的时钟沿来讲不会改变最坏情况的抖动，但是它展宽了指定时钟跳变之间的空间，使得我们可以看清抖动的情况。

精确晶体时钟的抖动测量需要一个非常稳定的时间基准，需要运行很长时间。串行数据传输中使用的非晶体，它的抖动测量容易得多，因为它的抖动比较大。

12.2.3 电源噪声的测量

电源噪声是产生时钟抖动的最大原因，我们需要有一种可以直接测量它的影响的方法。我们把一些电源噪声加到一个晶振上，看看会怎么样。用图12.5的电路，我们可以加入电源噪声的频率和幅度。

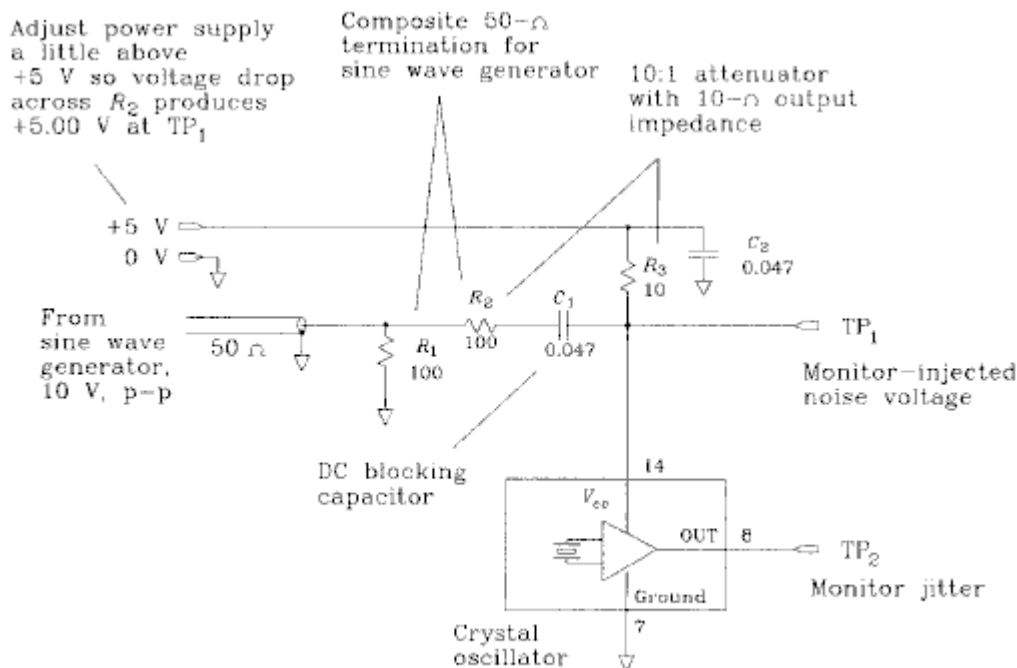


Figure 12.5 Power supply immunity test.

在某个电压下固定加入噪声的幅度，绘制一条随噪声频率变化的抖动曲线，用12.2.2节中的抖动差异测量技术来估算抖动。曲线图的加入噪声频率范围按对数形式从10kHz~100kHz或者更高。

从0.5V的噪声幅度开始，对于每个频率点，首先调节加入噪声幅度到0.5V，然后设置差异时间基准时沿为：

$$\Delta T = \frac{0.5}{F} \quad [12.1]$$

这里， ΔT = 差异时间基准时沿，单位s；

F = 加噪频率，单位Hz。

等式12.1中的精确时沿总是能显示出最差的抖动。在示波器上确认一下抖动相对时沿的波形是否正确，此后，就可以记录每个频率下在时沿 ΔT 时量到的抖动。

从模糊的示波器上估算每个频率下的抖动，是很棘手的事，如果可以的话，最好拍摄下来，这样你就可以看到整齐排列的结果了。

如果你的示波器具有断点累计的功能（Tektronix 11403示波器有这样的功能），你可以在一段时间内运行抖动显示，然后分析实际的抖动偏差。有一种简单的分析方法，首先计数在HI和LO逻辑电平之间有多少个点（见图12.6），Tektronix 11403可以自动计数。这些点是在时钟边沿跳变时捕捉到的。然后看看这些点80%范围内的水平位移量，抖动偏移量是位移量的21%。

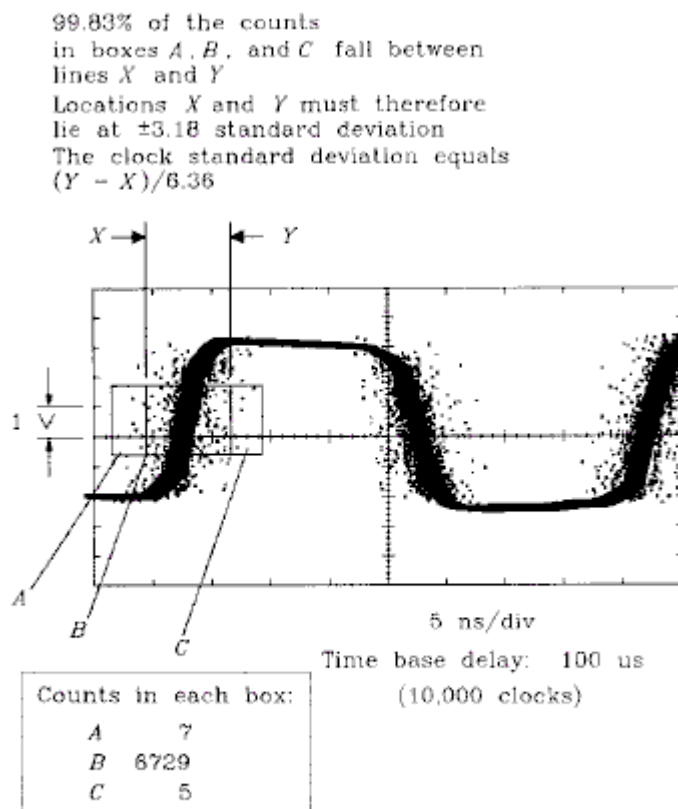


Figure 12.6 Point accumulation of a clock-jitter waveform.

有时我们发现在某一个频率范围内晶振变得对电源噪声特别敏感，这种现象一般是由于晶振内部电源滤波不够产生的。图12.7中的抗干扰曲线显示了电源滤波不足时的症状。

另外，更严重的影响是压制。在某些噪声频率下，晶振内部的电源滤波元件可能会共振，在此频率下，低的加噪电压会导致非常大的抖动，高的加噪电压会破坏内部放大器的工作，总之会使晶振停止工作。停止了工作的晶振称为被压制。

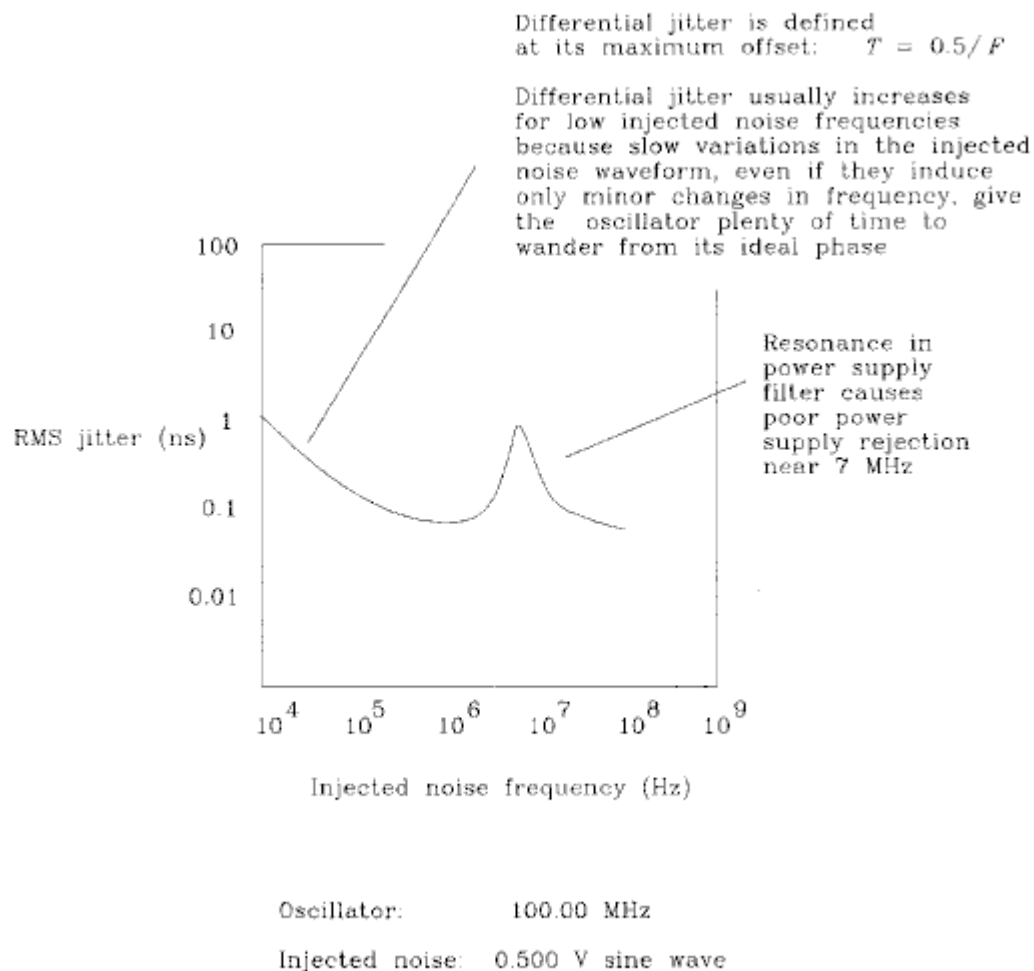


Figure 12.7 Power supply immunity of a clock oscillator.

12.2.4 时钟源的电源滤波

如果晶振的电源抗干扰性比较差，或者是它必须工作在一个有噪声的环境中，那么一定要进行充分的电源滤波。滤波电容的数量取决于你需要减少多少抖动。要想获得一个确切的数值几乎是不可能的，因为所有的参数都在变化：

- 很多晶振都没有指出其抖动的性能参数。当采购部门购买了不同品牌的晶振，抖动就会改变。
- 当不同品牌的集成电路组合在一起，系统中的噪声也会改变。

不过，你还是必须做一些措施，试试图12.8中的电路，它在14MHz的频带内减少了20dB的电源噪声。在14MHz之上，衰减率为20dB/10Hz（20dB/decade）。级联两个这样的电路衰减率是单个的两倍。

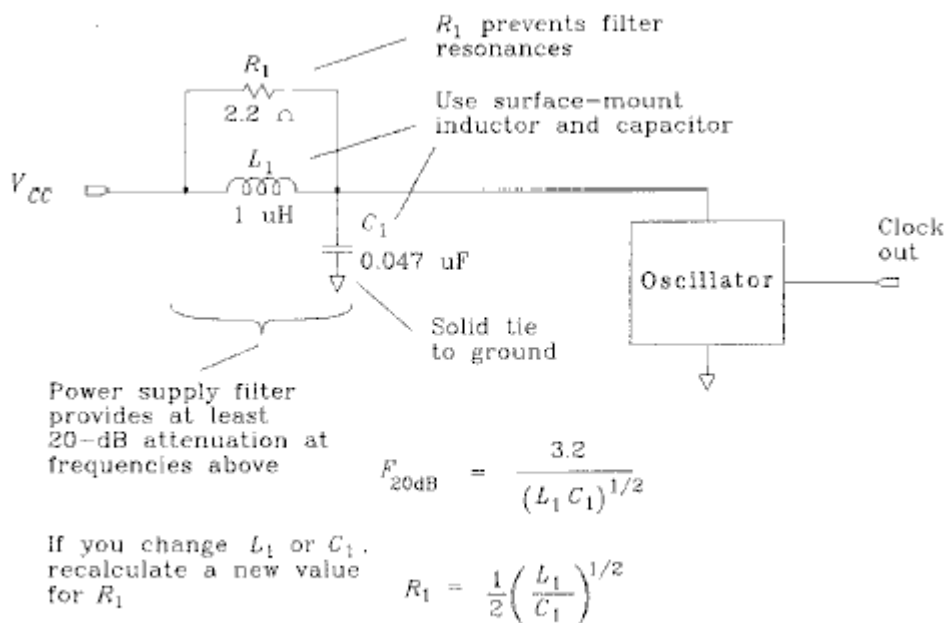


Figure 12.8 Filter circuit for a clock oscillator.

用12.2.2节中的相位差测量技术，在加上电源滤波前后测一下抖动，可以看到改善是很明显的。

在较低的频率时，大电感或大电容可以提高滤波器的衰减能力。对任何LC组合回路，20dB的衰减频率为：

$$F_{20\text{dB}} = \frac{3.2}{(LC)^{1/2}} \quad [12.2]$$

对任何LC新的组合回路，这个滤波电路中的电阻值要重新计算，防止产生谐振：

$$R = \frac{1}{2} \left(\frac{L}{C} \right)^{1/2} \quad [12.3]$$

电路板上滤波器的布局要注意输入输出保持很好的隔离，电容直接连接到地平线，至少要有一个大过孔（直径0.035inch），走线尽量短（<0.1inch），表贴元件效果最好。

图12.9是这种滤波器对晶振的三种应用。注意：当使用正极性的ECL电平时，时钟振荡器与其缓冲电路之间的参考电压一般是+5V。正极性ECL晶振的地输入脚需要滤波，而不是+5V的输入脚。

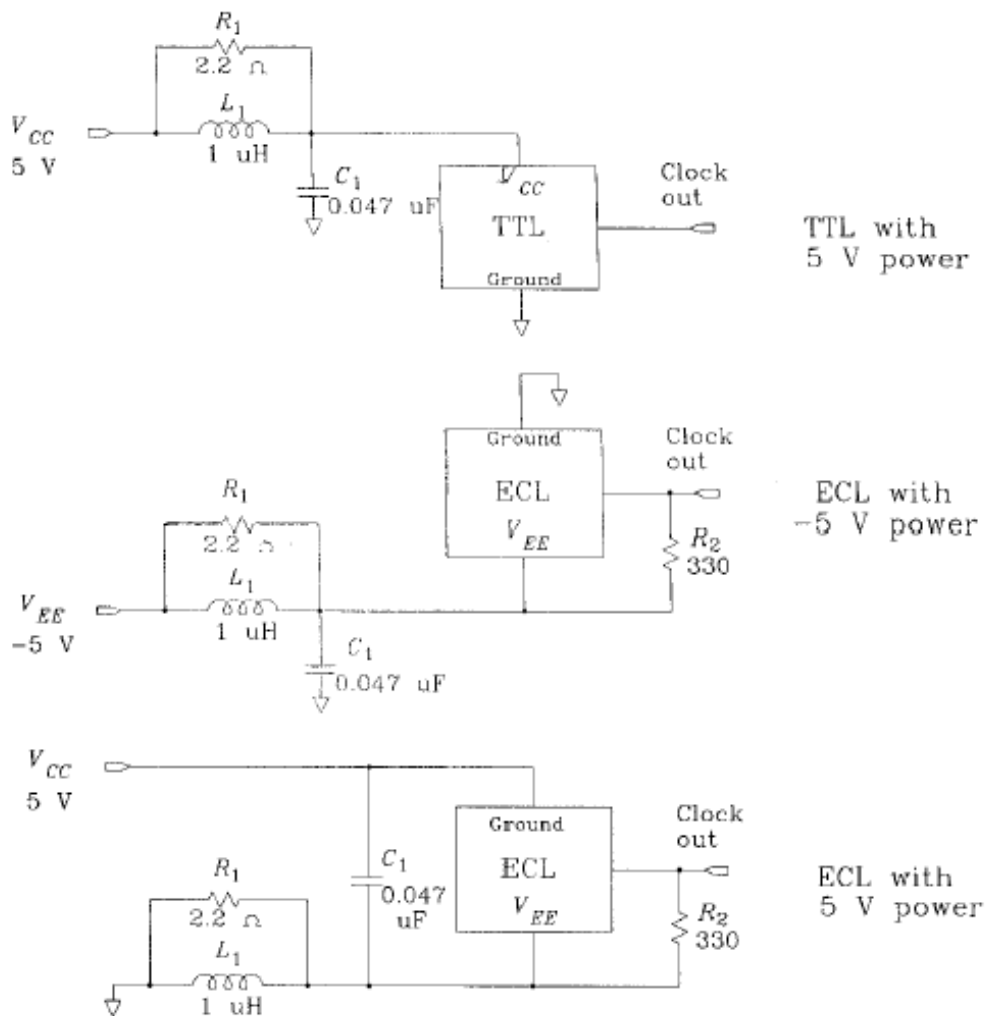


Figure 12.9 Applying filter circuit to clock oscillators.

本节要点:

- 晶振的手册中一般没有提到抖动指标，但是在通信设备中，抖动是存在的。
- 相位差测量法是比较抖动时钟和它自身的延时波形，而不是和一个理想的时钟对比。
- 如果晶振电源抗干扰性不好，或者它必须工作在噪声环境中，一定要有充分的滤波措施。