

PCI Express Technology Comprehensive Guide to Generations 1.x, 2.x, 3.0 电气部分节选

徐秉正

2020 年 11 月 27 日

主要是对原书第四部分物理层的翻译工作，对于需要查阅的其他章节内容及拓展知识以附录的方式给出。对一部分内容进行了跳过 orz。

目录

1 11 Physical Layer - Logical (Gen1 and Gen2)	2
1.1 物理层概览	2
1.1.1	2
1.1.2	2
1.2 发送逻辑详解 (Gen1 和 Gen2)	2
1.3 8b/10b 编码	2
1.3.1 概述	2
1.3.2 特性	2
1.3.3 10bit 信号	4
2 12 Physical Layer - Logical (Gen3)	4
2.1 物理层概览	5
2.1.1	5
2.1.2	5
2.2 发送逻辑详解 (Gen1 和 Gen2)	5
3 13 Physical Layer - Electrical	5
3.1 物理层概览	5

1 11 PHYSICAL LAYER - LOGICAL (GEN1 AND GEN2)	2
3.1.1	5
3.1.2	5
3.2 发送逻辑详解 (Gen1 和 Gen2)	5
A Active State Power Management (ASPM)	5
A.1 电气空闲状态	6
B SSC (Spread Spectrum Clocking)	6

1 11 Physical Layer - Logical (Gen1 and Gen2)

摘要

1.1 物理层概览

1.1.1

1.1.2

1.2 发送逻辑详解 (Gen1 和 Gen2)

1.3 8b/10b 编码

1.3.1 概述

前两个版本的 PCIe 使用了 8b/10b 编码方式。每个 Lane 使用该编码方式使用 10bit 信号传输 8bit 数据。这种目前被广泛用于串行通信如千兆以太网和光纤通信的编码方式于 1984 年被 IBM 注册为专利。

1.3.2 特性

使用 8b/10b 编码实现了以下的重要特性。

- 将时钟信息编码进入数据流

该编码方式确保了在数据流中有足够的电平翻转使得接收方能在数据流中恢复出时钟，而不需要给单独提供时钟。这避免了在并行数据总

线中会出现的一些问题，如飞行时间（flight time）和时钟歪斜（skew）。这同样消除了对高频时钟的需求，从而绕开了由此产生的其他问题如 EMI 和布线困难。

图中提供了一个对 00h 进行编码的范例，如图所示，8bit 的数据被拆分成五段进行传输。8b/10b 编码确保了数据流中行程（run length）即连续的 0 或 1 的数量不超过五个。

Figure 11-15: Example of 8-bit Character 00h Encoding

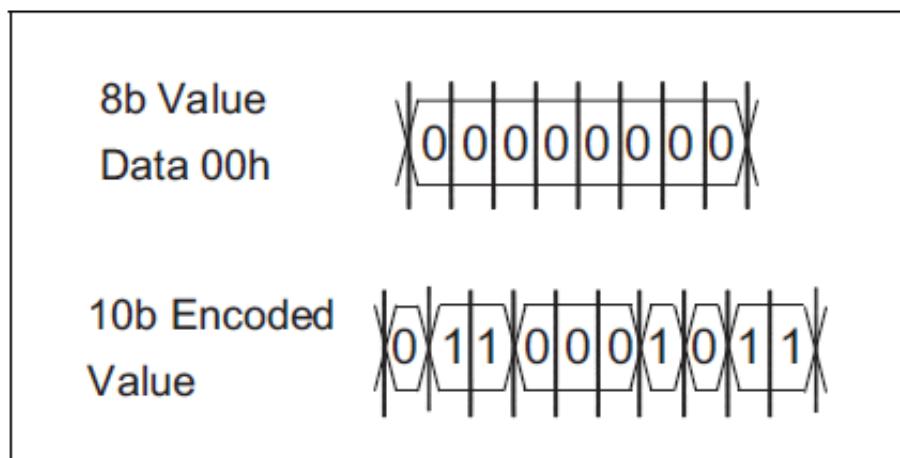


图 1: 11-15 对 8bit 数据 00h 进行编码的范例

- 保证 DC 平衡

PCIe 使用了交流耦合，通过在链路中直接放置电容，将信号中的直流部分驱除。这允许接收端和发送端有不同的共模电压，可以降低设计难度，如在长距离传输中发射端和接收端无法获得相同的参考电压的情况。直流分量即共模电压在链路工作中会由于充放电改变。一般来说，信号高速跳变使得这样的现象并不会对实际工作造成影响。但如果数据流中出现了大比重的 0 或 1，共模电压会偏移（DC Wander）。这样的偏移降低了接收端的信号完整性。为了进行补偿，编码器会跟踪被发送的上个信号的极性偏差（disparity），极性偏差可以表征为正偏差（1 比 0 多）、负偏差（0 比 1 多）和中性（0 和 1 个数相同）。举个例子如果前一个信号是负偏差的，下一个发送的信号会使用更多的

1。

- 提高抗误码性能 这种编码方式同样提高了系统对传输错误的查验能力。对于 10bit 的数据，共有 1024 种编码，但被编码的 8bit 数据只有 256 种，为了保持直流平衡，每个字节有两种编码方式，发送哪一种取决于上个发送信号的 *disparity*，所以共需要 512 种编码。事实上许多中性的 *disparity* 只有一种编码方式，所以实际的占用并没有 512 种这么多。所以多于一般的编码是空闲的，当它们被接收端接收时会被认为是非法信号。如果传输错误改变了一个信号的 bit 结构，它将立刻被检测出来。

8b/10b 编码的主要劣势在于它的性能开销。实际的传输性能会被降低百分之二十，因为发送了 10bit 但接收端实际收到的是 8bit，但于该编码方式的优秀特性相比，这些不可忽视的开销依旧是可以接受的。

1.3.3 10bit 信号

8bit 并不是直接被转换成 10bit，它被拆分成 5bit 译码至 6bit 的前半段和 3bit 译码至 4bit 的后半段。编码方式有助于我们理解合法信号的生成，不遵守这些编码方式的信号会被认为是无效的。

1. 比特流中从不包含连续的五个 0 或 1，即便是跨单位的数据。
2. 每个 10bit 有以下几种可能
 - (a) 四个 0 与五个 1
 - (b) 四个 1 与五个 0
 - (c) 五个 0 与五个 1
- 3.

2 12 Physical Layer - Logical (Gen3)

摘要

2.1 物理层概览

2.1.1

2.1.2

2.2 发送逻辑详解（Gen1 和 Gen2）

3 13 Physical Layer - Electrical

摘要

本章描述了物理层 Link

3.1 物理层概览

3.1.1

3.1.2

3.2 发送逻辑详解（Gen1 和 Gen2）

A Active State Power Management (ASPM)

ASPM 是一个仅在 D0 电源模式下激活的硬件节能机制。进入或退出 ASPM 状态的转换由硬件根据具体实施标准进行，软件无法控制或观察此操作，这一模式仅能通过配置寄存器来激活或关闭。

ASPM 定义了两种不同的低功耗模式

L0s(standby state) 该模式提供了大量的电源节省但仍提供低启动和退出延迟。实现该特性的主要方法是将传输链路置于电气空闲状态。对该模式的支持在早期版本中都是默认提供的，在 PCIe3.0 中该模式是可选配置。

L1 ASPM 该模式是为了在能够接受与 L0s 相比更高的启动和退出延迟的情况下提供更好的电源节省。发送端和接收端同时进入空闲状态。对该模式的支持在所有 PICe 版本中都是可选的。

A.1 电气空闲状态

sadasdjk sajkd aj

B SSC (Spread Spectrum Clocking)