

Arquitectura de Computadoras Repaso 2010 – Segundo Parcial

Ejercicios 1 a 5 basados en las siguientes instrucciones y su detalle de ejecución:

LD R1, A(R0)	IF	ID	EX	Mem	WB				
DADD R2, R1,		IF	ID	Raw	Raw	EX	Mem	WB	
R3			IF			ID	EX	Mem	WB
HALT									

- ☒ 1. ¿A qué se debe la presencia de Raw stalls?
 - A. La segunda instrucción usa registros alterados por la instrucción previa
 - B. La etapa Decode de la instrucción DADD utiliza 3 ciclos.
 - C. El mismo componente del pipeline no puede atender varios pedidos simultáneos.
- ☒ 2. ¿Cuántos ciclos de ejecución demandó la ejecución del programa?
 - A. 9 ciclos
 - B. 19 ciclos
 - C. 7 ciclos
- ☒ 3. ¿Cómo minimizaría el problema del Raw stall mediante la configuración del Winwips?
 - A. Deshabilitando Forwarding
 - B. Habilitando Forwarding
 - C. Habilitando Branch Target Buffer.
- ☒ 4. ¿Cuál sería el estado del Flag N (Negative) al finalizar la ejecución DADD R2, R1, R3?
 - A. N = 0
 - B. Esta arquitectura no utiliza flags de estado
 - C. No se puede determinar por el valor desconocido de R3
- ☒ 5. En un escenario ideal sin atascos (Stalls) y maximizando el paralelismo del Pipeline, ¿cuántos ciclos hubiera demandado la ejecución del programa previo?
 - A. 5 ciclos
 - B. 9 ciclos
 - C. 7 ciclos

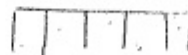
6. Marcar con una cruz cuales de las siguientes instrucciones son incorrectas

<input checked="" type="checkbox"/>	BNEZ	lazo
<input checked="" type="checkbox"/>	LD	R4, res
<input checked="" type="checkbox"/>	DADDI	R5, 0, 7
<input type="checkbox"/>	DIV.D	F4, F5, F7

- ☒ 7. ¿En qué dirección se genera la pila en el MIPS?
 - A. A partir de la dirección 8000h
 - B. El MIPS no posee pila
 - C. En la dirección que indica el registro R31

8. Al terminar de ejecutar la siguiente secuencia de instrucciones, el número de CPI será 1,8

LD R4, dato(R0)
DADD R1, R14, R6
DADDI R2, R2, 1
SD R5, dato(R12)
HALT



$\left(\frac{9 \text{ ciclos}}{5 \text{ instr}} \right)$

- ☒ 9. En un programa que se ejecuta con la opción Branch Target Buffer habilitada, ¿cuál será el comportamiento al encontrar una instrucción de salto?
 - A. Predice que el salto siempre se toma
 - B. Predice si el salto se toma o no en base a una tabla de historia de saltos
 - C. Predice si el salto se toma o no dependiendo del código de operación

→ 10. ¿En que etapa del cauce del MIPS (IF, ID, EX, MEM, WB) se decide si un salto se toma o no? ID

11. Completar la columna CC con la cantidad de ciclos de reloj que requiere cada instrucción para su ejecución.

Instrucción	CC
LD	5
MUL.D	11
DIV.D	28
DADD	5
S.D	5
ADD.D	8

Ciclos de Reloj posibles
5
8
11
28

- ☒ 12. Un programa que se ejecuta sin adelantamiento de Operandos o Forwarding genera un número N de RAW. Si ese mismo programa ahora se ejecuta con forwarding:
- A. Se eliminan completamente los RAW
 - B. El número de RAW será igual a N - 1
 - C. No se puede determinar (el número de RAW dependerá del programa)

Ejercicio 13: Implemente un programa en WinMips64 que recorra el vector VECTOR de 5 elementos numéricos y los almacene a partir de la dirección NUEVO con el valor incrementado en 1.

```
.data
VECTOR: .word 1234, 2345, 3456, 4567, 5678
NUEVO: .word 0
```

9. ¿Para el siguiente fragmento de programa porqué se producen atascos estructurales?

ADD.D F3, F2, F1
MUL.D F8, F2, F1
MUL.D F4, F2, F1
SD F3, rs1(R0)
SD F4, rs2(R0)



- A) Porque hay 2 etapas de multiplicación en punto flotante a la vez
- B) Porque hay una multiplicación en punto flotante y una suma entera en la ALU
- C) Porque se intenta ejecutar 2 etapas Mem a la vez ✓
- D) NS/NC

10. Decir cual de las tres opciones es verdadera :

- A) En operaciones aritméticas con enteros sólo el resultado puede estar referenciado como una dirección de memoria
- B) En operaciones en punto flotante sólo uno de los operandos puede estar referenciado como una dirección de memoria
- C) El acceso a memoria está limitado sólo a dos instrucciones.
- D) NS/NC

11. Escribir un programa que multiplique dos números enteros almacenados en memoria, mediante sumas sucesivas y almacene el resultado en memoria. (Este ejercicio suma entre 0 y 10 puntos dependiendo de la implementación realizada)

.data
 A: .word 2
 B: .word 3
 res: .word 0
 .text
 LD R1, A(R0)
 LD R2, B(R0)
 DADD R3, R0, R0
 Loop: DADD R3, R3, R1
 DADDI R2, R2, -1
 BNEZ R2, Loop
 SD R3, res(R0)
 HALT

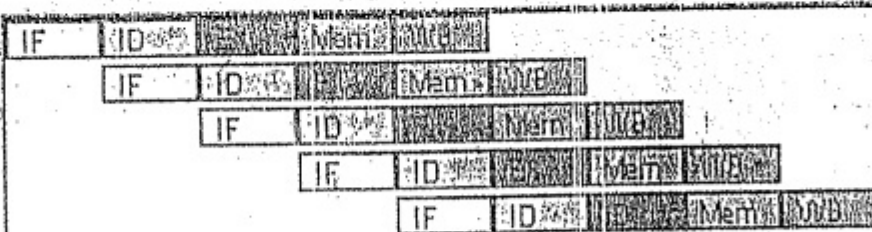
11. 9.
 1. 2. 3. 4. 5.
 6. 7. 8. 9. 10.

048

Todas las preguntas están referidas al simulador WINMIPS64 usado durante el curso. Cada respuesta correcta suma 2 puntos, incorrecta resta 1 punto. Se aprueba con 17 puntos.

1. Pipeline aprovecha el paralelismo :
A) a nivel de instrucciones B) a nivel del procesador C) por tener dos ALUs D) NS/NC
2. La instrucción DADD R2, R3, R1 se ejecuta sin forwarding. El resultado de la operación está disponible para una instrucción posterior :
A) al finalizar la etapa WB B) al finalizar la etapa EX C) al finalizar la etapa MEM D) NS/NC
3. La instrucción DSUB R2, R3, R1 se ejecuta con forwarding. El resultado de la operación está disponible para una instrucción posterior :
A) al finalizar la etapa WB B) al finalizar la etapa EX C) al finalizar la etapa MEM D) NS/NC
4. Con referencia a un programa que ejecuta operaciones sobre números enteros y no hay instrucciones de punto flotante, decir cual de las siguientes opciones es verdadera :
A) No se puede producir atascos por dependencias de datos WAR.
B) No se puede producir atascos por dependencias de datos RAW. ☒
C) Se puede producir atascos por dependencias de datos WAW.
D) NS/NC
5. ¿En qué etapa de la instrucción BNEZ R2, LOOP se conoce que es un salto, si la misma está incorporada a la tabla BTB?
A) En la etapa IF B) En la etapa IF ☒ C) En la etapa EX D) NS/NC
6. En un lazo que se ejecuta en forma repetida 100 veces (como un FOR), con la opción BTB habilitada, ¿Cuántas veces funciona la estrategia en forma acertada?
A) 98 veces B) 100 veces C) Nunca D) NS/NC
7. Dado el siguiente fragmento de programa, ¿Qué puede ud. asegurar respecto de la opción forwarding?

```
LD R1, 45(R2)
DADD R5, R6, R7
DSUB R8, R2, R7
OR R9, R1, R7
HALT
```



- A) Está habilitada B) No está habilitada C) No se puede decir porque no hay dependencia de datos D) NS/NC
8. ¿En base a que condición se producen los saltos?
A) Verificar el estado de los flags B) Verificar el valor de un registro D) NS/NC
C) No se verifica ninguna condición porque todos los saltos son incondicionales.

Observaciones: En las preguntas 2, 3, 5, 7 y 10 hay solo una respuesta correcta. Indíquela en el recuadro a la izquierda de la pregunta, con tinta y en letra imprenta mayúscula. Si indica la correcta suma 2 puntos, si es incorrecta o tiene tachaduras, resta 1 punto. Si indica NS/NC, 0 puntos. El resto de los ejercicios suma 2 puntos cada uno si son correctos, 0 en caso contrario. El ejercicio 11 sumará entre 0 y 10 puntos. **SE APRUEBA CON 18 PUNTOS.**

Todas las preguntas están referidas al simulador WINMIPS64 usado durante el curso.

1. Dado el siguiente fragmento de programa, determinar el contenido de los registros después de su completa ejecución (opción Forwarding habilitada).

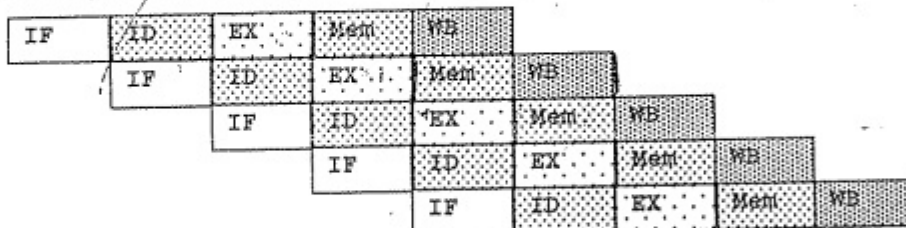
```
.data
dato: .word 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 20, 21
.code
DADDI R4, R0, 0
LD R6, dato(R4)
lazo: DADD R4, R4, R6
      DSLR R7, R4, 2
      DADDI R6, R6, -1
      BNEZ R6, lazo
      DADDI R6, R6, -2
      HALT
```

R4 10 ; R6 -2 ; R7 90

- ☐ 2. Si el programa anterior se ejecuta con la opción Delay Slot habilitada
- A. la instrucción DSLR se completa 2 veces B. la instrucción DSLR se completa 3 veces
- C. la instrucción DSLR se completa 1 vez D. NS/NC

- ☐ 3. Dado el siguiente fragmento de programa, ¿Qué puede ud. asegurar respecto de la opción forwarding?

```
LD R1, 45(R2)
DADD R5, R6, R7
DSUB R8, R2, R7
OR R9, R1, R7
HALT
```



- A. Está habilitada B. No está habilitada
- C. No sé, porque no hay dependencia de datos en el programa D. NS/NC

4. Marcar con una cruz cuales de las siguientes instrucciones son incorrectas

<input checked="" type="checkbox"/>	BNEZ lazo
<input checked="" type="checkbox"/>	LD R4, res
<input checked="" type="checkbox"/>	DADDI R5, 0, 7
<input type="checkbox"/>	DIV.D F4, F5, F7

R₆ = 4870-2

R₄ = 044810

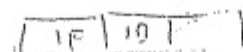
1 R₆ = 48210-2

3 R₁ = 16283640

- ☐ 5. ¿En qué dirección se genera la pila en el MIPS?
- A. A partir de la dirección 8000h B. El MIPS no posee pila
- C. En la dirección que indica el registro R31 D. NS/NC

6. Al terminar de ejecutar la siguiente secuencia de instrucciones, el número de CPI será 1.18

```
LD R4, dato(R0)
DADD R1, R14, R6
DADDI R2, R2, 1
SD R5, dato(R12)
HALT
```



- ☐ 7. En un programa que se ejecuta con la opción Branch Target Buffer habilitada, ¿cuál será el comportamiento al encontrar una instrucción de salto?
- A. Predice que el salto siempre se toma B. Predice si el salto se toma o no en base a una tabla de historia de saltos
- C. Predice si el salto se toma o no dependiendo del código de operación D. NS/NC

8. ¿En que etapa del cauce del MIPS (IF, ID, EX, MEM, WB) se decide si un salto se toma o no? ID

9. Completar la columna CC con la cantidad de ciclos de reloj que requiere cada instrucción para su ejecución.

Instrucción	CC
S.D	5
DIV.D	28
MUL.D	11
ADD.D	8
LD	5
DADD	5

Ciclos de Reloj posibles
5
8
11
28

10. Un programa que se ejecuta sin adelantamiento de Operandos o Forwarding genera un número N de RAW. Si ese mismo programa ahora se ejecuta con forwarding :

- A. Se eliminan completamente los RAW B. No se puede determinar (el número de RAW dependerá del programa)
C. El número de RAW será igual a N - 1 D. NS/NC.

11. Se cuenta con 1 arreglo llamado TABLA que contiene 15 elementos. Escribir un programa para el winmips64 que genere un nuevo arreglo a partir de la dirección NUEVO, que contenga sólo aquellos elementos del arreglo TABLA que sean menores a MENOR También debe establecer la cantidad de elementos de éste nuevo arreglo en la dirección CANTIDAD.

.data
TABLA: .word 4,11,18,6,17,28,9,0,11,23,15,6,37,29,14
MENOR: .word 20
MAYOR: .word 10
CANTIDAD: .word 15
TOTAL: .word 0
NUEVO: .word 0

SD R5, NUEVO (20)

.word
LD R1, CANTIDAD(R0) DADDI R6, R0, R0
DADDI R2, R0, R0 LD R3, MENOR(R0)
SALTO LD R4, TABLA(R2)
SLT R5, R4, R3
BEQZ R5, LOOP
DADDI R6, R6, 1

ARQUITECTURA DE COMPUTADORAS-FINALES

Plan 2003 – 26/03/09

1. Explique los métodos de pasaje de argumentos a procedimientos o funciones. Describa el comportamiento con anidamiento de múltiples procedimiento/funciones.
2. ¿Cómo es la estructura de un módulo E/S? Describa las características funcionales del Acceso Directo a Memoria (DMA).
3. Describa los elementos a tener en cuenta en el diseño de una memoria cache. Analice ventajas y desventajas de poseer varios niveles de cache.
4. ¿Qué es la segmentación de causas de instrucciones ? ¿ Cuando mejora el rendimiento? Describa al menos dos técnicas para disminuir la influencia de los saltos de un cause segmentado.
5. ¿Qué características posee un procesador superescalar?

Plan 2003- /03/10

1. ¿Qué es un bus ? Defina los diferentes tipos de arbitraje y sincronización. Mencione las principales diferencias entre un bus PCI y SCSI.
2. ¿Qué es una interrupción? ¿ Cual es la función de un controlador de interrupciones?
3. ¿Cómo es la estructura de un modelo de E/S?. Describa las posibles técnicas que puede utilizar una CPU para realizar operaciones E/S.
4. Describa los algoritmos de reemplazo de Bloque y políticas de la escritura en la cache.
5. ¿Qué es la segmentación de cause? Describa tipos de dependencia que afectan el funcionamiento de los causes.
6. Describa las características que diferencian los procesadores RISC respecto a los CISC.

Plan 2003- 25/03/10

1. ¿Qué es un bus? Describa tipos, arbitrajes y técnicas de sincronización. Mencione diferencias entre bus PCI y bus SCSI.
2. ¿Qué es una interrupción? ¿ Cual es la función del PIC?
3. Estructura de un módulo de E/S. Describa técnicas que usa la CPU para realizar operaciones de E/S.
4. Describa algoritmos de reemplazo de bloque y políticas de escritura en cache.
5. ¿Qué es la segmentación de cause ? Describa tipos de dependencia que afectarían el funcionamiento de causes. ¿ Cuanto mejora el rendimiento?.

ARQUITECTURA DE COMPUTADORAS-FINALES

Plan 2003

1. ¿Qué es un bus? Desarrolle los mecanismos de arbitraje y temporalizado.
2. Describa las características que presentan los conjuntos de instrucciones de las arquitectura RISC.
3. Describa las estructuras de los módulos de E/S. Desarrolle como es el funcionamiento del DMA y los usos que de él se hacen.
4. Describa los algoritmos de reemplazo de bloques y las políticas de escrituras en una memoria cache.
5. describa las limitaciones existentes al paralelismo a nivel de instrucciones.

Plan 2003

1. Explique el mecanismo de interrupción. Describa el tratamiento de múltiples interrupciones.
2. ¿Qué es una Pila o Stack? Describa su funcionamiento y explique 2 usos típicos.
3. ¿Cuáles de estas características más comunes de la arquitectura RISC?
4. ¿Cómo es la estructura de un modulo E/S? Relación CPU-E/S: describa las posibles técnicas para realizar operaciones de E/S.
5. Describa los algoritmos de reemplazo de bloques y las políticas de escritura en una memoria cache.
6. Mencione las limitaciones existentes al paralelismo a nivel de instrucciones.

Plan 2003 - 08/03/06

1. Describa el mecanismo de interrupción. Explique características y tratamiento de interrupciones múltiples.
2. ¿Qué es segmentación de cauce? ¿Qué ventajas proporciona su implementación?
3. Describa las características funcionales del Acceso Directo a Memoria (DMA).
4. Memoria Caché. Describa el mapeo asociativo por conjuntos. Analice las políticas de escritura desde el punto de vista de la coherencia de datos.
5. ¿Qué son los procesadores superescalares?

Plan 2003 - 28/03/07

1. ¿Cuál es el propósito de permitir interrupciones al ciclo de instrucción? Describa como funcionan y para qué puede usarse las instrucciones de interrupción por software.
2. ¿Qué es una pila o stack? Describa el funcionamiento de una pila si hay subrutinas anidadas que realicen pasaje de parámetros por referencia.
3. ¿Cómo es la estructura de un módulo de E/S? Desarrolle el funcionamiento de DMA y los usos que de él se hace.
4. ¿Cuál es la justificación por la cual 2 niveles de memoria caché son mejores que uno solo?
5. ¿Qué características tiene los procesadores superescalares?

Ej. 1), 2) y 5) están explicados en las notas de clase.

3) Supongamos que la suma de los dos números es ≤ 9 . El número ingresado por teclado es almacenado en memoria como el ASCII que representa al número, ej ASCII 0 = 30H, el ASCII 1 = 31H.....ASCII 9=39H, es decir si los números ingresados son 2 (ASCII 32H) y 3 (ASCII 33H) la suma resultará 32H+33H=65H. Este resultado tiene sumado dos veces 30H, entonces hay que restar 30H para obtener el resultado correcto 35H, que es el ASCII de 5. Limitamos el resultado al caso ≤ 9 para que tenga un solo dígito, si el resultado tuviese 2 dígitos. por ej 7+8=15, habría que guardarlo en 2 posiciones de memoria una para el 1 (31H) y otra para el 5 (35H).

ORG 1000H

MSJ1 DB "INGRESE EL PRIMER NUMERO:"

FIN1 DB ?

MSJ2 DB "INGRESE EL SEGUNDO NUMERO:"

FIN2 DB ?

ORG 1500H

NUM1 DB ?

NUM2 DB ?

RES DB ?

ORG 2000H

MOV BX,OFFSET MSJ1 ; BX:=1000H apunta a MSJ1

MOV AL,OFFSET FIN1-OFFSET MSJ1; AL=25 cantidad de carac. en MSJ1

INT 7 ; Muestra en pantalla MSJ1

MOV BX,OFFSET NUM1 ; BX=1500H apunta a NUM1 donde se guardará el número ingresado

INT 6 ; Espera dato ingresado por el teclado

MOV AL,1 ; Cantidad de números ingresados

INT 7 ; Muestra en pantalla el número ingresado por teclado

MOV BX,OFFSET MSJ2 ; BX=101AH apunta a MSJ2

MOV AL,OFFSET FIN2-OFFSET MSJ2 ; AL=26=1AH cantidad de carac. en MSJ2

INT 7 ; Muestra en pantalla MSJ2

MOV BX,OFFSET NUM2 ; BX=1502H apunta a NUM2 donde guardará el número ingresado

INT 6 ; Espera dato ingresado por teclado

MOV AL,1

INT 7 ; Muestra en pantalla el número ingresado por teclado

MOV AL,NUM1 ; Carga en AL el primer número ingresado

ADD AL,NUM2 ; Suma los dos números ingresados por teclado

SUB AL,30H ; Resta al resultado 30H para formar el ASCII

MOV RES,AL ; Almacena en RES el resultado

MOV BX,OFFSET RES ; BX=1502H apunta a RES

MOV AL,1 ; Cantidad de números del resultado

INT 7 ; Muestra el resultado en pantalla.

INT 0

END

4) Vamos a mostrar primero el ej. con una clave de un solo caracter

```
ORG 1000H
MSJ DB "INGRESE CLAVE"
FIN DB ?
CLAVE DB "M"
ING DB ?
CAR1 DB "ACCESO PERMITIDO"
FIN1 DB ?
CAR2 DB "ACCESO DENEGADO"
FIN2 DB ?
```

```
ORG 2000H
MOV BX, OFFSET MSJ
MOV AL, OFFSET FIN-OFFSET MSJ
INT 7
MOV BX, OFFSET ING
INT 6
MOV AL,[BX]
MOV BX, OFFSET CLAVE
CMP AL,[BX]
JNZ NOPO
MOV BX, OFFSET CAR1
MOV AL, OFFSET FIN1-OFFSET CAR1
INT 7
JMP FINAL
NOPO: MOV BX, OFFSET CAR2
MOV AL, OFFSET FIN2-OFFSET CAR2
INT 7
FINAL: INT 0
END
```