

Arquitectura de Computadores

Aritmética Binaria y Lógica de Computadores

Daniel Maldonado-Ruiz

1

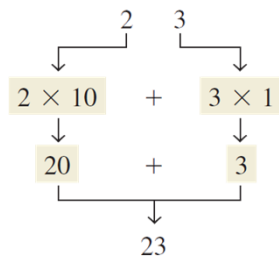
Sistemas de Numeración

2

Decimal

En esta posición el dígito 2
tiene un peso de 10.

En esta posición el dígito 3
tiene un peso de 1.



$10^2 \ 10^1 \ 10^0 \cdot 10^{-1} \ 10^{-2} \ 10^{-3} \dots$

Coma decimal

$$X = \sum_i (d_i \times 10^i)$$

Aritmética Binaria y Lógica de Computadores

2

3

Sistemas de Numeración

Binario

Número decimal	Número binario			
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

$$2^{n-1} \dots 2^3 2^2 2^1 2^0 \cdot 2^{-1} 2^{-2} \dots 2^{-n}$$

↑
Coma binaria

$$\sum_i (a_i \times b^i)$$

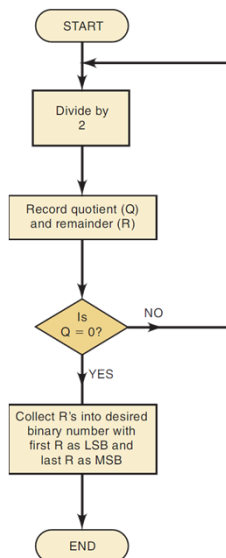
Aritmética Binaria y Lógica de Computadores

3

4

Sistemas de Numeración

Conversión Decimal-Binario



$$\begin{aligned} \frac{37}{2} &= 18.5 \rightarrow \text{residuo de 1 (LSB)} \\ \frac{18}{2} &= 9.0 \rightarrow 0 \\ \frac{9}{2} &= 4.5 \rightarrow 1 \\ \frac{4}{2} &= 2.0 \rightarrow 0 \\ \frac{2}{2} &= 1.0 \rightarrow 0 \\ \frac{1}{2} &= 0.5 \rightarrow 1 \text{ (MSB)} \end{aligned}$$

Aritmética Binaria y Lógica de Computadores

4

5

Sistemas de Codificación

BCD

Siglas para Binary-Coded Digit, ampliación de la representación para números.

8	7	4	(decimal)	9	4	3	(decimal)
↓	↓	↓		↓	↓	↓	
1000	0111	0100	(BCD)	1001	0100	0011	(BCD)

$$137_{10} = 10001001_2 \quad (\text{binario})$$

$$137_{10} = 0001\ 0011\ 0111 \quad (\text{BCD})$$

Aritmética Binaria y Lógica de Computadores

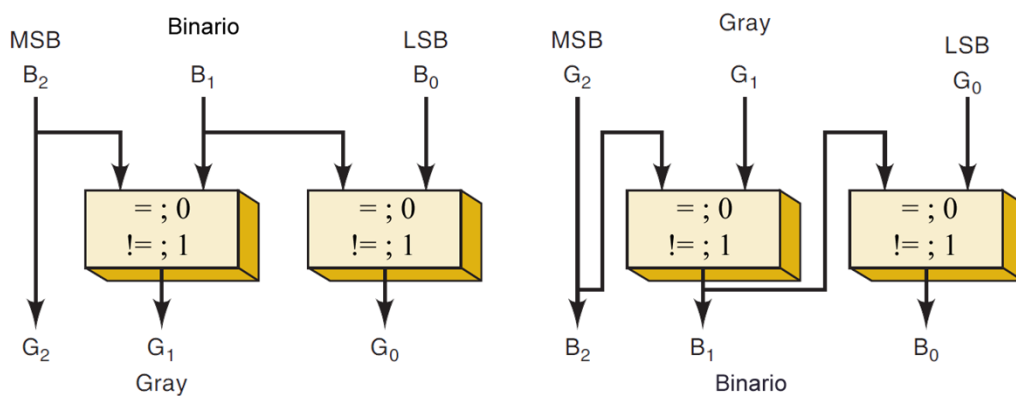
5

6

Sistemas de Codificación

Código Gray

Representación alterna de un código binario tradicional, usado para evitar errores en esquemas de comunicación y difusión.



Aritmética Binaria y Lógica de Computadores

6

7

Sistemas de Codificación

Decimal	Binary	Hexadecimal	BCD	Gray
0	0	0	0000	0000
1	1	1	0001	0001
2	10	2	0010	0011
3	11	3	0011	0010
4	100	4	0100	0110
5	101	5	0101	0111
6	110	6	0110	0101
7	111	7	0111	0100
8	1000	8	1000	1100
9	1001	9	1001	1101
10	1010	A	0001 0000	1111
11	1011	B	0001 0001	1110
12	1100	C	0001 0010	1010
13	1101	D	0001 0011	1011
14	1110	E	0001 0100	1001
15	1111	F	0001 0101	1000

Aritmética Binaria y Lógica de Computadores

7

8

Sistemas de Codificación

ASCII

Código alfanumérico para representar todos los caracteres del idioma inglés.

Character	Hex	Decimal	Character	Hex	Decimal	Character	Hex	Decimal	Character	Hex	Decimal
NUL (null)	0	0	Data Link Esc	10	16	Space	20	32	0	30	48
Start Heading	1	1	Direct Control 1	11	17	!	21	33	1	31	49
Start Text	2	2	Direct Control 2	12	18	"	22	34	2	32	50
End Text	3	3	Direct Control 3	13	19	#	23	35	3	33	51
End Transmit.	4	4	Direct Control 4	14	20	\$	24	36	4	34	52
Enquiry	5	5	Negative ACK	15	21	%	25	37	5	35	53
Acknowledge	6	6	Synch Idle	16	22	&	26	38	6	36	54
Bell	7	7	End Trans Block	17	23	`	27	39	7	37	55
Backspace	8	8	Cancel	18	24	(28	40	8	38	56
Horiz. Tab	9	9	End of Medium	19	25)	29	41	9	39	57
Line Feed	A	10	Substitutue	1A	26	*	2A	42	:	3A	58
Vert. Tab	B	11	Escape	1B	27	+	2B	43	;	3B	59
Form Feed	C	12	Form Separator	1C	28	,	2C	44	<	3C	60
Carriage Return	D	13	Group Separator	1D	29	-	2D	45	=	3D	61
Shift Out	E	14	Record Separator	1E	30	.	2E	46	>	3E	62
Shift In	F	15	Unit Separator	1F	31	/	2F	47	?	3F	63

Aritmética Binaria y Lógica de Computadores

8

ASCII

Sistemas de Codificación

Código alfanumérico para representar todos los caracteres del idioma inglés.

Character	Hex	Decimal	Character	Hex	Decimal	Character	Hex	Decimal	Character	Hex	Decimal
@	40	64	P	50	80	.	60	96	p	70	112
A	41	65	Q	51	81	a	61	97	q	71	113
B	42	66	R	52	82	b	62	98	r	72	114
C	43	67	S	53	83	c	63	99	s	73	115
D	44	68	T	54	84	d	64	100	t	74	116
E	45	69	U	55	85	e	65	101	u	75	117
F	46	70	V	56	86	f	66	102	v	76	118
G	47	71	W	57	87	g	67	103	w	77	119
H	48	72	X	58	88	h	68	104	x	78	120
I	49	73	Y	59	89	i	69	105	y	79	121
J	4A	74	Z	5A	90	j	6A	106	z	7A	122
K	4B	75	[5B	91	k	6B	107	{	7B	123
L	4C	76	\	5C	92	l	6C	108		7C	124
M	4D	77]	5D	93	m	6D	109	}	7D	125
N	4E	78	^	5E	94	n	6E	110	~	7E	126
O	4F	79	_	5F	95	o	6F	111	Delete	7F	127

Aritmética Binaria y Lógica de Computadores

9

Sistemas de Codificación

Corrección de errores

Bit de paridad: Bit adicional a una palabra para comprobar si tuvo errores de transmisión.

bits añadidos de paridad par

↓

H =	0	1	0	0	1	0	0	0
E =	1	1	0	0	0	1	0	1
L =	1	1	0	0	1	1	0	0
L =	1	1	0	0	1	1	0	0
O =	1	1	0	0	1	1	1	1

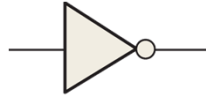
Aritmética Binaria y Lógica de Computadores

10

11

Lógica Digital

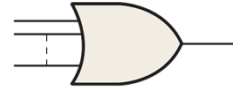
Operaciones Lógicas



NOT



AND



OR

Entrada	Salida
BAJO (0)	ALTO (1)
ALTO (1)	BAJO (0)

Entradas		Salida
A	B	X
0	0	0
0	1	0
1	0	0
1	1	1
1 = ALTO, 0 = BAJO		

Entradas		Salida
A	B	X
0	0	0
0	1	1
1	0	1
1	1	1
1 = ALTO, 0 = BAJO		

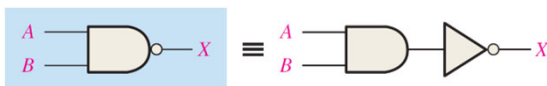
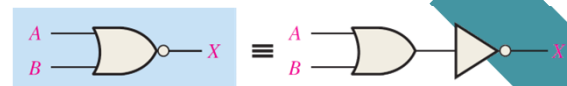
Aritmética Binaria y Lógica de Computadores

11

12

Lógica Digital

Operaciones Lógicas

NAND \equiv NOT/ANDNOR \equiv NOT/OR

Entradas		Salida
A	B	X
0	0	1
0	1	1
1	0	1
1	1	0
1 = ALTO, 0 = BAJO		

Entradas		Salida
A	B	X
0	0	1
0	1	0
1	0	0
1	1	0
1 = ALTO, 0 = BAJO		

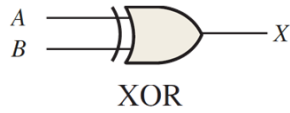
Aritmética Binaria y Lógica de Computadores

12

13

Lógica Digital

Operaciones Lógicas



Entradas		Salida
A	B	X
0	0	0
0	1	1
1	0	1
1	1	0



Entradas		Salida
A	B	X
0	0	1
0	1	0
1	0	0
1	1	1

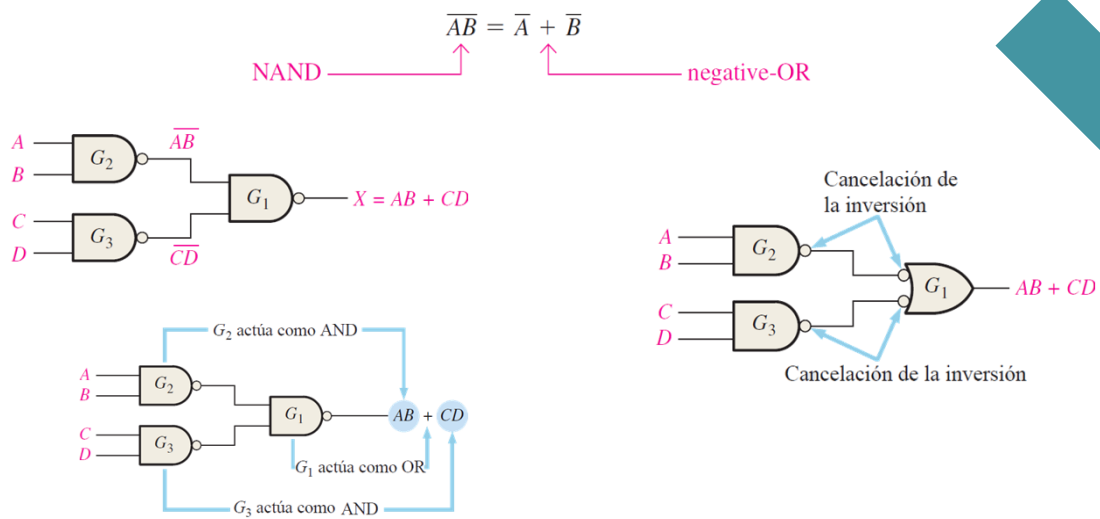
Aritmética Binaria y Lógica de Computadores

13

14

Lógica Digital

Operaciones Lógicas



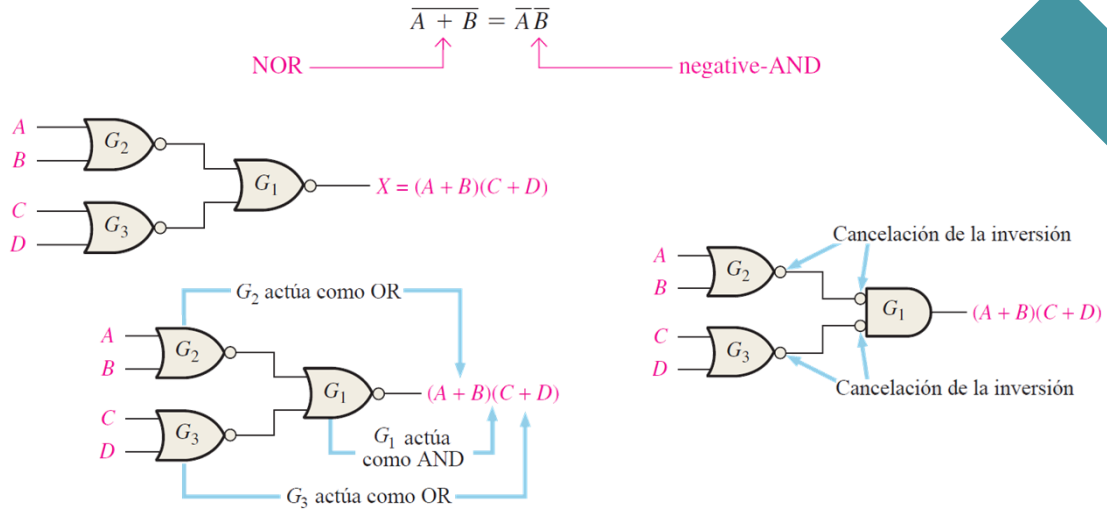
Aritmética Binaria y Lógica de Computadores

14

15

Lógica Digital

Operaciones Lógicas



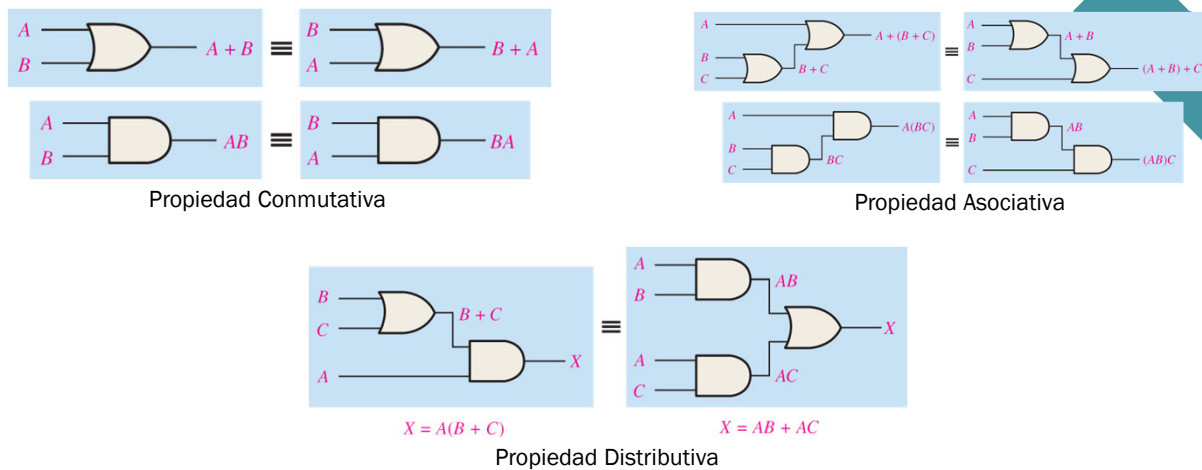
Aritmética Binaria y Lógica de Computadores

15

16

Lógica Digital

Algebra booleana



Aritmética Binaria y Lógica de Computadores

16

17

Lógica Digital

Reglas del Algebra booleana

1. $A + 0 = A$
2. $A + 1 = 1$
3. $A \cdot 0 = 0$
4. $A \cdot 1 = A$
5. $A + A = A$
6. $A + \bar{A} = 1$
7. $A \cdot A = A$
8. $A \cdot \bar{A} = 0$
9. $\bar{\bar{A}} = A$
10. $A + AB = A$
11. $A + \bar{A}B = A + B$
12. $(A + B)(A + C) = A + BC$

A, B o C pueden representar una sola variable o una combinación de variables.

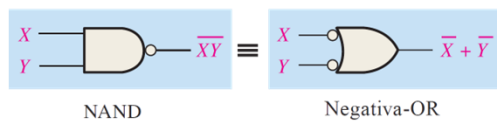
Aritmética Binaria y Lógica de Computadores

17

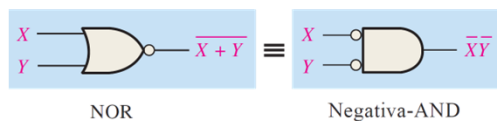
18

Lógica Digital

Teoremas de DeMorgan



Inputs		Output	
X	Y	\overline{XY}	$\bar{X} + \bar{Y}$
0	0	1	1
0	1	1	1
1	0	1	1
1	1	0	0



Inputs		Output	
X	Y	$\overline{X + Y}$	$\bar{X} \bar{Y}$
0	0	1	1
0	1	0	0
1	0	0	0
1	1	0	0

Aritmética Binaria y Lógica de Computadores

18

Lógica Digital

Algebra booleana

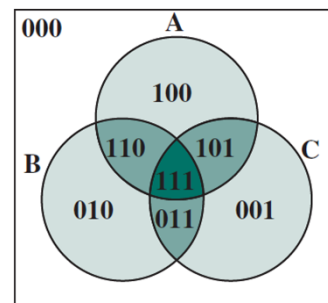
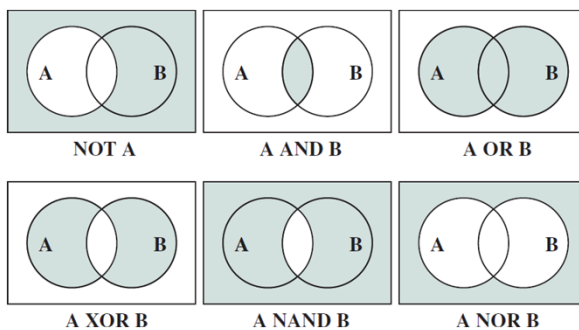
Boolean		Sets	
Function	Description	Function	Description
A AND B	1 if and only if A and B are 1	$A \cap B$	Set of elements that belong to both A and B (intersection)
A OR B	1 if A or B or both are 1; 0 if both A and B are 0	$A \cup B$	Set of elements that belong to A or B or both (union)
A OR B	1 if and only if A is 0	\overline{A}	Set of elements not in A (complement of A)

Aritmética Binaria y Lógica de Computadores

19

Lógica Digital

Algebra booleana



Representación de operaciones como conjuntos

Aritmética Binaria y Lógica de Computadores

20

21

Circuitos Combinacionales

Un circuito combinacional es un conjunto interconectado de compuertas cuya salida en cualquier momento es función únicamente de la entrada en ese momento.

A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	0

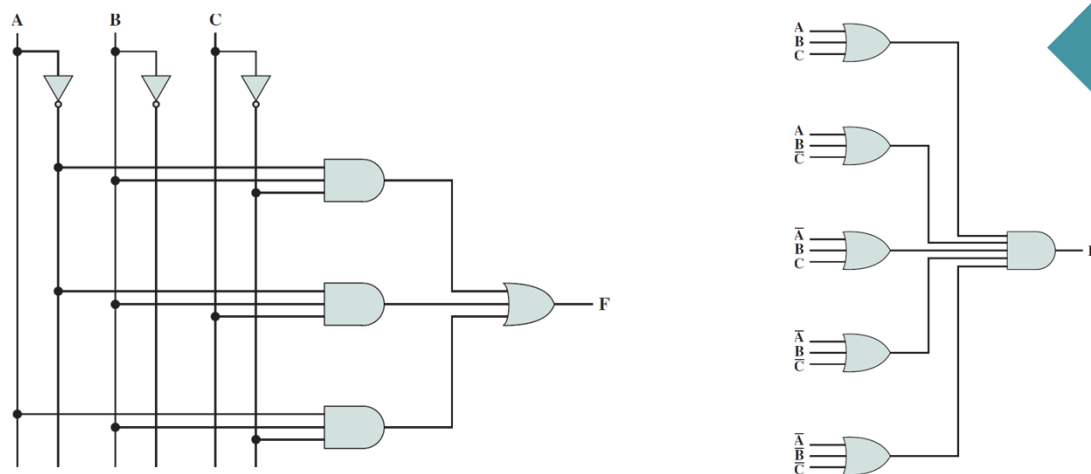
Primera representación: Tabla de verdad

Aritmética Binaria y Lógica de Computadores

21

22

Circuitos Combinacionales



Segunda representación: Circuito gráfico

Aritmética Binaria y Lógica de Computadores

22

23

Circuitos Combinacionales

Mapas de Karnaugh

A	B	X
0	0	1 → $\bar{A}\bar{B}$
0	1	0
1	0	0
1	1	1 → AB

$$\{x = \bar{A}\bar{B} + AB\}$$

	\bar{B}	B
\bar{A}	1	0
A	0	1

A	B	C	X
0	0	0	1 → $\bar{A}\bar{B}\bar{C}$
0	0	1	1 → $\bar{A}\bar{B}C$
0	1	0	1 → $\bar{A}B\bar{C}$
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	1 → $AB\bar{C}$
1	1	1	0

$$\{x = \bar{A}\bar{B}\bar{C} + \bar{A}\bar{B}C + \bar{A}B\bar{C} + AB\bar{C}\}$$

	\bar{C}	C
$\bar{A}\bar{B}$	1	1
$\bar{A}B$	1	0
AB	1	0
$A\bar{B}$	0	0

A	B	C	D	X
0	0	0	0	0
0	0	0	1	1 → $\bar{A}\bar{B}\bar{C}D$
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1 → $\bar{A}\bar{B}CD$
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	1 → $\bar{A}BCD$
1	1	1	0	0
1	1	1	1	1 → $ABCD$

$$\{x = \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}CD + \bar{A}BCD + ABCD\}$$

	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	0	1	0	0
$\bar{A}B$	0	1	0	0
AB	0	1	1	0
$A\bar{B}$	0	0	0	0

Aritmética Binaria y Lógica de Computadores

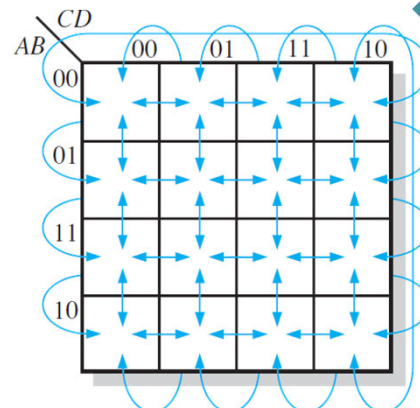
23

24

Circuitos Combinacionales

Mapas de Karnaugh

AB \ CD	00	01	11	10
00				
01				
11				
10				



Reducción de un mapa de Karnaugh

Aritmética Binaria y Lógica de Computadores

24

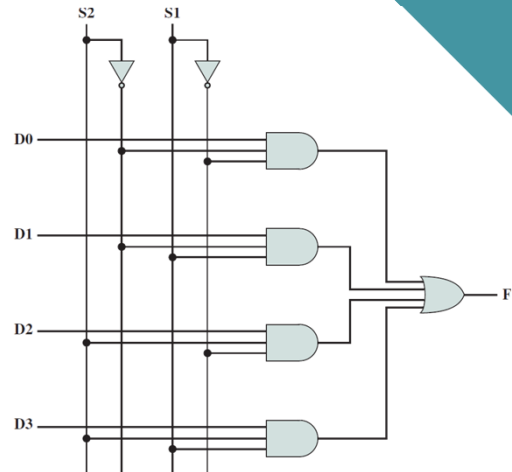
25

Circuitos Combinacionales

Multiplexores

El multiplexor conecta varias entradas a una única salida. En cualquier momento, se selecciona una de las entradas para pasarla a la salida.

S2	S1	F
0	0	D0
0	1	D1
1	0	D2
1	1	D3



Aritmética Binaria y Lógica de Computadores

25

26

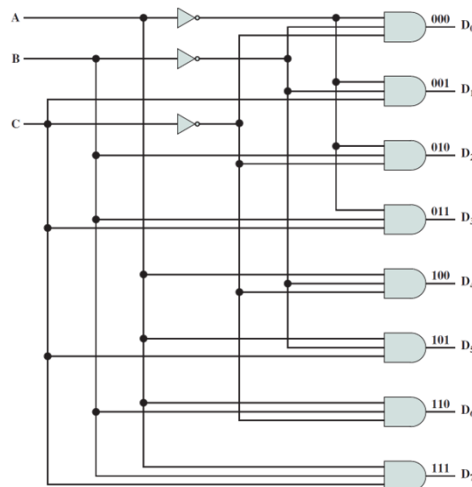
Circuitos Combinacionales

Decodificadores

Un decodificador es un circuito combinacional con varias líneas de salida, de las cuales solo una se activa en cada momento. La línea de salida depende del patrón de las líneas de entrada.

Address	Chip
0000-00FF	0
0100-01FF	1
0200-02FF	2
0300-03FF	3

Decodificador con 3 entradas y 8 salidas.

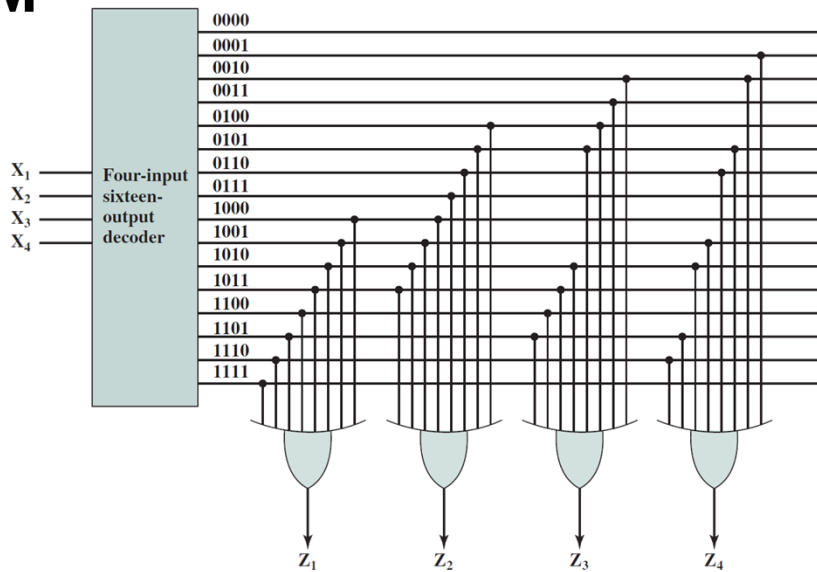


Aritmética Binaria y Lógica de Computadores

26

27

ROM



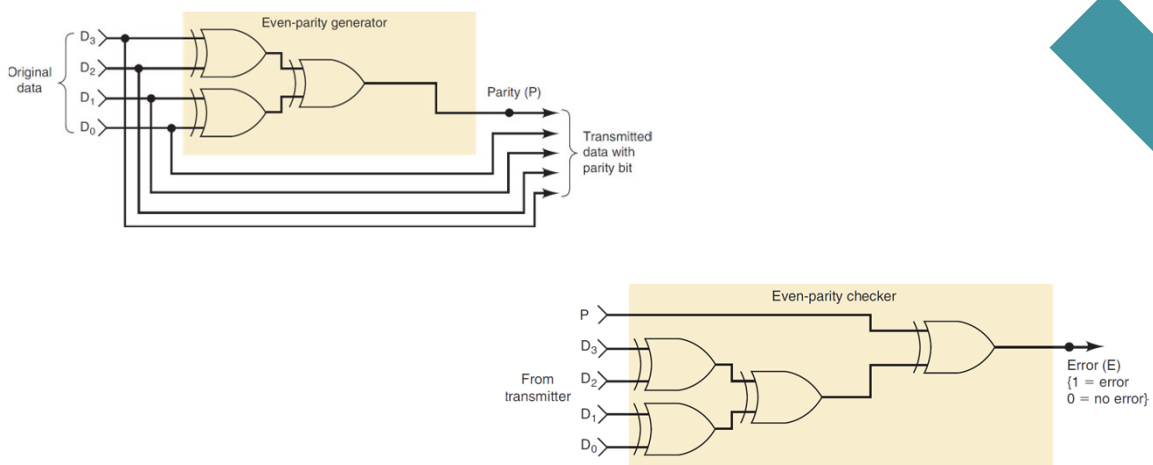
Memoria para
64 bits fijos

Aritmética Binaria y Lógica de Computadores

27

28

Circuitos Combinacionales Generador de Paridad



Circuitos de paridad par para un nibble.

Aritmética Binaria y Lógica de Computadores

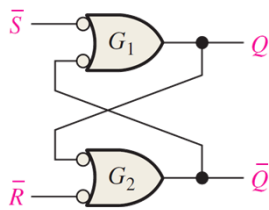
28

Circuitos Secuenciales

Un circuito secuencial depende no solamente de las entradas, sino de valores que fueron obtenidos fruto de una ejecución previa del mismo circuito.

Latch

Dispositivo de almacenamiento temporal de dos estados, que almacena, o puede almacenar, un bit.



Entradas		Salidas		Comentarios
\bar{S}	\bar{R}	Q	\bar{Q}	
1	1	NC	NC	No cambio. El latch permanece en el estado que estaba.
0	1	1	0	Latch en estado SET.
1	0	0	1	Latch en estado RESET.
0	0	1	1	Condición no válida

Aritmética Binaria y Lógica de Computadores

29

Circuitos Secuenciales

Latch

Characteristic Table		
Current Inputs	Current State	Next State
SR	Q_n	Q_{n+1}
00	0	0
00	1	1
01	0	0
01	1	0
10	0	1
10	1	1
11	0	—
11	1	—

Cada ejecución modifica los valores de la siguiente, generando una secuencia de valores.

Response to Series of Inputs										
t	0	1	2	3	4	5	6	7	8	9
S	1	0	0	0	0	0	0	0	1	0
R	0	0	0	1	0	0	1	0	0	0
Q_{n+1}	1	1	1	0	0	0	0	0	1	1

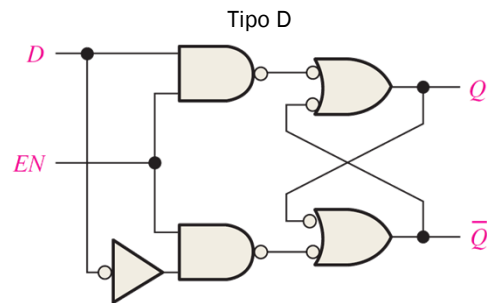
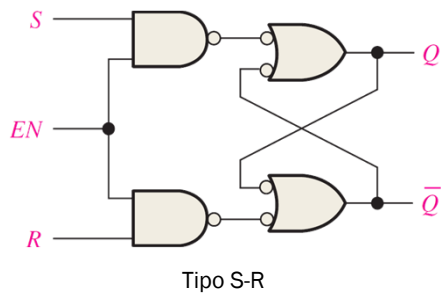
Aritmética Binaria y Lógica de Computadores

30

31

Latch

Circuitos Secuenciales



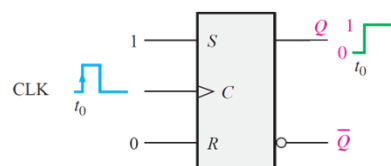
Aritmética Binaria y Lógica de Computadores

31

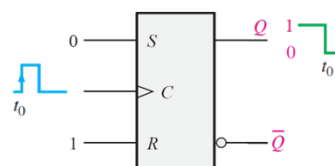
32

Flip-Flop

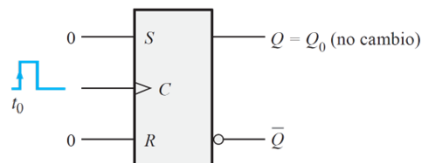
Circuitos Secuenciales



$S = 1, R = 0$ pone al flip-flop en estado SET en el flanco positivo de reloj (si ya estaba en estado SET, permanece en dicho estado).



$S = 0, R = 1$ pone al flip-flop en estado RESET en el flanco positivo de reloj (si ya estaba en estado RESET, permanece en dicho estado).



$S = 0, R = 0$ no varía el estado en que se encuentre el flip-flop (si está en estado SET permanece en este estado; si está en estado RESET permanece en dicho estado).

Aritmética Binaria y Lógica de Computadores

32

33

Flip-Flop

Circuitos Secuenciales

Entradas			Salidas		Comentarios
S	R	CLK	Q	\bar{Q}	
0	0	X	Q_0	\bar{Q}_0	No cambio
0	1	\uparrow	0	1	RESET
1	0	\uparrow	1	0	SET
1	1	\uparrow	?	?	No válida

\uparrow = transición del reloj de nivel BAJO a nivel ALTO
 X = irrelevante ("condición indiferente")
 Q_0 = nivel de salida previo a la transición del reloj

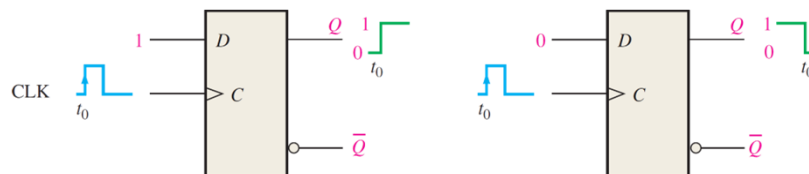
Aritmética Binaria y Lógica de Computadores

33

34

Flip-Flop

Circuitos Secuenciales



D=1, el FF se pone en estado SET al ciclo de reloj

D=0, el FF se pone en estado RESET al ciclo de reloj

Entradas		Salidas		Comentarios
D	CLK	Q	\bar{Q}	
1	\uparrow	1	0	SET (almacena un 1)
0	\uparrow	0	1	RESET (almacena un 0)

\uparrow = transición del reloj de nivel BAJO a nivel ALTO

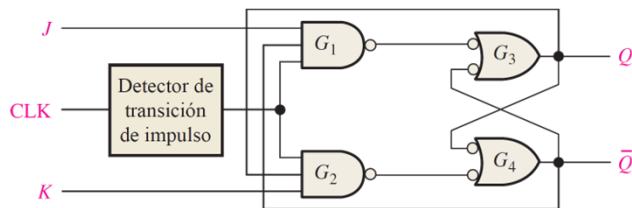
Aritmética Binaria y Lógica de Computadores

34

35

Circuitos Secuenciales

Flip-Flop



Entradas			Salidas		Comentarios
J	K	CLK	Q	\bar{Q}	
0	0	↑	Q_0	\bar{Q}_0	No cambio
0	1	↑	0	1	RESET
1	0	↑	1	0	SET
1	1	↑	Q_0	\bar{Q}_0	Basculación

↑ = transición del reloj de nivel BAJO a nivel ALTO
 Q_0 = nivel de salida previo a la transición del reloj

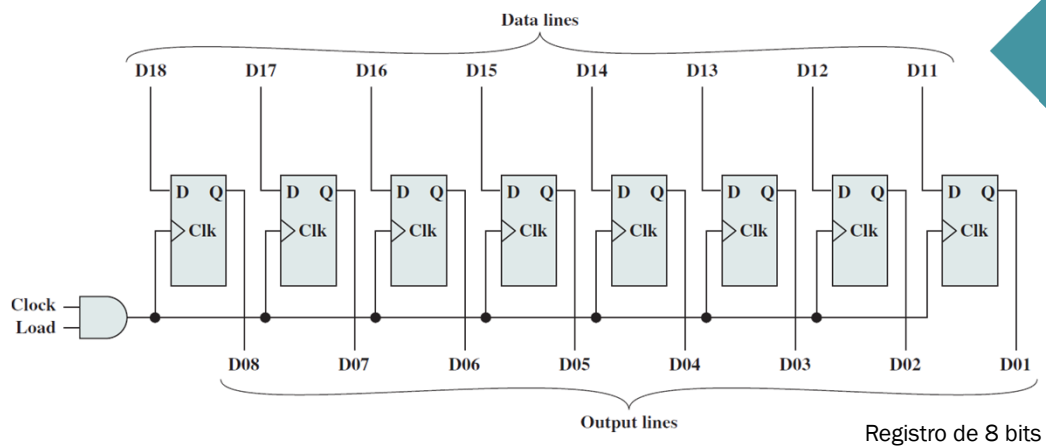
Aritmética Binaria y Lógica de Computadores

35

36

Circuitos Secuenciales

Registros paralelos



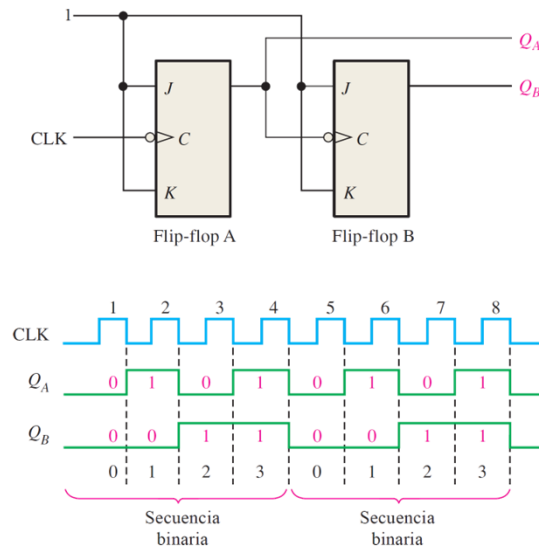
Aritmética Binaria y Lógica de Computadores

36

37

Contador

Circuitos Secuenciales



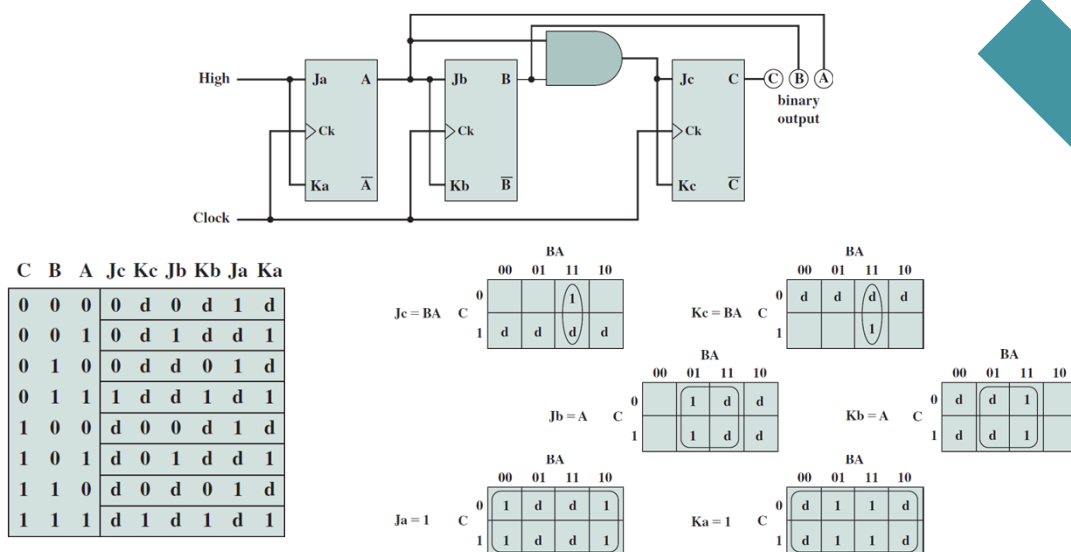
Aritmética Binaria y Lógica de Computadores

37

38

Contador Sincrónico

Circuitos Secuenciales



Aritmética Binaria y Lógica de Computadores

38

¿Preguntas?

daniel.maldonado02@epn.edu.ec

Introducción al Curso