

**Consulta: Arquitectura de computadores**

**Tema: Elementos de diseño de caché.**

**Nombre: Fernando Eliceo Huilca Villagómez**

**Carrera: Ingeniería de Software**

**Grupo: GR2SW**

**Fecha: 26 / 07 / 2024**

**Contenido:**

<b>¿Qué son los elementos de diseño de caché? .....</b>	<b>2</b>
<b>1. Tamaño de la caché (Cache Size): .....</b>	<b>2</b>
<b>2. Línea de caché (Cache Line Size): .....</b>	<b>2</b>
<b>3. Asociatividad (Associativity): .....</b>	<b>2</b>
<b>4. Política de reemplazo (Replacement Policy): .....</b>	<b>3</b>
<b>5. Política de escritura (Write Policy): .....</b>	<b>3</b>
<b>6. Tasa de aciertos y fallos (Hit and Miss Rates): .....</b>	<b>4</b>
<b>7. Latencia y tiempo de acceso (Latency and Access Time): .....</b>	<b>4</b>
<b>8. Coherencia de caché (Cache Coherence): .....</b>	<b>4</b>
<b>Bibliografía: .....</b>	<b>4</b>

## ¿Qué son los elementos de diseño de caché?

Los elementos de diseño de caché son características que determinan cómo funciona y qué tan eficiente es un sistema de caché. Incluyen el tamaño de la caché, el tamaño de las líneas de caché, el tipo de asociatividad (cómo se mapean las direcciones de memoria a la caché), la política de reemplazo (qué datos se eliminan cuando la caché está llena), la política de escritura (cómo se manejan las escrituras en la caché), y medidas de rendimiento como las tasas de aciertos y fallos, la latencia, y la coherencia de caché en sistemas multiprocesador. Estos elementos afectan directamente el rendimiento y la eficiencia del sistema de caché.

Estos elementos incluyen:

### 1. Tamaño de la caché (Cache Size):

La cantidad total de datos que puede almacenar la caché. Un tamaño más grande puede reducir la tasa de fallos de caché, pero también puede incrementar el coste y la complejidad.

### 2. Línea de caché (Cache Line Size):

La unidad de datos transferida entre la memoria principal y la caché. Una línea más grande puede mejorar la eficiencia de transferencia de datos, pero también puede aumentar la latencia si se transfieren más datos de los necesarios.

### 3. Asociatividad (Associativity):

Define cómo se mapean las direcciones de memoria a las líneas de la caché. Puede ser: La asociatividad en la caché se refiere a la forma en que se mapean las direcciones de memoria a las líneas de la caché. Este mapeo afecta directamente la eficiencia y la velocidad de acceso a los datos. Hay tres tipos principales de asociatividad:

#### 1. Directamente Mapeada (Direct Mapped):

En una caché directamente mapeada, cada bloque de memoria se asigna a una única línea de caché específica. Esto se logra usando una parte de la dirección de memoria para indexar la línea de caché.

Ventajas:

- Simplicidad de implementación.
- Baja latencia en la determinación de la ubicación.

Desventajas:

- Alta tasa de fallos en caso de conflictos, donde diferentes direcciones de memoria compiten por la misma línea de caché.

#### 2. Asociativa por Conjuntos (Set Associative):

En una caché asociativa por conjuntos, la caché se divide en varios conjuntos, y cada conjunto contiene varias líneas de caché. Un bloque de



memoria puede mapearse a cualquier línea dentro de un conjunto específico.

La dirección de memoria se divide en tres partes: etiqueta, índice de conjunto, y offset.

**Ventajas:**

- Equilibrio entre complejidad y eficiencia.
- Menor tasa de fallos de caché en comparación con una caché directamente mapeada.

**Desventajas:**

- Mayor complejidad en la implementación en comparación con la caché directamente mapeada.

### 3. Totalmente Asociativa (Fully Associative):

En una caché totalmente asociativa, cualquier bloque de memoria puede mapearse a cualquier línea de caché. No hay un índice de conjunto; la dirección de memoria se divide en etiqueta y offset.

**Ventajas:**

- Máxima flexibilidad y menor tasa de fallos debido a conflictos.

**Desventajas:**

- Alta complejidad de implementación.
- Mayor latencia en la búsqueda de la línea correcta, ya que todas las etiquetas deben compararse.

### 4. Política de reemplazo (Replacement Policy):

Define qué línea de caché se reemplaza cuando la caché está llena. Las políticas comunes incluyen LRU (Least Recently Used), FIFO (First In, First Out) y Random.

### 5. Política de escritura (Write Policy):

Determina cómo se manejan las escrituras en la caché. Las dos políticas principales son:

Write-through: Las escrituras se realizan en la caché y en la memoria principal simultáneamente.

Write-back (o Write-behind): Las escrituras solo se realizan en la caché y se escriben en la memoria principal cuando la línea de caché se reemplaza.

---

#### 6. Tasa de aciertos y fallos (Hit and Miss Rates):

Medidas de rendimiento que indican la proporción de accesos a la caché que encuentran los datos deseados (aciertos) y la proporción que no los encuentran (fallos).

#### 7. Latencia y tiempo de acceso (Latency and Access Time):

El tiempo que tarda en acceder a los datos en la caché. Una caché más rápida reduce la latencia y mejora el rendimiento del sistema.

#### 8. Coherencia de caché (Cache Coherence):

En sistemas multiprocesador, es crucial mantener la coherencia de los datos entre las cachés de los diferentes procesadores. Los protocolos de coherencia aseguran que todos los procesadores tengan una visión coherente de los datos.

#### Bibliografía:

- R. Ochoa, "Caché y Memoria Principal," Universidad Michoacana de San Nicolás de Hidalgo, [Online]. Available: [https://lc.fie.umich.mx/~rochoa/Materias/PROGRAMACION/ORGANIZACION/TEMA\\_5\\_2.pdf](https://lc.fie.umich.mx/~rochoa/Materias/PROGRAMACION/ORGANIZACION/TEMA_5_2.pdf). [Accessed: Jul. 26, 2024].
- L. Deves, "Elementos de Diseño de Caché en 3 niveles," Blogspot, [Online]. Available: <https://luisaudeves.blogspot.com/p/elementos-de-diseno-de-cache-en-3.html>. [Accessed: Jul. 26, 2024].
- Universidad Autónoma del Estado de Hidalgo, "Elementos de Caché," [Online]. Available: [https://repository.uaeh.edu.mx/bitstream/bitstream/handle/123456789/14432/elementos\\_cache.pdf?sequence=1&isAllowed=y](https://repository.uaeh.edu.mx/bitstream/bitstream/handle/123456789/14432/elementos_cache.pdf?sequence=1&isAllowed=y). [Accessed: Jul. 26, 2024].