



Organização de Computadores Digitais

Capítulo 5 - Memória Interna



Memória Semicondutora

- o As memórias de leitura/escrita são frequentemente designadas por memórias RAM (Random Access Memory)
- o Esta expressão realça o fato do acesso a qualquer posição não requerer a passagem por todas as posições precedentes
- o Isto é, possibilitam o acesso direto a uma posição aleatória, por oposição ao sequencial, como o que tem lugar numa banda magnética
- o Embora esta característica não seja exclusiva deste tipo de memórias (pois existem outros tipos de memória que também permitem o acesso aleatório), generalizou-se o uso do termo RAM para referir as memórias de leitura/escrita.



Memória Semicondutora

- o RAM
 - o Leitura/Escrita
 - o Volátil
 - o Armazenamento de dados temporário
- o A tecnologia RAM encontra-se dividida em duas categorias:
 - o Estática ou dinâmica



RAM Dinâmica

- o As células guardam os dados em capacitores, a presença ou ausência de carga no capacitor indica o nível lógico (1 ou 0)
- o Como os capacitores perdem a sua carga, este tipo de memória necessita de ser refrescada periodicamente
- o São de construção simples
- o São pequenos
- o Custam menos
- o Mais lentas
- o Utilização
 - o Memória principal



RAM Estática

- Neste tipo de RAM os bits são guardados em
- configurações lógicas do tipo flip-flop
- Não necessitam de refrescamento
- Construção mais complexa
- São mais volumosos
- São mais caros
- Mais rápidos
- Utilização
 - Cache



NVRAM

- o Um outro tipo de RAM estáticas são aquelas que utilizam uma bateria de lítio incorporada
- o Permite manter informação mesmo na ausência de alimentação
- o As RAM, estáticas ou dinâmicas, perdem o conteúdo se não dispuserem de alimentação.
- o As RAM estáticas com bateria dá-se normalmente a designação de RAM não voláteis (NVRAM)
- o É comum que a retenção das NVRAM esteja garantida por períodos que atingem os 10 anos.



Read Only Memory (ROM)

- Às memórias em que só é possível efectuar operações de leitura é comum dar-se a designação de ROM (Read Only Memory)
- O seu conteúdo já está programado de fábrica
 - Muito caras para pequenos volumes
- Mas o seu conteúdo pode ser programado pelo usuário
 - PROM e EPROM
 - Neste caso o termo mais correcto para este tipo de memória deveria ser PROM (Programmable ROM) ou EPROM (erasable PROM), respectivamente para referir os dispositivos que podem ser programados apenas uma vez, ou várias vezes

0 0 0

Tipos de ROM

- o PROM (Programmable ROM)
 - o Podem ser programadas apenas uma vez
 - o Para a sua programação é necessário equipamento específico
- o EPROM (erasable PROM)
 - o Podem ser programadas várias vezes
 - o O conteúdo é apagado por UV
- o Electrically Erasable (EEPROM)
 - o Demora consideravelmente mais tempo a escrever do que a ler
- o Flash memory
 - o Apaga toda a memória eletricamente

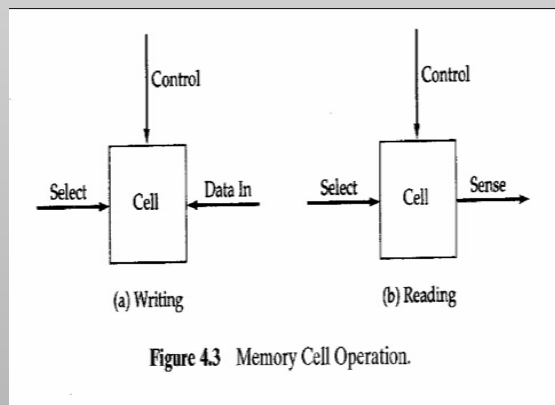


Aplicação importante das ROM

- o Microprogramação
- o Bibliotecas de subrotinas para funções muito acessadas
- o Programas de sistema (BIOS)
- o Tabelas de funções.

Detalhes de Organização

- O elemento básico de uma memória semicondutora é a célula de memória que tem as seguintes propriedades:
 - Exibem dois estados
 - Podem ser escritas (pelo menos 1 vez) para alterar o seu estado
 - Podem ser lidas para detectar o seu estado





Detalhes de Organização

- Chips de 16Mbit podem estar organizados em 1M entradas de palavras de 16 bit
- Chips de 16Mbit podem estar organizados numa matriz de 2048 x 2048 x 4bit
 - Reduz o número de pinos para os endereços
 - Multiplexar linhas de endereços e colunas de endereços
 - 11 pinos de endereços ($2^{11}=2048$)
 - Adicionar mais um pino quadruplica a capacidade de memória

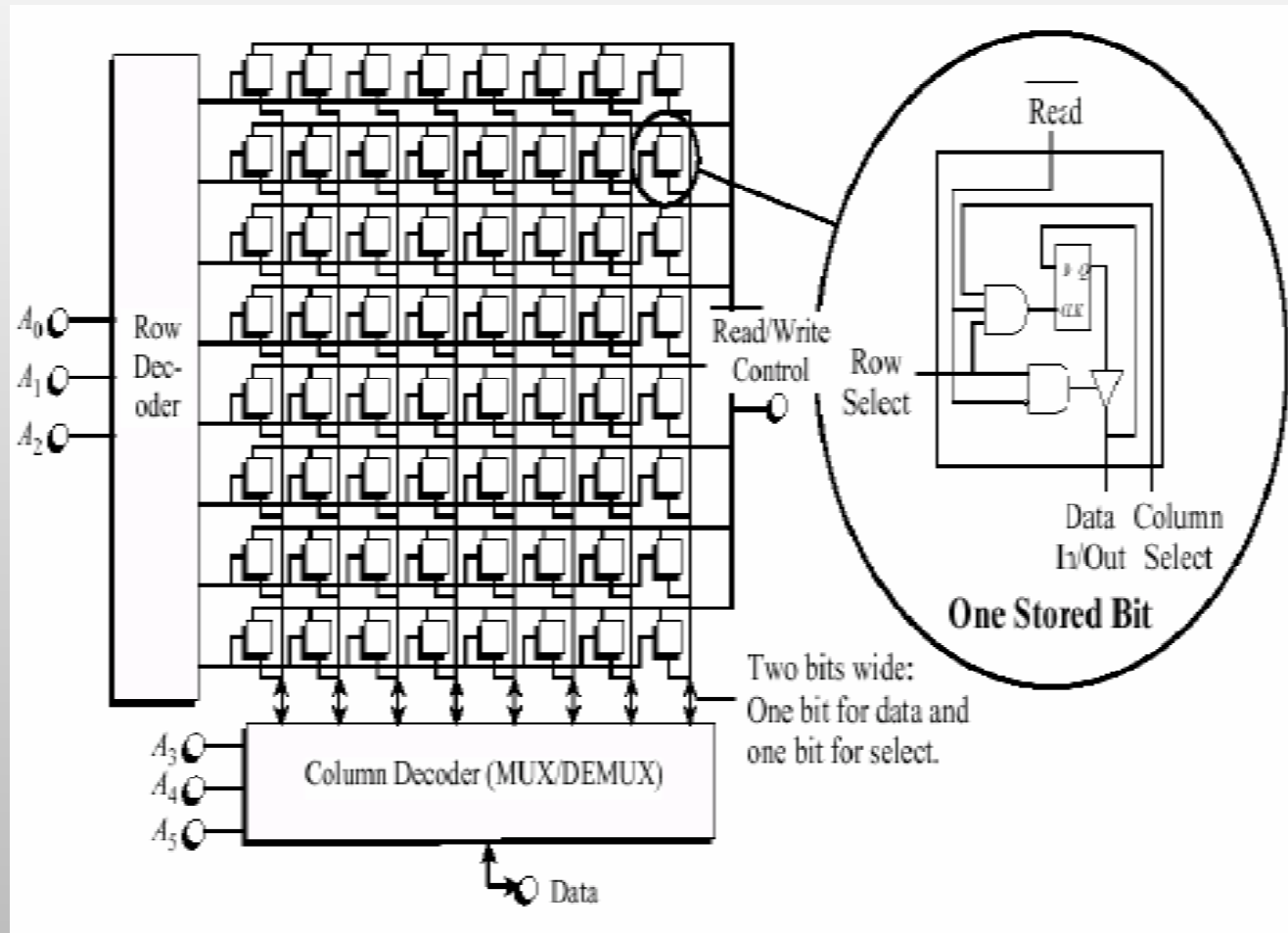


Detalhes de Organização

- Para as memórias semicondutores, uma das chaves para o desenho é o número de bits de dados que podem ser lidos/escritos por acesso
- A memória está organizada em W palavras de b bits cada
- A memória DRAM está logicamente organizada em b matrizes de $n \times n$ elementos (onde a dimensão da memória é $n \times n \times b$)
- Por exemplo, para um chip de 16 Mbits DRAM em que 4 bits são lidos ou escritos de cada vez, 4 matrizes de 2.048 por 2.048 elementos existem
- Vários arranjos físicos são possíveis
- Os elementos estão ligados pelas linhas horizontais e verticais

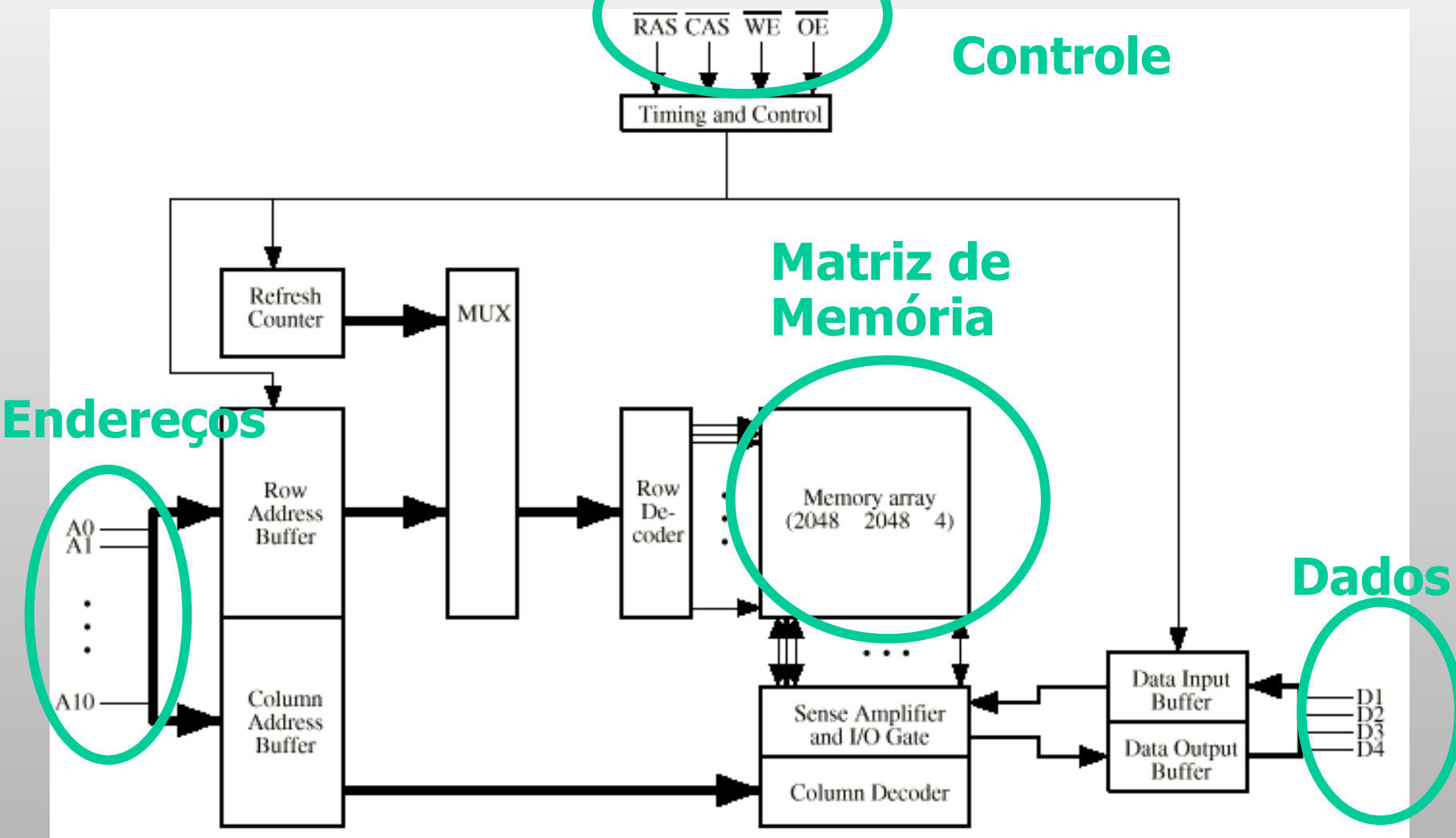
0 0 0

Memória Organizada em Matriz



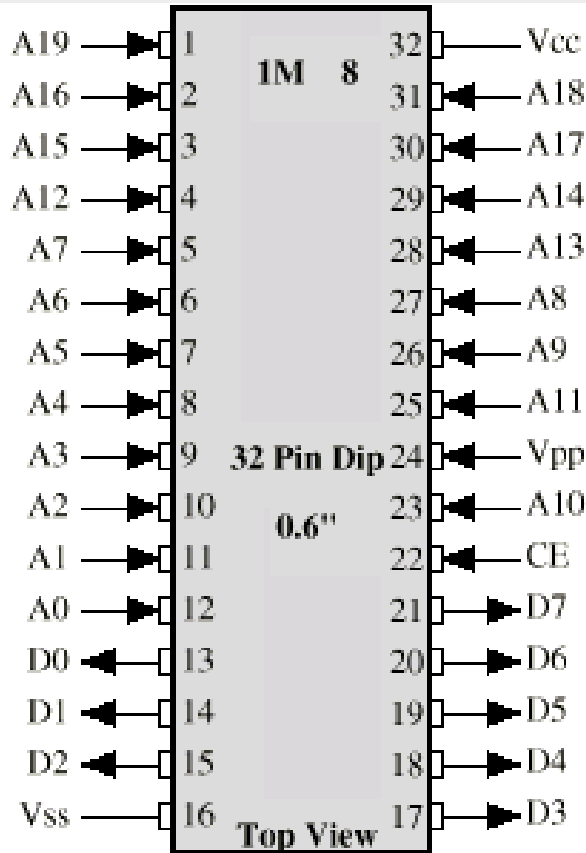
0 0 0

Memória DRAM 16 Mb (4M x 4)

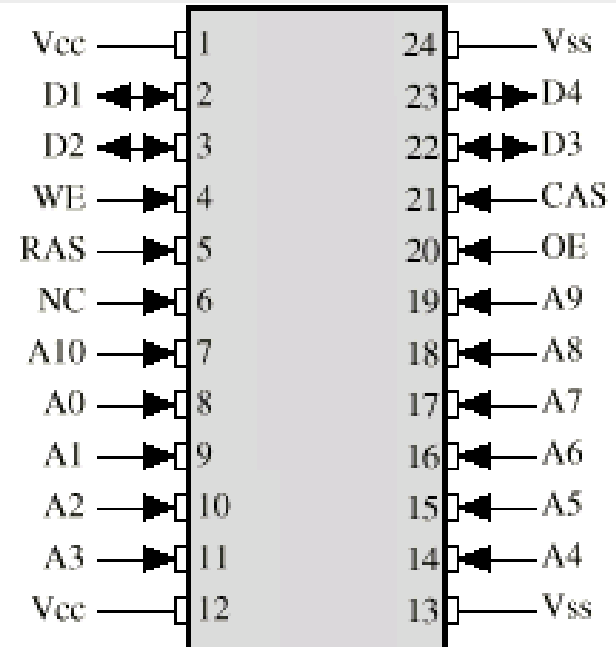


000

Packaging



(a) 8 Mbit EPROM



(b) 16 Mbit DRAM



Refreshamento

- o O circuito de refreshamento está incluído no chip
- o Desativar o chip
- o Percorrer as colunas
- o Demora tempo
- o Reduz o desempenho



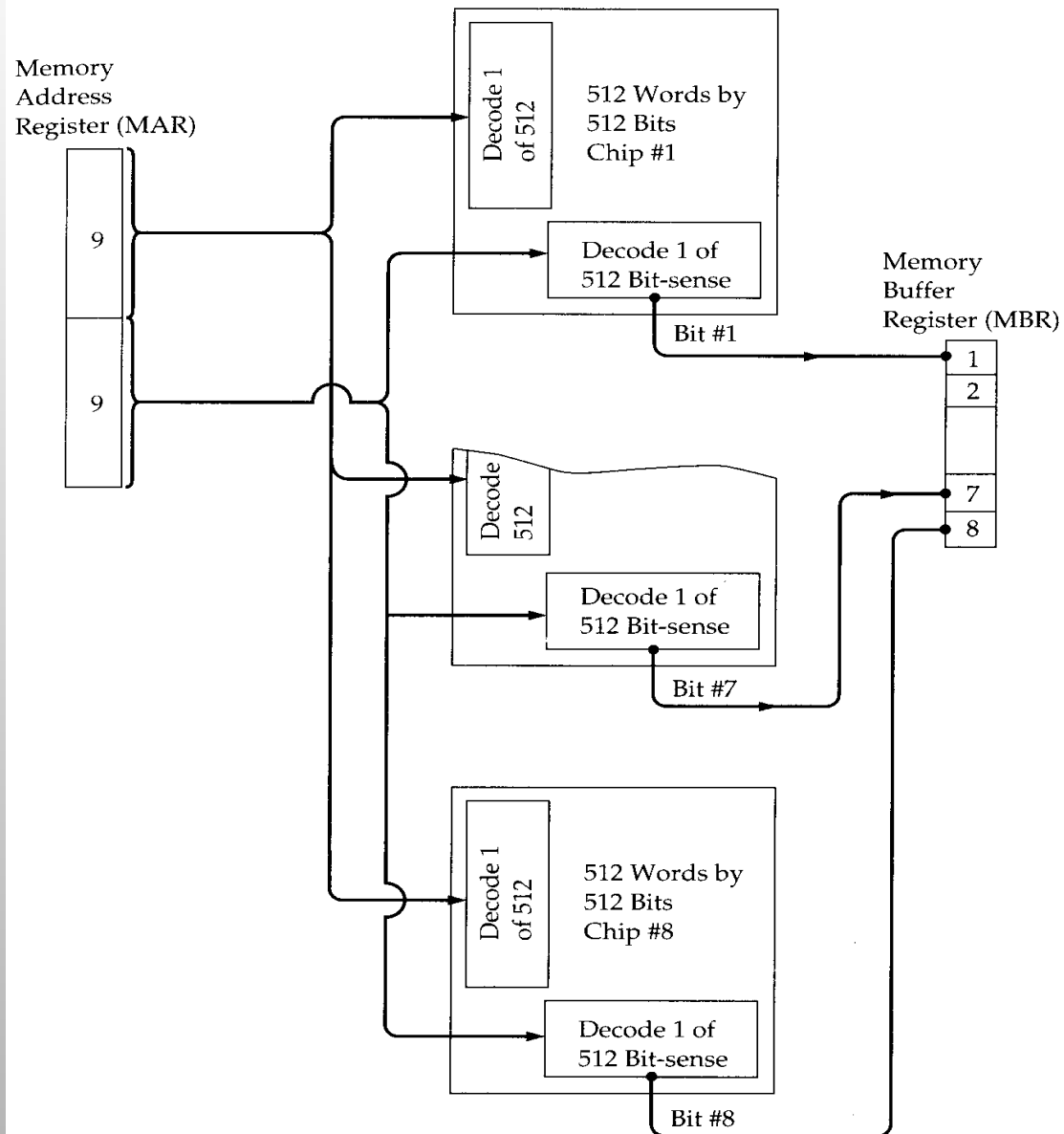
Organização dos módulos de memória

- o Se um chip de RAM contém apenas 1 bit por palavra, então claramente, vamos precisar de um número de chips pelo menos igual ao número de bits por palavra
- o a próxima figura mostra-se como uma memória de 256K (8 bits) pode ser organizada



Organização dos módulos de memória

- Para 256K palavras, é necessário um endereço de 18 bits que é fornecido ao módulo de alguma fonte externa (e.g. as linhas de endereço do barramento ao qual o módulo está conect).
- O endereço é apresentado às 8 pastilhas de 256K x 1-bit, cada um dos quais fornece um input/output de 1 bit



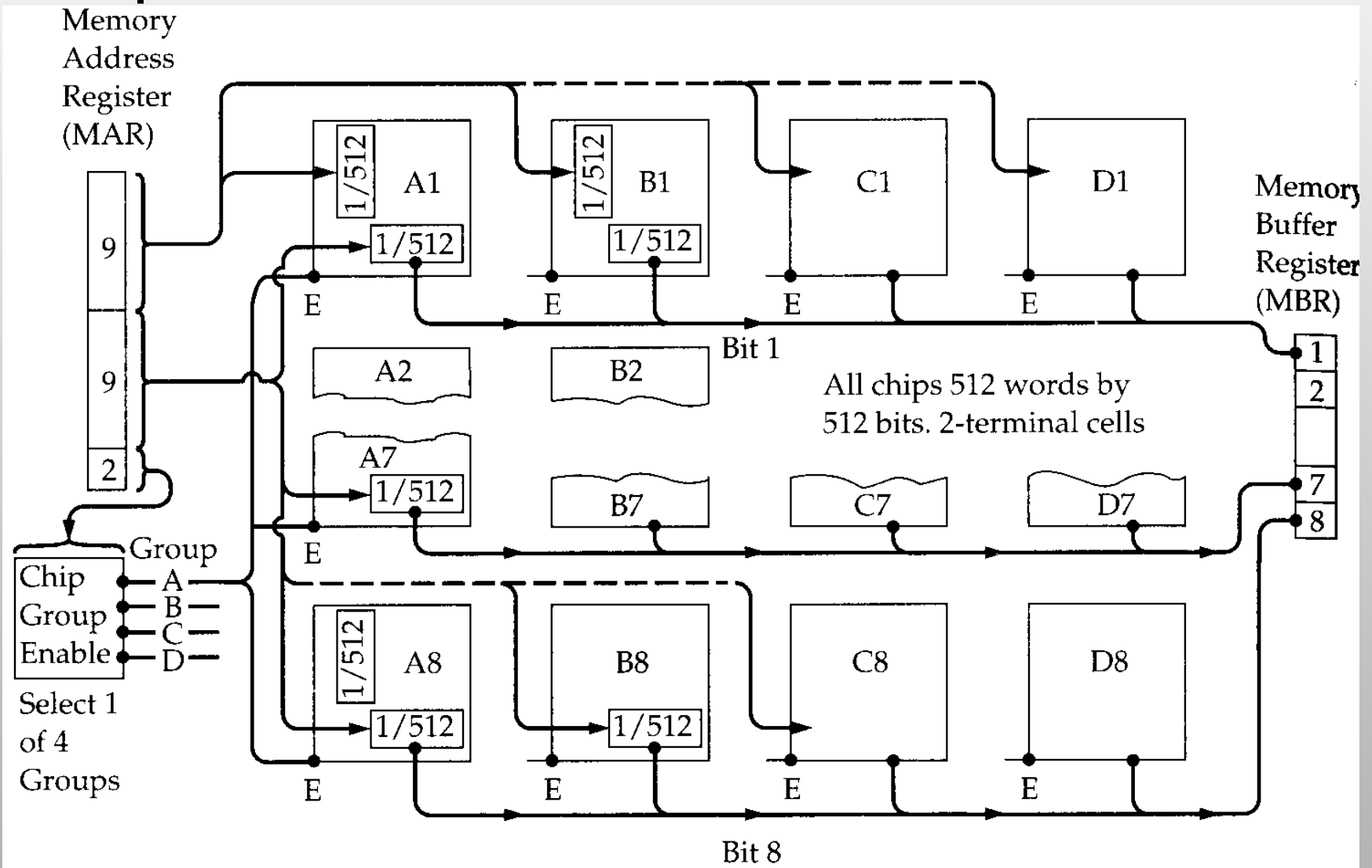


Organização dos módulos de memória

- A organização descrita anteriormente funciona bem enquanto que o tamanho da memória for igual ao numero de bits por chip
- Para o caso de se requerer blocos maiores de memória, é necessário agrupar um conjunto de pastilhas
- Por exemplo, para se conseguir 1M de palavras, aos 18 bits de endereço são acrescentados 2 bits que servem para ativar ou desativar os chips de um de 4 módulos



Organização dos módulos de memória





Detecção e correcção de erros

A memória semicondutora está sujeita a erros que podem ser categorizados em:

- Falhas do tipo 'Hard' (grave)
 - Defeito físico permanente que impede a célula de armazenar dados. São provocados por ambientes hostis, defeitos de fabricação e desgaste



Detecção e correcção de erros

- o Falhas do tipo 'Soft' (moderada)
 - o Aleatórias, não destrutivas
 - o Erros aleatórios, não destrutíveis que alteram o conteúdo de uma ou mais células de memória sem danificarem a memória.
- o Detecção usando código Hamming de correção de erros

0 0 0

Detecção de erros (1)

- Quando uma palavra é lida, um código é usado para detectar e possivelmente corrigir erros
- Um novo conjunto K de bits de código são gerados a partir dos M bits da dados e comparados com os códigos de bits adquiridos

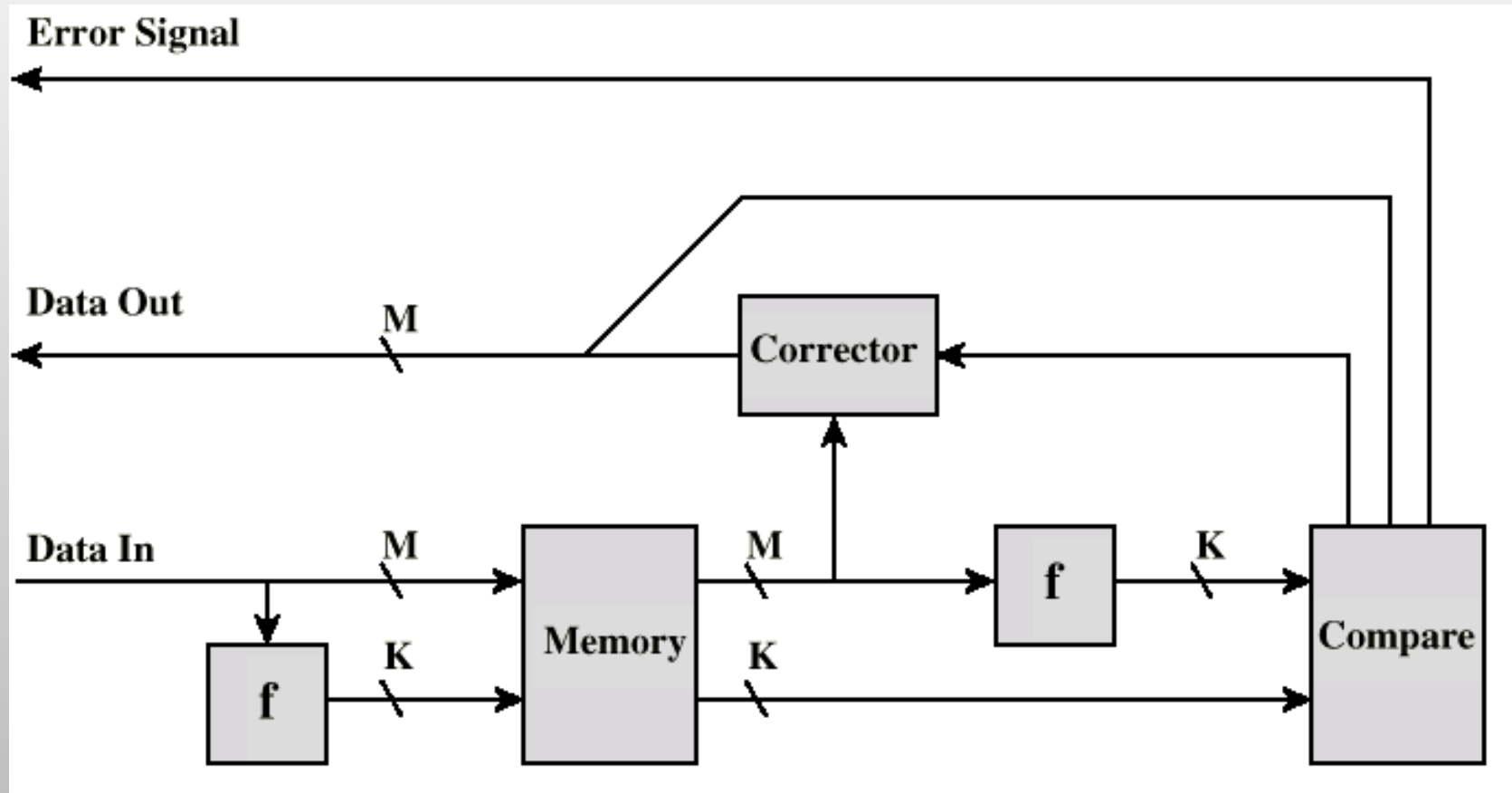
0 0 0

Detecção de erros (2)

- Esta comparação retorna 1 dos 3 resultados:
 - Não foram detectados erros. Os bits adquiridos são enviados;
 - Foi detectado um erro e é possível corrigi-lo. Os bits de dados mais os bits de paridade foram introduzidos num corretor, que irá produzir uma nova sequência de M bits para serem enviados;
 - Foram detectados erros, mas não é possível corrigi-los.

0 0 0

Detecção de erros



0 0 0

Organização avançada da DRAM

- o DRAM básica igual desde primeiros chips de RAM.
- o DRAM avançada.
 - o Também contém pequena SRAM.
 - o SRAM mantém última linha lida (compare com cache!).
- o Cache DRAM:
 - o Maior componente da SRAM.
 - o Usa como cache ou buffer serial.

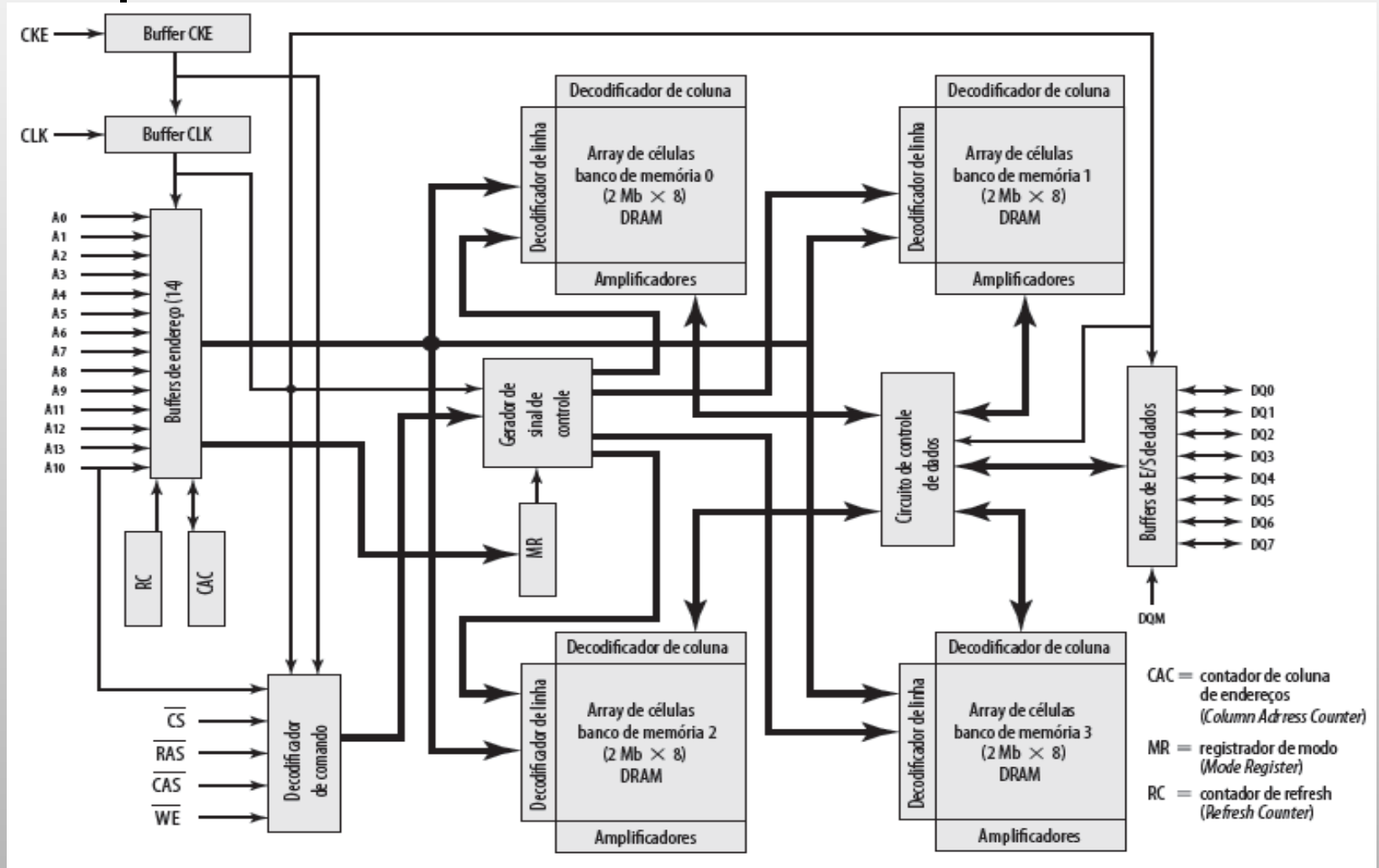
0 0 0

DRAM síncrona (SDRAM)

- Acesso sincronizado com clock externo.
- Endereço é apresentado à RAM.
- RAM encontra dados (CPU espera na DRAM convencional).
- Como a SDRAM move dados em tempo com o clock do sistema, CPU sabe quando os dados estarão prontos.
- CPU não precisa esperar, e pode fazer alguma outra coisa.
- Modo de rajada permite que SDRAM defina fluxo de dados e o dispare em bloco.
- DDR-SDRAM envia dados duas vezes por ciclo de clock (transição de subida e descida).

0 0 0

SDRAM

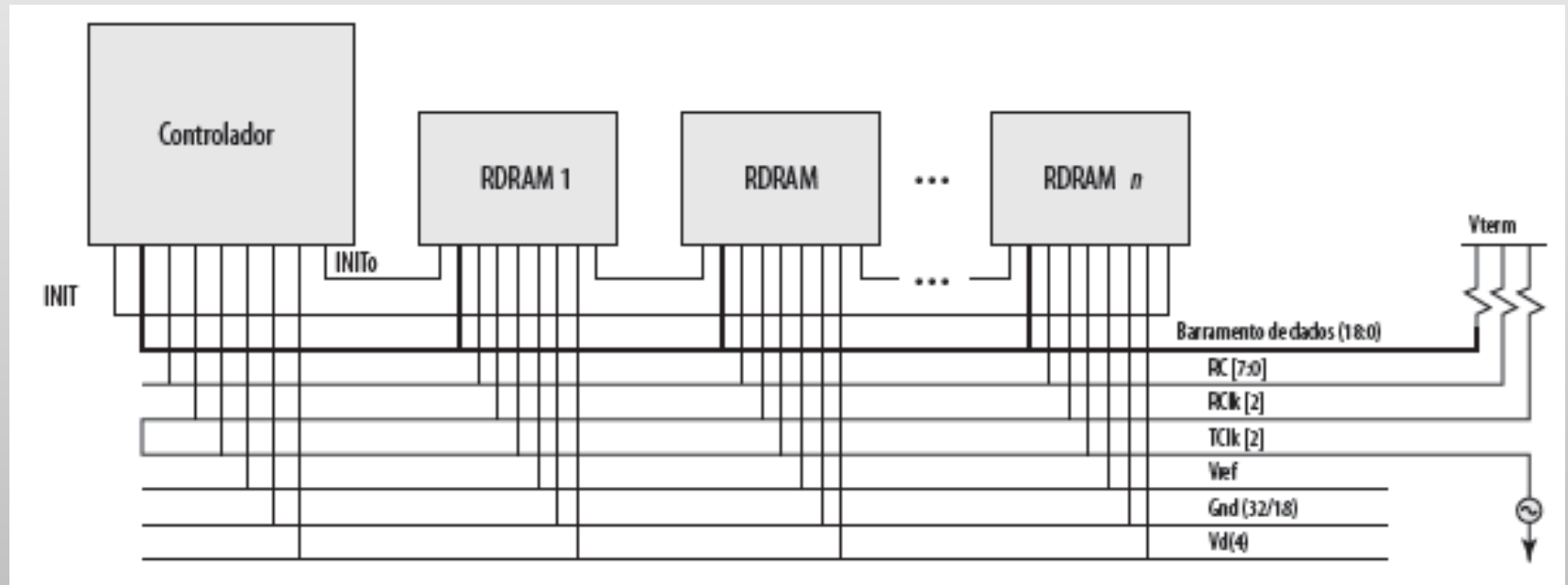


0 0 0 | RAMBUS

- o Adotada pela Intel para Pentium & Itanium.
- o Concorrente principal da SDRAM.
- o Pacote vertical - todos os pinos em um lado.
- o Troca de dados por 28 fios < cm.
- o Barramento endereça até 320 chips RDRAM a 1,6Gbps.

0 0 0

Estrutura da RAMBUS



0 0 0

DDR - SDRAM

- SDRAM só pode enviar dados uma vez por ciclo de clock.
- Double-data-rate SDRAM pode enviar dados duas vezes por ciclo de clock.
 - Transição de subida e transição de descida.

0 0 0

Cache DRAM

- o Mitsubishi.
- o Integra pequena cache SRAM (16 kb) no chip de DRAM genérico.
- o Usada como cache verdadeira.
- o linhas de 64 bits.
- o Efetiva para acesso aleatório comum.
- o Para admitir acesso serial de bloco de dados.
- o Por exemplo, ao renovar tela de mapa de bits.
- o CDRAM pode previamente buscar os dados da DRAM no buffer de SRAM.
- o Acessos subsequentes unicamente à SRAM.