



DIGITALE TECHNIEKEN

Technologie van de componenten

© Copyright: mag onder geen enkele manier gekopieerd of gebruikt worden zonder toestemming van de auteurs Eric Carette en Jean Strubbe.

Versie 7_05 van 22 februari 2019 – Aanpassingen voor Odisee door Dirk Claus

INHOUDSTAFEL

INHOUDSTAFEL	1
1. Technologie	3
1.1 De behuizing van IC's	3
1.1.1 De through-hole behuizing	4
1.1.2 De surface mount behuizing	4
1.2 De voeding van IC's	6
2. Logische families	7
2.1 Familieoverzicht	7
2.2 Identificatie	9
2.3 Poorttechnologie	10
2.4 De TTL-poort	11
2.4.1 De NOT poort in TTL	11
2.4.2 NAND en NOR in TTL	12
2.5 De CMOS poort	13
2.5.1 De NOT-poort in CMOS	13
2.5.2 Buffered en unbuffered	14
2.5.3 NAND en NOR in CMOS	15
2.6 Poortkarakteristieken	16
2.7 HC versus HCT	19
3. Aansluitingen van ingangen en uitgangen	20
3.1 Stromen aan uitgang en ingang	20
3.2 Aansluitingen op de ingang	20
3.3 Ongebruikte ingangen	23
3.4 Ingangsbeveiliging	24
3.5 Speciale ingangen	25
3.5.1 Extraatje	27
3.6 Aansluitingen op de uitgang	28
3.7 Bijzondere toepassingen van uitgangen	29
3.8 Ongebruikte uitgangen	31
3.9 Speciale poortuitgangen	32
3.9.1 De open collector en open drain	32
3.9.2 Wired-AND	35
3.9.3 Three-state uitgangen	37
3.9.4 Bufferuitgangen	39
4. Analoge schakelaars	40
4.1 De bilateral switch	40
4.2 Analoge multiplexers	41
5. Vertragingstijden	43

5.1	Definities van poorttijden	43
5.2	Invloed van delays	44
5.3	De ringoscillator	45
5.4	Glitches en hazards	46
5.4.1	Statische hazards	46
5.4.2	Glitches benutten	48
5.5	Langere delays	49
5.6	Flankdetector	49
5.7	Asynchrone logica	50
5.7.1	Schakelverliezen	51

1. Technologie

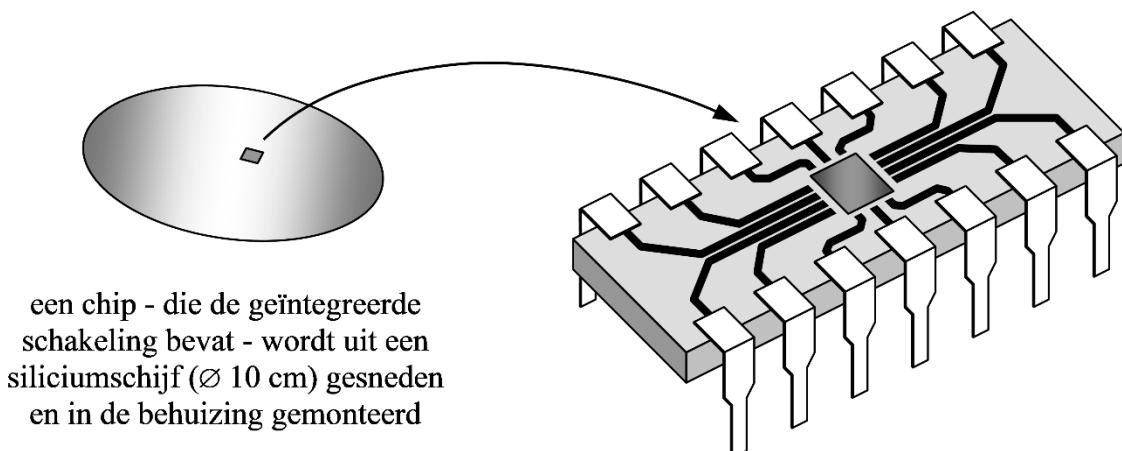
De elektronische schema's van digitale schakelingen worden getekend met logische symbolen die weinig meer zijn dan grafische tekens in inkt op papier die zo onze gedachten weergeven; om deze schakelingen "echt" te laten werken moet alles in de werkelijkheid tot stand gebracht worden, dit is "in materie". De fysieke implementatie van een logisch systeem kan op vele manieren¹ gebeuren, maar elektronische halfgeleidercomponenten zijn doorgaans het best geschikt om deze taak te vervullen: ze zijn zeer compact en handelbaar, snel, zuinig, duurzaam, goedkoop, en kunnen gemakkelijk in massa geproduceerd worden. Om de overstap van concept naar realisatie succesvol te maken is het wenselijk dat de uitvoerder zoveel mogelijk op de hoogte is van de actuele stand van de techniek en van de gangbare productiemethoden.

Bij de ontwikkeling van nieuwe digitale componenten wordt - in de mate van het mogelijke - steeds gebruik gemaakt van de recentste vorderingen van de wetenschap en de techniek. Zo komt het dat er in de loop der jaren telkens nieuwere uitvoeringen op de markt gekomen zijn, die de oudere versies gedeeltelijk (en soms helemaal) verdrongen hebben. Intussen zijn er vele tientallen 'logische families' in zwang, elk met hun specifieke eigenschappen en voordelen.

In dit hoofdstuk wordt het principe van de belangrijkste toegepaste technologieën besproken, met het accent op de praktische toepassing er van. Wie meer wil vernemen over de achterliggende halfgeleidertechnologie of de fabricagemethoden van chips kan hierover veel informatie vinden in de bibliotheek of op het internet.

1.1 De behuizing van IC's

Een "integrated circuit" - kortweg IC - is een elektronische schakeling die op een kleine schilfer silicium, de 'chip', is gerealiseerd. Om de complexiteit van geïntegreerde schakeling te duiden gebruikt men dikwijls termen als SSI, MSI en LSI (small – medium - large scale integration) - wat overeenkomt met een bezettingsgraad van ongeveer 10-100-1000 poorten.



De chip waarop zich de eigenlijke elektronische schakeling bevindt is heel klein - doorgaans niet groter dan 1 mm^2 - waardoor hij in die vorm niet handelbaar is voor de gebruiker. Om zulke IC's (integrated circuits) met andere componenten te kunnen verbinden om er grotere toepassingen mee te construeren worden ze door de fabrikant in een geschikte behuizing ondergebracht die alle functionele aansluitingen naar buiten brengt op een reeks metalen pinnen, die dan aan de koperen banen van een print gesoldeerd kunnen worden. Het is

¹ Er bestaan ook elektromechanische, hydraulische of zelfs pneumatische logische bouwstenen.

verbazingwekkend om vast te stellen hoe die behuizing gemakkelijk tot honderdmaal zoveel plaats inneemt als de chip zelf. De kostprijs van een IC (in massaproductie) wordt trouwens grotendeels bepaald door de complexiteit van zijn behuizing.

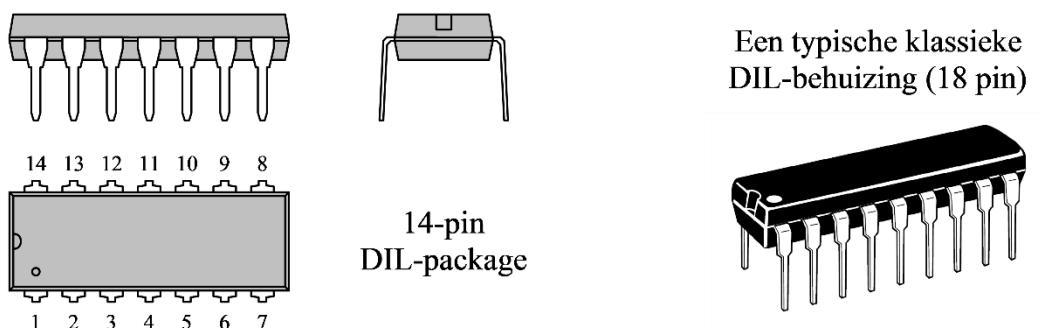
In de voorbije decennia zijn er door de industrie meerdere typen van behuizingen (packages) ontwikkeld. Naargelang de manier van monteren onderscheidt men twee grote categorieën van behuizingen: de ‘through-hole’ technologie (THT) en de ‘surface-mount’ technologie (SMT).

1.1.1 De through-hole behuizing

De through-hole technologie wordt gekenmerkt door een behuizing met lange naar onder toe uitstekende ‘poten’ die doorheen overeenkomstige gaten in een gedrukte schakeling gestoken moeten worden, en aan de andere zijde op de koperbanen vastgesoldeerd worden. Dit systeem geeft een sterke mechanische verbinding maar is daardoor ook duurder (boren).

De meest voorkomende uitvoering van dit TH-type is de DIL-behuizing (dual in line) - ook wel DIP genaamd (dual in-line package). De twee rijen pinnen staan op van 0,3" (inch) van elkaar, en de onderlinge pinafstand bedraagt 2,54 mm ($\frac{1}{10}$ inch).

De relatief grote pinafstand is te wijten aan de geometrische beperkingen voor de te boren gaten (0,8 mm) en de vereiste minimum diameter van de eilanden (vb. 2 mm) om nog behoorlijk te kunnen solderen: als gevolg hiervan nemen dergelijke IC's tamelijk veel plaats in op de PCB (printed circuit board).



Het aantal pinnen (altijd even) van de behuizing gaat van 14 tot 24. Deze pinnen worden in tegen-uurwijzerzin (bovenaanzicht) genummerd, te beginnen vanaf de referentiestip of de inkeping (notch) op de zijkant. De behuizing zelf bestaat uit plastiek of uit ceramisch materiaal.

Hoewel de DIL-behuizing voor consumer-toepassingen (massaproductie) geen toepassing meer vindt wordt zij wel nog veelvuldig gebruikt voor het maken van proefopstellingen omdat zij als enige geschikt is om op een breadboard (experimenteerbord) geprikt te worden. Om deze reden treft men deze uitvoering nog dikwijls aan in labo's (scholen).

1.1.2 De surface mount behuizing

De surface-mount technologie laat een sterke miniaturisatie toe. Doordat er geen gaten meer moeten geboord worden in de print kunnen de pinnen immers veel dichter bij elkaar aansluiten. In alle moderne ontwerpen wordt dan ook op grote schaal de oppervlaktemontage toegepast.

Binnen de SMD-categorie (surface mounted device) bestaan er nog verschillende uitvoeringen.

De belangrijkste miniatuurbehuizingen hebben de volgende benamingen:

SOIC	small outline integrated circuit	3,9 mm breed	vb. SO14	(2,6 mm dik)
SSOP	shrink small outline package	5,3 mm breed	vb. SSOP14	(2 mm dik)
TSSOP	thin shrink small outline package	4,4 mm breed	vb. TSSOP14	(1 mm dik)

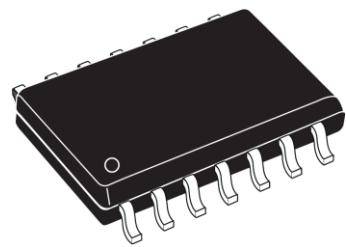
De figuur hiernaast toont een behuizing van het SO-type.

De afmetingen zijn ongeveer $8,7 \times 6,2$ mm (pinnen inbegrepen).

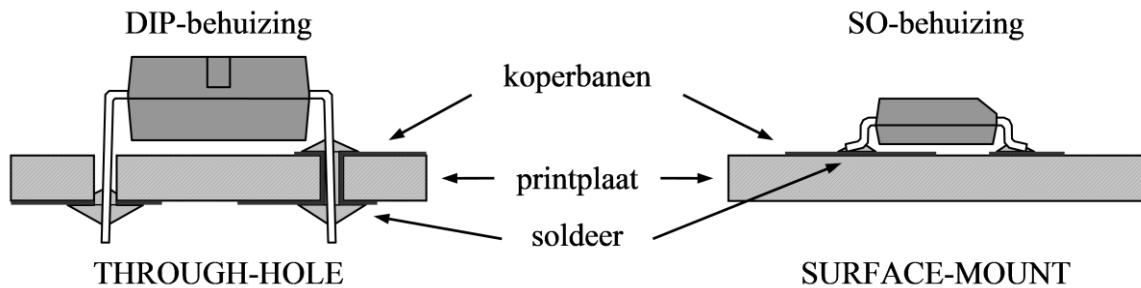
Het is een SO14 - overeenkomstig met het aantal aansluitpinnen.

De pinafstand (pitch) bedraagt 1,27 mm ($= \frac{1}{20}$ inch = 50 mil).

Het vergt wel enige vaardigheid om zulke IC's manueel te solderen, maar met automatische bestuksmachines is dat geen probleem.

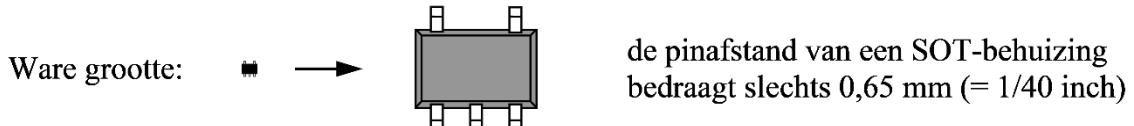


De onderstaande figuur illustreert de aanzienlijke plaatsbesparing die met surface-mount IC's te behalen is ten opzichte van through-hole componenten.



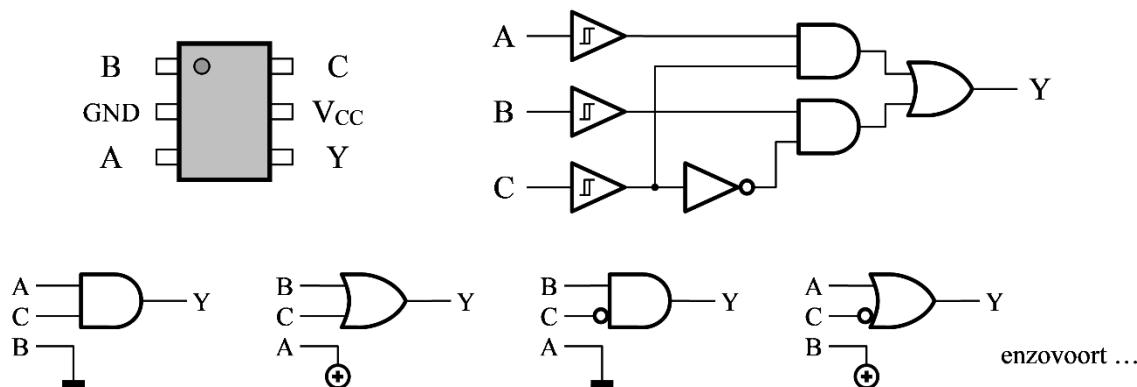
Voor de volledigheid vermelden we nog een speciaal geval van miniatuuruitvoering, te weten de minuscule SOT-package, met typisch 5 pinnen (soms meer). Dergelijke behuizingen waren oorspronkelijk bedoeld voor transistoren, maar worden ook in de digitale techniek toegepast, en bevatten één enkele logische poort, bijvoorbeeld een 2-input NAND.

SOT small outline transistor package individuele poort (vb. 74HC1G00 = NAND)
Dit omhulsel (soms ook aangeduid als TSSOP5) meet nauwelijks $2 \times 1,25 \times 0,9$ mm!



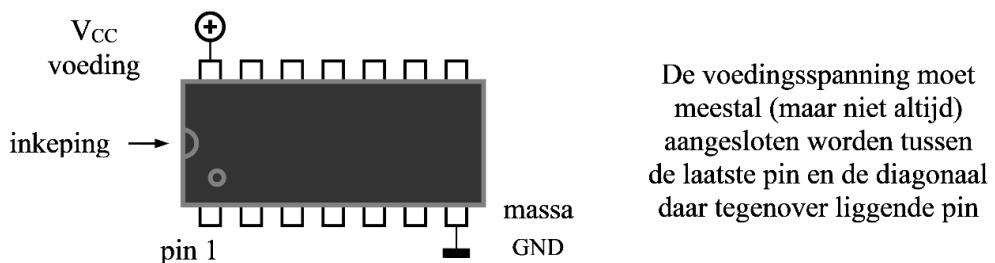
Een nieuwe trend is de opkomst van 'individuele' logische poorten in miniatuur SOT-behuizing. Meestal zijn deze bedoeld om op een lage voedingsspanning te werken ($V_{CC} = 0,8 \text{ à } 3,6$ V).

Sommige van die uitvoeringen zijn multifunctioneel, en kunnen naast hun hoofdtaak ook dienen voor andere doeleinden. Zo is de 74AUP1G97 in eerste instantie bedoeld als 2-to-1 multiplexer (= digitale wisselschakelaar), maar kan ook nog op vele andere manieren gebruikt worden.



1.2 De voeding van IC's

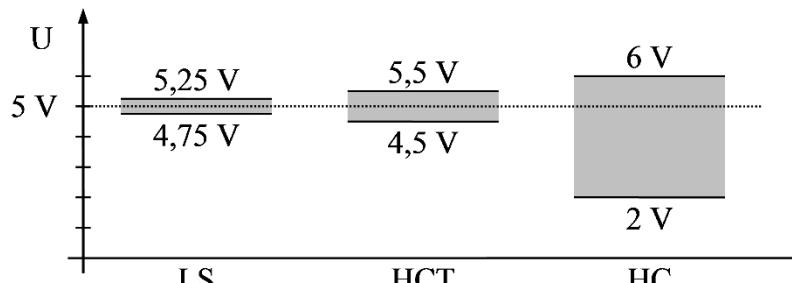
Om te kunnen functioneren, moeten IC's altijd energie krijgen uit een spanningbron: de voeding. Die elektrische energie wordt doorgaans betrokken uit het net (via een transfo) maar kan ook geleverd worden uit een batterij, accu, zonnecel of dynamo. Om deze gelijkspanning zo constant mogelijk te houden en vrij van rimpels, brom of stoorpulsen wordt zij meestal nog elektronisch gestabiliseerd. Het is aan te raden om van elke IC de voedingsspanning te ontkoppelen met een kleine condensator (vb. 100 nF) die zo dicht mogelijk bij de aansluitpinnen moet aangesloten zijn.



De voedingsspanning (supply = V_{CC}) is altijd² positief ten opzichte van massa (ground = GND). Op welke twee pinnen de voeding moet aangesloten worden kan men vernemen in de datasheets van de betreffende IC, afgaand op zijn typenummer. Meestal staat de voedingsspanning op de laatste pin, en ligt de massa aan de ‘cornerpin’ die zich daar diagonaal daartegenover bevindt, maar er bestaan enkele uitzonderingen op deze regel (vb. 74LS90).

De waarde van de voedingsspanning V_{CC} (soms ook V_{DD} genaamd) en toegestane spreiding erop hangt af van de technologie waarin het IC gemaakt is (zie ‘logische families’).

De standaardwaarde voor de voedingsspanning van de ‘klassieke’ TTL-IC’s is + 5 V ($\pm 5\%$). De nieuwe en succesvolle HC -familie kan echter werken op een spanning tussen 2 V en 6 V. De aanverwante HCT-familie heeft een voeding nodig van 5 V ($\pm 10\%$).



Tegenwoordig is de low voltage technologie sterk in opmars; die IC's hebben genoeg aan 3,3V werkspanning (van 1 V tot 3,6 V) en kunnen dus op een simpele lithiumbatterij werken. Door de verlaging van de voedingsspanning van 5 V tot 3,3 V halveert de vermogendissipatie. Een aantal IC's van die low voltage familie hebben ingangen die 5V-tolerant zijn (vb. 74LVX04). Recentere reeksen van deze energieuinige IC's dalen af tot 2,5 V - 1,8 V of nog lagere voeding.

Een speciale categorie van digitale schakelingen vormen de oude C-MOS IC's (die nu nauwelijks nog gebruikt worden): zij konden werken in een gebied van 3 tot 18 V (vb. 12 V of 15 V).

De overblijvende pinnen van het IC staan in voor de eigenlijke ‘nuttige’ functie van de logische schakeling en doen dus dienst als ingangen en uitgangen.

² behalve voor ECL-schakelingen

2. Logische families

De IC-fabrikanten blijven intensief zoeken naar verbeteringen voor hun producten, vooral op het vlak van snelheid en verbruik. Zo hebben zij in de loop van de voorbije decennia vele nieuwe technologieën ontwikkeld. Het assortiment van digitale schakelingen dat volgens zo 'n categorie gemaakt is noemt men een "logische familie".

Als maatstaf voor de kwaliteit van een logische familie geldt vaak de power/delay factor (PDF); dit is het product (uitgedrukt in pJ) van de energie-dissipatie P_d in rust maal de vertragingstijd t_{pd} van de betreffende poort. Hoe kleiner deze PD-factor, hoe beter. Soms verkiest men echter een snellere werking ten koste van een hoger energieverbruik, of omgekeerd.

De oorspronkelijke standaard TTL was gekenmerkt door een $t_{pd} = 10$ ns en een $P_d = 10$ mW. De huidige HC-poorten zijn ongeveer even snel, maar verbruiken nog slechts 25 μ W (statisch).

2.1 Familieoverzicht

Tekens als er grote verbeteringen in het chipontwerp bedacht werden en de vooruitgang in de productietechnieken het toestond werden er nieuwe families van IC's op de markt gebracht. Sommige daarvan zijn intussen verouderd ('obsolete') en zelfs uit productie genomen. Andere zijn nog in opkomst en zullen hun weg vinden naar de ontwerptafel van de ingenieurs wanneer hun prijs acceptabel geworden is dank zij een voldoende massaproductie.

Aanvankelijk (tot ca 1990) waren er een drietal grote logische families: TTL, CMOS en ECL. De ontwikkelingen van de voorbije decennia hebben er toe geleid dat alleen de TTL familie nog prominent aanwezig is in het digitale landschap, hoewel deze vaak van het CMOS -type zijn.

De ECL-familie (emitter coupled logic) was supersnel ($t_p \approx 1$ ns) maar had een speciale negatieve voeding nodig (- 5,2 V) en had een groot stroomverbruik. ECL-schakelingen worden vandaag quasi niet meer gebruikt - ze zijn vervangen door de huidige ongeveer even snelle TTL -families.

De CMOS-familie (complementary mos) was een succesvolle groep - bekend onder de kenletters CD4000 - die een ruim pallet van digitale schakelingen aanbood, maar relatief traag was en nogal gevoelig voor elektrostatische ladingen. Vandaag is de CMOS familie nagenoeg van de markt verdwenen en deels opgegaan in de succesrijke HC-reeks (zie TTL); sommige typenummers daarvan verraden nog deze herkomst (vb. 74HC4017). Interessant was het opvallend ruime bereik dat de voedingsspanning van deze CMOS -IC's mocht hebben: van 3 V tot 18 V.

De TTL familie (transistor -transistor logic) is tegenwoordig de overheersende soort digitale IC's. Deze logische familie werd aanvankelijk door Texas Instruments ontwikkeld (1964), en heeft sindsdien een lange geschiedenis doorlopen van opeenvolgende verbeteringen. De benaming 'TTL' past in een evolutie met voorgangers zoals 'RTL' (resistor -transistor logic) en 'DTL' (diode -transistor logic).

Hoewel de term TTL oorspronkelijk verwijst naar een opbouw uit bipolaire transistoren is de betekenis van die benaming mettertijd verruimd, en wordt deze nu ook gebruikt voor structuren die gemaakt zijn op basis van complementaire mosfets, zoals de HC-reeks en alle volgende.

De onderstaande tabel geeft een (historisch) overzicht van de belangrijkste TTL-families:

code	benaming	t_{pd}	P_d
-	standard transistor-transistor logic (TTL)	10 ns	10 mW
L	Low power TTL	33 ns	1 mW
H	High speed TTL	6 ns	22 mW
S	Schottky TTL	3 ns	19 mW
LS	Low-power Schottky TTL	9,5 ns	2 mW
AS	Advanced Schottky	1,5 ns	20 mW
ALS	Advanced Low-power Schottky	4 ns	1 mW
F	Fast Schottky	3 ns	3,5 mW
C	CMOS		
HC	High speed CMOS	8 ns	25 μ W
HCT	High speed CMOS TTL voltage compatible	8 ns	25 μ W
HCU	High speed CMOS with unbuffered output		
AC	Advanced CMOS	3 ns	10 μ W
ACT	Advanced CMOS TTL voltage compatible	3 ns	10 μ W
AHC	Advanced High speed CMOS		
LV	Low Voltage		

Van de andere families volgt alleen nog een beperkte opsomming: 74AHC - 74AHCT - 74FCT - 74AC - 74ACT - 74FACT - 74ACQ - 74ACTQ - 74ALVC - 74AUC en nog meer.

Er bestaat ook een reeks Bus Driver IC's zoals de 74ABT (Advanced BiCMOS Technology) en de 74BCT (BiCMOS TTL), die zuinigheid combineert met grote uitgangstromen.

Een nieuwe tendens is de Low Voltage families - te herkennen aan de letters 74LVxx. Zij werken op een lagere voedingsspanning: $V_{CC} = 3,3 \text{ V} - 2,5 \text{ V} - 1,8 \text{ V} - 1,5 \text{ V}$ en zo meer. Het voordeel van die lage werkspanning is een kleinere vermogendissipatie op hoge snelheden ...

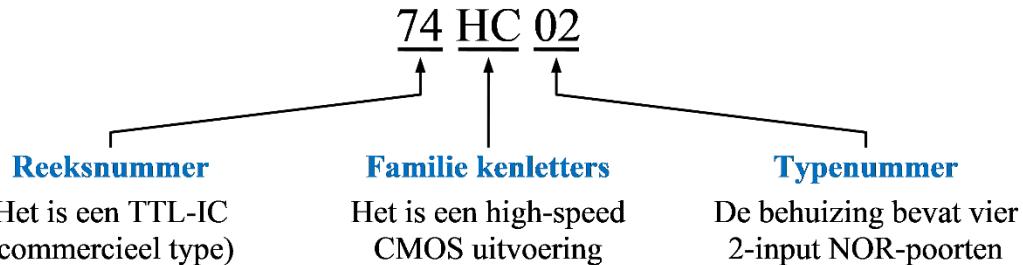
Noteer ook dat sommige digitale functies niet in alle technologieën te verkrijgen zijn. Zo bestaat de 74LS47 (een zevensegment decoder) niet in de HC- of HCT-versie.

Nieuwe digitale ontwerpen maken zoveel mogelijk gebruik van de recentste logische families, zoals de HC(T)- en de AHC(T)-reeks. De oude soorten zijn helemaal gedepasseerd, behalve voor een paar specifieke doeleinden; zo is de opencollector buffer 74LS05 (en anderen) nog steeds succesvol omwille van zijn grote spanning- en stroombereik.

In het vervolg van deze cursus worden met de term 'TTL' steeds IC -families bedoeld die een totem pole uitgang hebben (transistoren), dus zoals 74LS en 74 standaard; met de term 'CMOS' worden IC's bedoeld die opgebouwd zijn uit complementaire mosfets, zoals 74HC en 74HCT.

2.2 Identificatie

Op elke behuizing staat een code gestempeld die belangrijke informatie geeft over het inwendige van de betreffende geïntegreerde schakeling (naast eerder bijkomstige gegevens over ondermeer de fabrikant en de behuizing). Het centrale gedeelte van dat label bestaat uit 3 delen:



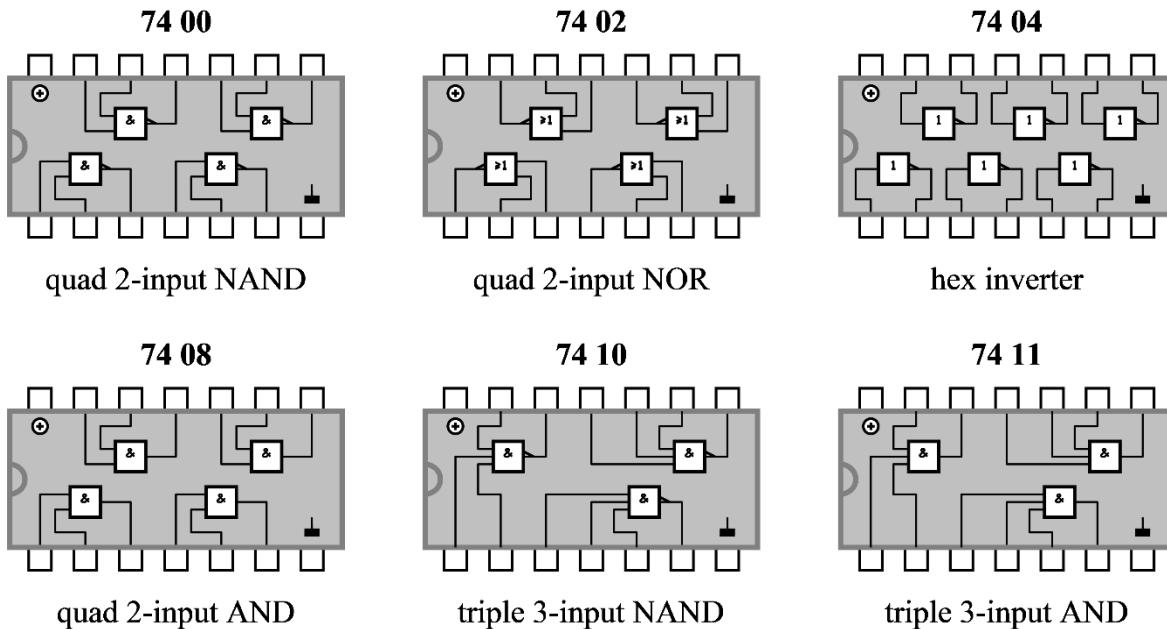
Het reeksnummer (links) verwijst naar het uitvoeringstype van het IC. De commerciële uitvoering van TTL-schakelingen draagt de kenletters 74, de militaire versie 54. Deze code heeft te maken met het temperatuurbereik waarbinnen de schakeling bedrijfzeker kan functioneren: voor de industriële typen is dit van 0 °C tot 70 °C.

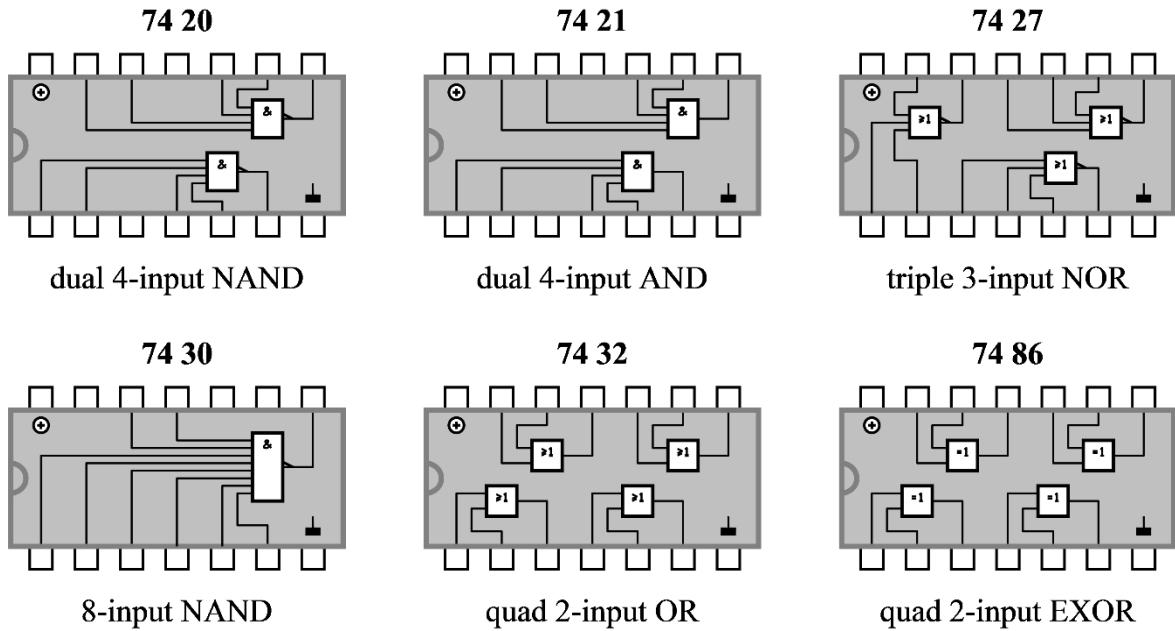
De kenletters (midden) vertellen tot welke logische familie de schakeling behoort (vb. HC of LS). In de datasheets van de fabrikant kan men de karakteristieken daarvan opzoeken (zie ook verder).

Het typenummer (rechts) bestaat uit 2 of 3 en soms 4 cijfers, en beduidt welk soort van digitale functie de schakeling vervult. Om te weten te komen wat een bepaalde IC doet moet men aan de hand van zijn typenummer de gepubliceerde gegevens van de producent raadplegen. De code '00 vertelt bijvoorbeeld dat het IC vier 2-input NAND poorten bevat, en het nummer '153 betekent dat er twee 4-to-1 line data selectors/multiplexers aan boord zijn.

In het databoek of op het internet kan men ook de plaats van de aansluitpinnen vernemen, en allerlei andere praktische informatie.

De onderstaande figuren tonen de pin lay-out van enkele typische IC's van de 74-reeks.



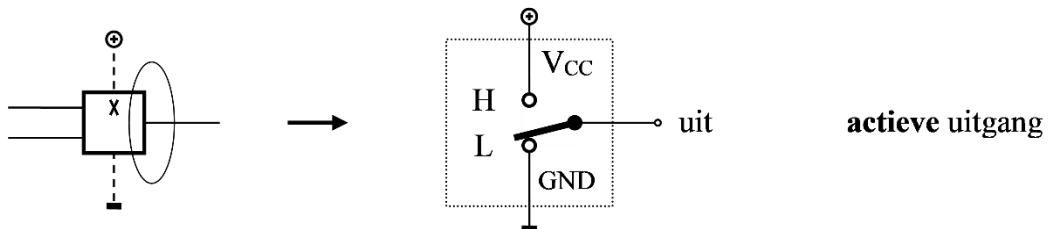


2.3 Poorttechnologie

De pure halfgeleidertheorie valt buiten het opzet van deze cursus, maar een goede ontwerper moet toch wel in staat zijn om op componentniveau het workingprincipe van de gebruikte digitale schakelingen te begrijpen zodat hij een beter besef heeft van de mogelijke prestaties.

In essentie is een logische poort weinig meer dan een elektronische schakeling die bestuurd wordt door een aantal ingangen, en waarmee een uitgang ofwel HOOG ofwel LAAG gemaakt wordt door die aansluitpin inwendig door te verbinden naar de VOEDING of de MASSA. Men noemt dit type uitgang een "actieve uitgang". Daarmee wordt bedoeld dat die uitgang zich gedraagt als een spanningsbron (die zowel stroom kan afgeven als opnemen): ofwel een spanning van 5 V (V_{CC}), ofwel 0 V (GND). Ideaal beschouwd kan men zich zo 'n actieve uitgang dus voorstellen als een wisselschakelaar die kiest tussen V_{CC} en GND.

Dit model geldt zowel voor TTL- als voor CMOS-poorten:



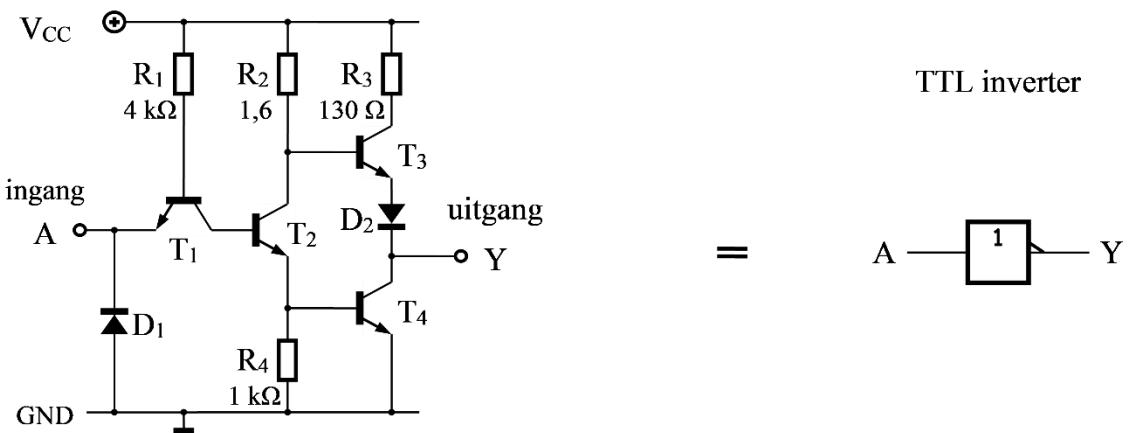
We zullen van beide poort types (TTL en CMOS) onderzoeken hoe dit ideale gedrag benaderd kan worden in een praktische realisatie.

2.4 De TTL -poort

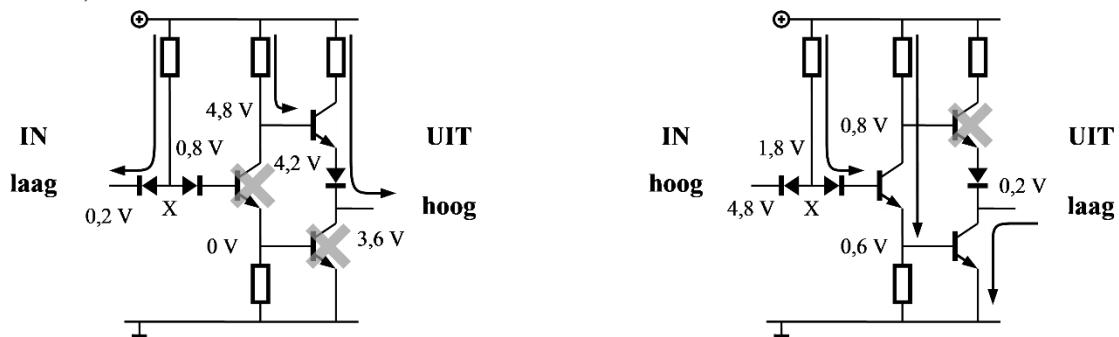
Hoewel de bipolaire uitvoering van de TTL -familie stilaan in onbruik raakt zijn er nog genoeg IC's van deze soort in omloop. We bestuderen de uitvoering in standaard technologie van een elementaire inverter schakeling (NOT poort) die representatief is voor de hele TTL reeks.

2.4.1 De NOT poort in TTL

Diode D₁ dient als beveiliging van de ingang tegen mogelijke negatieve spanningen (clamp). De transistor T₁ (NPN) kan men best opvatten als een dubbeldiode. Als de ingang laag is wordt punt X naar beneden getrokken, zodat T₂ sperpt; de stroom door R₁ loopt dan aan de ingang naar buiten. Bij een hoge ingang wordt via R₁ (die opgevat kan worden als een pull-up weerstand) de basis van T₂ voorwaarts gepolariseerd, zodat die transistor in verzadiging gestuurd wordt.



Als T₂ in cut-off is (stroomloos) zal ook T₄ sperren; via R₂ wordt dan T₃ volop in geleiding gestuurd, zodat de uitgang hoog is. Ten gevolge van de spanningvalen over R₂, U_{BE3} en D₂ ligt de uitgangsspanning echter beduidend lager dan het niveau van de voedingsspanning V_{CC} - dit is omrent 3,6 V.



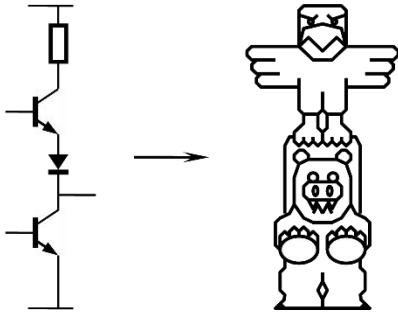
Als T₂ in saturatie is loopt er een relatieve grote stroom door die transistor (begrensd door R₂). Aan de onderzijde is de spanningval over R₄ groot genoeg om de drempelspanning U_{BE} van T₄ te overwinnen, zodat de transistor T₄ in saturatie gestuurd wordt: de uitgang is laag. De spanning op de uitgang bedraagt dan nauwelijks 0,2 V (= U_{CES}). Op de basis van transistor T₃ staat nu een spanning van circa 0,8 V (U_{B3} = U_{BE4} + U_{CES2}). De diode D₂ dient om te verzekeren dat T₃ in deze omstandigheden niet in geleiding komt: dank zij de extra drempelspanning (0,6 V) van die diode is de spanning U_{B3} immers niet hoog genoeg ten opzichte van de uitgang (< 0,2 V) om de basis van T₃ voorwaarts te polariseren omdat er twee hindernissen zouden moeten overwonnen worden (U_{B3} < U_{uit} + U_{D2} + U_{BES3}). De transistor T₃ blijft dus sperren.

Samengevat:

ingang	T2	T3	T4	uitgang
LAAG	cut-off	cut-off	saturatie	HOOG
HOOG	saturatie	saturatie	cut-off	LAAG

We kunnen dus besluiten dat deze opstelling inderdaad functioneert als een logische inverter. Stel echter wel vast de niveaus van de uitgangsspanning verre van ideaal zijn bij TTL.

In het vakjargon heet de configuratie van de actieve uitgang van TTL poorten een totem-pole.



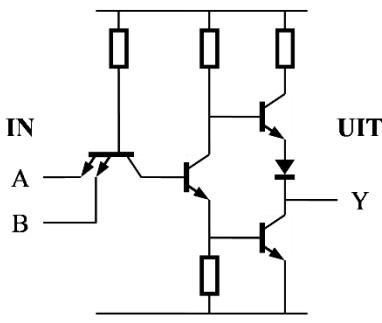
TOTEMPAAL

De typische opeenstapeling van de transistoren, diode en weerstand in de uitgangstrap van een TTL-poort noemt men met veel fantasie een "totem-pole"

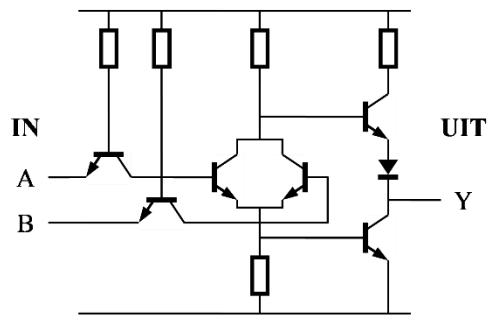
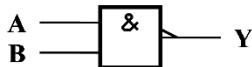
De TTL-technologie werd eerst ontwikkeld door Texas Instruments

2.4.2 NAND en NOR in TTL

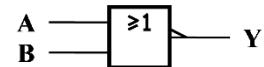
De uitbreiding naar een NAND- en NOR-poort komt tot stand door enkele transistoren aan de opstelling toe te voegen. Waar de basissen en collectors van een groep transistoren samen liggen is het gemakkelijker om deze te implementeren als een zogenaamde 'multi-emitter' opstelling:



2-input NAND



2-input NOR



Men kan nagaan dat de uitgang laag is als

- in de linker schakeling de beide ingangen hoog zijn: dat is dus een NAND poort
- in de rechter schakeling minstens één ingang hoog is: dat is dus een NOR poort

Om een AND- of OR-poort te maken moet er nog een inversie toegevoegd worden.

2.5 De CMOS poort

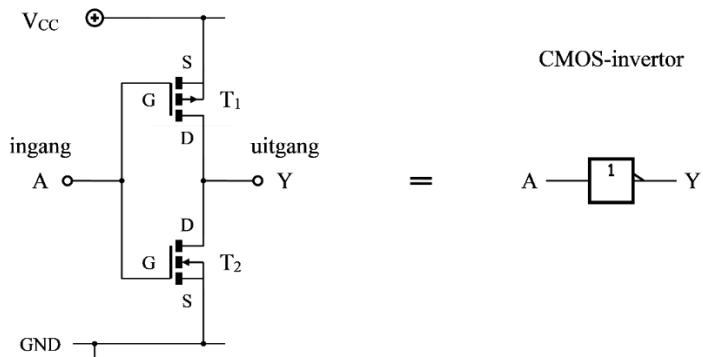
De benaming ‘CMOS’ is een afkorting voor “complementary mosfets³”, wat betekent dat er gebruik gemaakt wordt van paren mosfets van het tegengestelde kanaaltype: de ene N kanaal en de andere P kanaal. De mosfets zelf zijn van het ‘enhancement’ type, wat er op neer komt dat hun kanaal spert (pinch-off) als de gate G en de source S op de zelfde spanning staan ($U_{GS} = 0$).

Een N-kanaal enhancement mosfet komt in geleiding als de spanning op de gate voldoende hoger ligt dan de source; voor een P-kanaal mosfet moet de gate-spanning lager zijn dan de source; het nodige spanningverschil om de fet goed in geleiding te brengen bedraagt ongeveer 1,5 V.

Als de mosfet geleidt zegt men dat hij “ON” is; zijn kanaal (tussen drain en source) heeft dan een lage weerstand ($R_{DS\ ON} \approx 100\ \Omega$). Een sperrende mosfet noemt men “OFF” ($R_{DS\ OFF} \approx \infty$). Dank zij de verfijnde productietechnieken kunnen mosfets tegenwoordig gefabriceerd worden met zeer gunstige eigenschappen: ze kunnen werken op lage voedingsspanning en zijn snel.

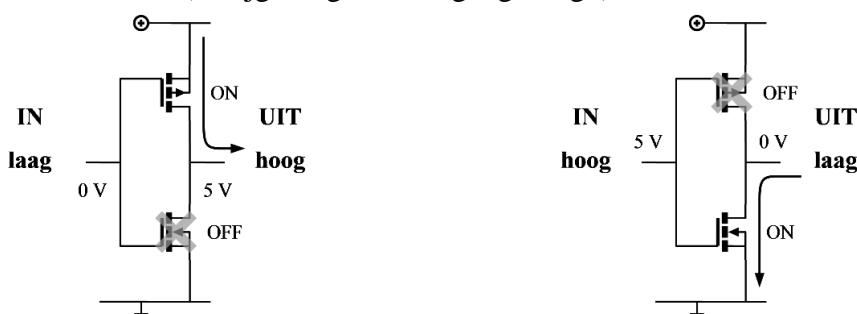
2.5.1 De NOT-poort in CMOS

De onderstaande figuur toont het schema van een elementaire CMOS-invertor (unbuffered). De bovenste mosfet T₁ is een P-kanaal type, de onderste mosfet T₂ is een N-kanaal type. Merk op dat de uitgang Y gevormd wordt door de met elkaar verbonden drains D van beide fets.



We nemen aan dat de voedingsspanning V_{CC} (vaak ook V_{DD} genoemd) 5V bedraagt (HC-familie). Het spanningsniveau op de ingang is ideaal: 0 = GND (0 V), en 1 = V_{CC} (5 V).

Als de ingang laag is geleidt T₁ (want $U_{GS1} = -V_{CC}$) en spert T₂ (want $U_{GS2} = 0$). Bijgevolg is de uitgang hoog (want verbonden met V_{CC}). Als de ingang hoog is spert T₁ (want $U_{GS1} = 0$) en geleidt T₂ (want $U_{GS2} = V_{CC}$). Bijgevolg is de uitgang hoog (want verbonden met GND).



³ MOS = metal oxide semiconductor FET = field effect transistor (zie cursus elektronica)

De CMOS inverter mag men zich dus symbolisch voorstellen als een opstelling met twee gekoppelde drukknoppen - de ene ‘normally closed’ (NC) en de andere ‘normally open’ (NO):

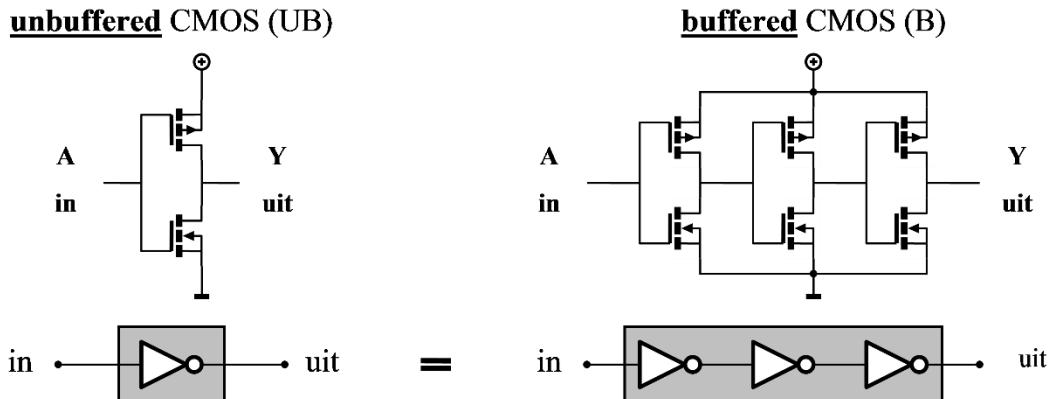


Samengevat:

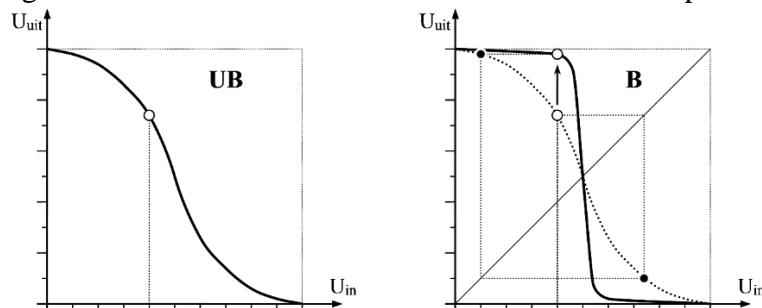
ingang	U_{GS1}	U_{GS2}	T_1	T_2	uitgang
LAAG	- 5 V	0 V	ON	OFF	HOOG
HOOG	0 V	+ 5 V	OFF	ON	LAAG

2.5.2 Buffered en unbuffered

Hoewel de hierboven besproken principeopstelling correct functioneert, gebeurt de praktische uitvoering ervan in werkelijkheid vaak anders: een NOT-poort wordt doorgaans samengesteld uit drie in cascade geplaatste inverter cellen! Deze uitvoering heet dan een gebufferde inverter. De reden voor deze complicatie is dat de transferkarakteristiek (U_{uit} ifv. U_{in}) op die manier een scherper verloop krijgt; een nadeel is de iets tragere werking (grotere t_{pd}).



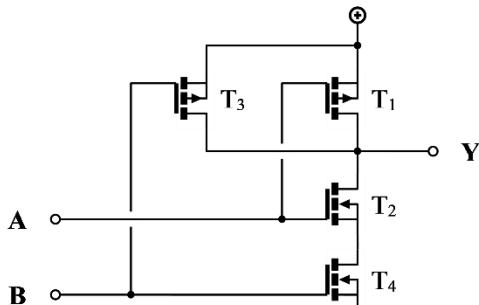
De onderstaande grafieken tonen aan welk effect het bufferen heeft op het transferredrag.



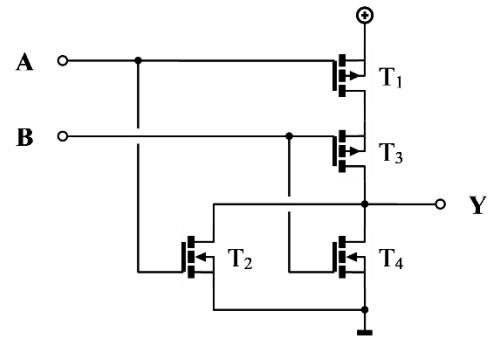
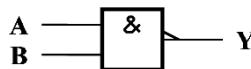
Ongebufferde CMOS-poorten zijn schaars. Ze hebben een aparte familienaam (vb. 74HCU04).

2.5.3 NAND en NOR in CMOS

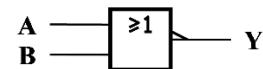
Om een NAND- of NOR-poort te vormen volstaat het om de basisstructuur van een inverter te ontdubbelen, en de mosfets aan de boven- en de onderkant in een parallel- en serieschakeling te plaatsen, of omgekeerd (zie figuur).



2-input NAND



2-input NOR



De ingang A bedient de mosfets T₁ en T₂; de B ingang stuurt T₃ en T₄ aan (P- en N-kanaal). Om het gedrag van deze opstelling te onderzoeken vullen we de geleidingstoestand (ON/OFF) van de mosfets in op een waarheidstabellen:

ingangen	bovenzijde	onderzijde	uitgang
B A	T ₁ T ₃	T ₂ T ₄	Y
L L	ON ON	OFF OFF	H
L H	OFF ON	ON OFF	H
H L	ON OFF	OFF ON	H
H H	OFF OFF	ON ON	L

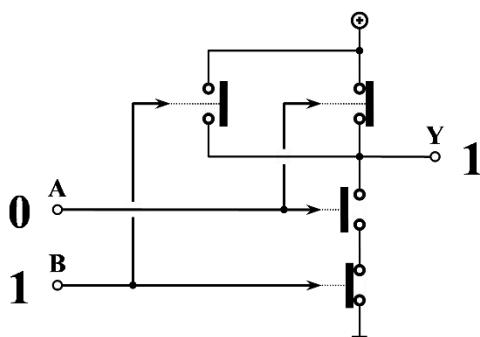
parallel serie

ingangen	bovenzijde	onderzijde	uitgang
B A	T ₁ T ₃	T ₂ T ₄	Y
L L	ON ON	OFF OFF	H
L H	OFF ON	ON OFF	L
H L	ON OFF	OFF ON	L
H H	OFF OFF	ON ON	L

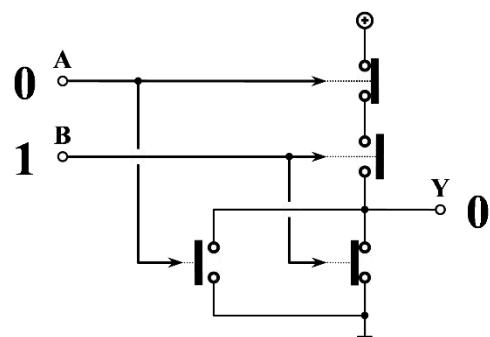
serie parallel

De werking van het geheel wordt nu duidelijk:

Zolang minstens één van de ingangen laag is, blijft de uitgang hoog.
Alleen als beide ingangen hoog zijn, wordt de uitgang laag.
Dit is dus een NAND-poort.

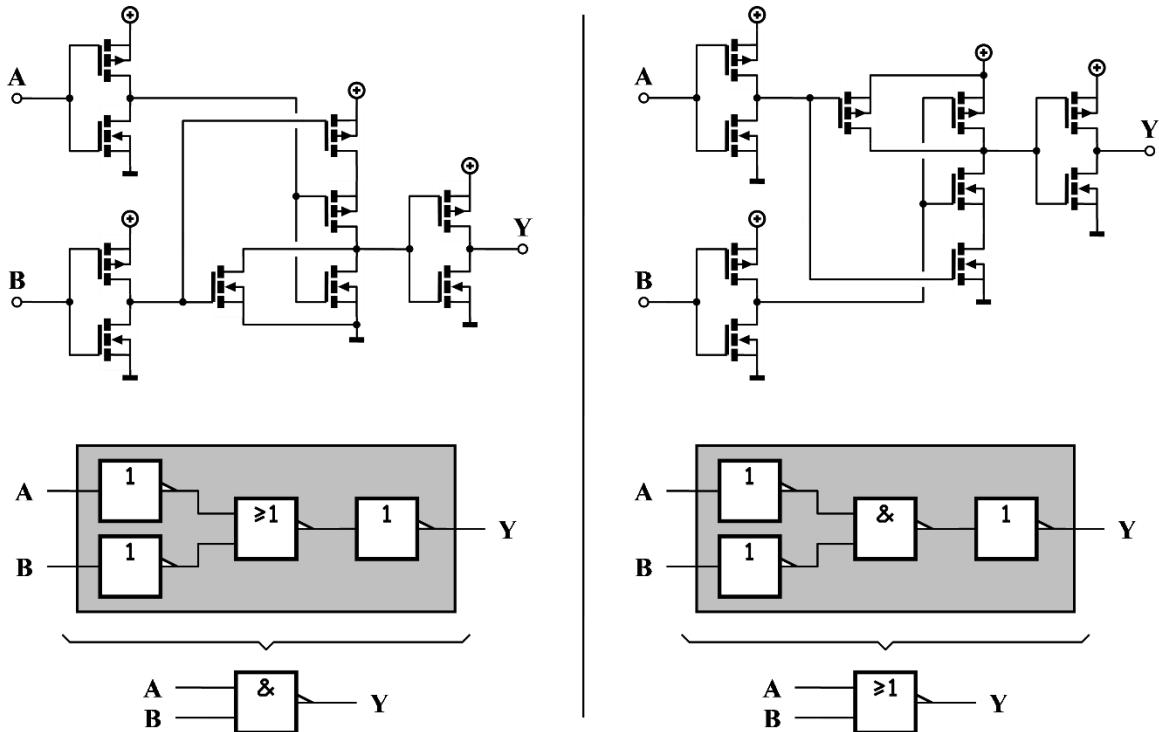


Zolang minstens één van de ingangen hoog is, blijft de uitgang laag.
Alleen als beide ingangen laag zijn, wordt de uitgang hoog.
Dit is dus een NOR-poort.



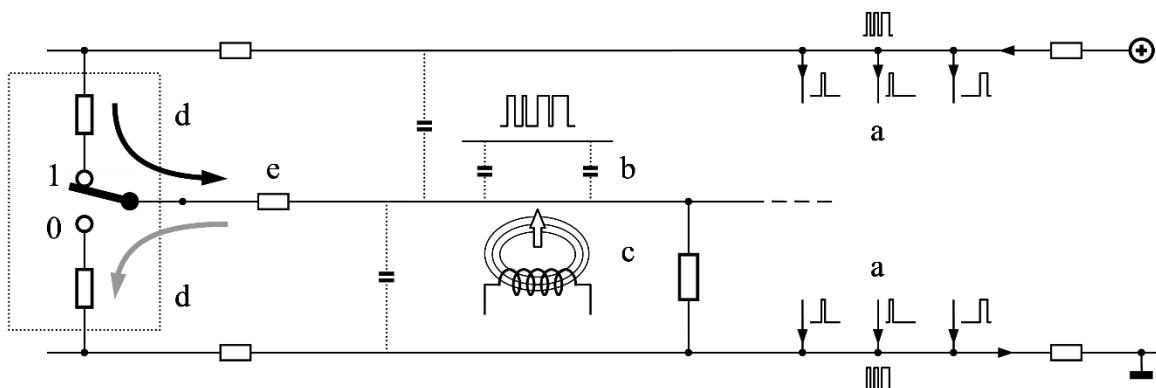
Om een AND- of OR-poort te maken in TTL moet de uitgang nog een geïnverteerd worden.

In werkelijkheid ligt het echter nog iets gecompliceerder: om de transferkarakteristiek een scherpere vorm te geven past de fabrikant de zelfde techniek toe als bij de gebufferde inverter. Een NAND poort wordt daarom gemaakt als een NOR poort waarvan de ingangen en de uitgang geïnverteerd zijn - een concrete toepassing van het theorema van De Morgan. Op dezelfde wijze wordt een NOR poort gevormd uit een NAND poort met inverse ingangen en uitgang.

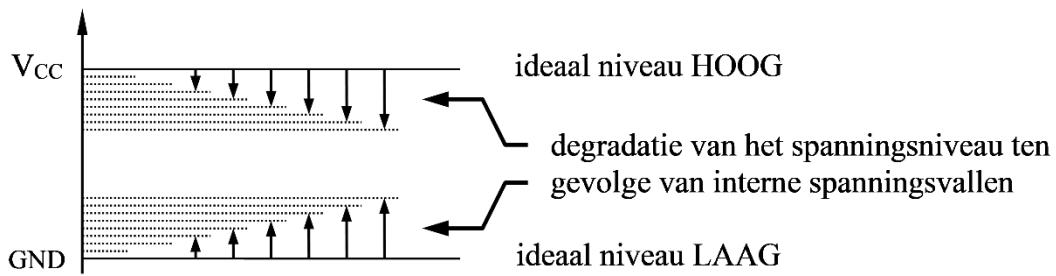


2.6 Poortkarakteristieken

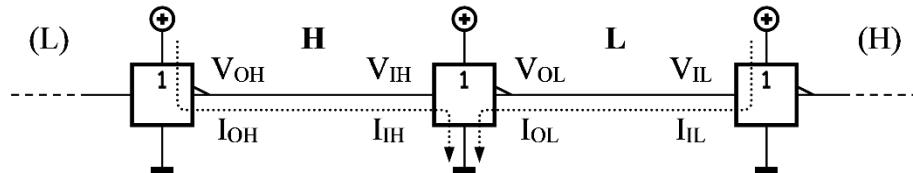
Als gevolg van de stromen die een uitgang kan afgeven of opnemen treden er spanningvallen op binnenvan de poort en op de verbindingstraden, waardoor de spanning op de ontvangende ingang kan afwijken van het oorspronkelijke (onbelaste) niveau; deze ‘signaaldegradatie’ kan nog verergerd worden door de invloed van allerlei storingen uit de omgeving.



Zelfs bij normaal gebruik is het dus niet ongewoon dat de spanning die overeenstemmen met een hoog of een laag niveau een eind verwijderd ligt van de ideale waarden V_{CC} en GND , door toedoen van inwendige spanningvallen en spanningdremels.



Desondanks ligt het voor de hand dat het logisch signaal dat een poort afgeeft op zijn uitgang steeds duidelijk herkend moet worden door ieder ingang waarop deze is aangesloten.

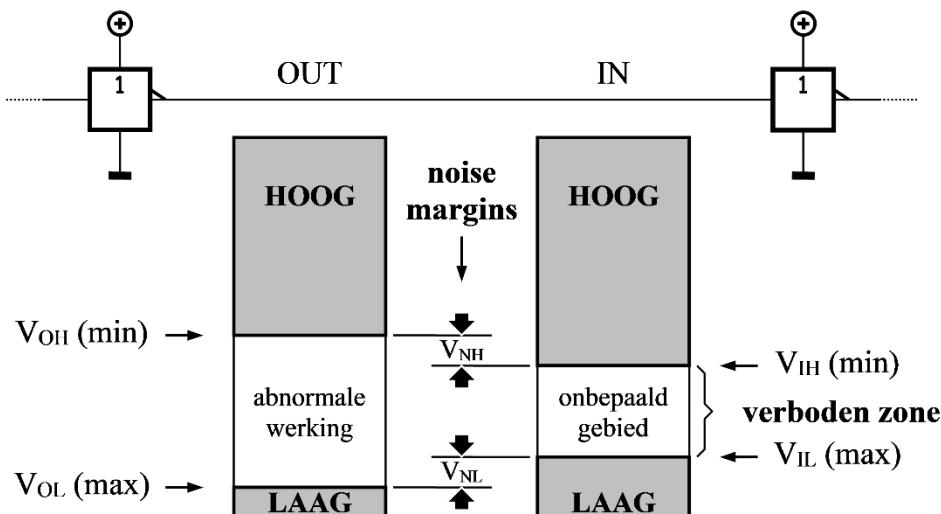


Om zeker te zijn dat de digitale schakelingen niet van slag geraken door deze verschijnselen zal de IC fabrikant er voor zorgen dat zijn producten altijd aan twee voorwaarden voldoen:

- enerzijds wordt gegarandeerd dat de afgegeven uitgangsspanning voor HOOG en LAAG niveau zich steeds binnen twee welbepaalde en duidelijk gescheiden zones bevindt
- anderzijds mag men erop rekenen dat elke ingang deze uitgangsniveaus met nog een voldoende ruime veiligheidsmarge (noise margin) herkent als HOOG en LAAG

Deze belangrijke spanningdrempele (thresholds) hebben een eigen benaming gekregen:

$V_{OH\ min}$	Het HOOG niveau van de uitgang is zeker nooit lager dan deze waarde
$V_{OL\ max}$	Het LAAG niveau van de uitgang is zeker nooit hoger dan deze waarde
$V_{IH\ min}$	Een spanning boven deze waarde wordt zeker als een HOOG niveau herkend
$V_{IL\ max}$	Een spanning onder deze waarde wordt zeker als een LAAG niveau herkend



Een HOOG niveau ligt dus tussen V_{CC} en $V_{OH\ min}$; een LAAG niveau tussen GND en $V_{OL\ max}$. Als een poort niet aan deze voorwaarden voldoet (bij normaal gebruik), dan is zij defect. Het logisch onbepaalde gebied tussen $V_{IH\ min}$ en $V_{IL\ max}$ wordt ook de ‘verboden zone’ genoemd.

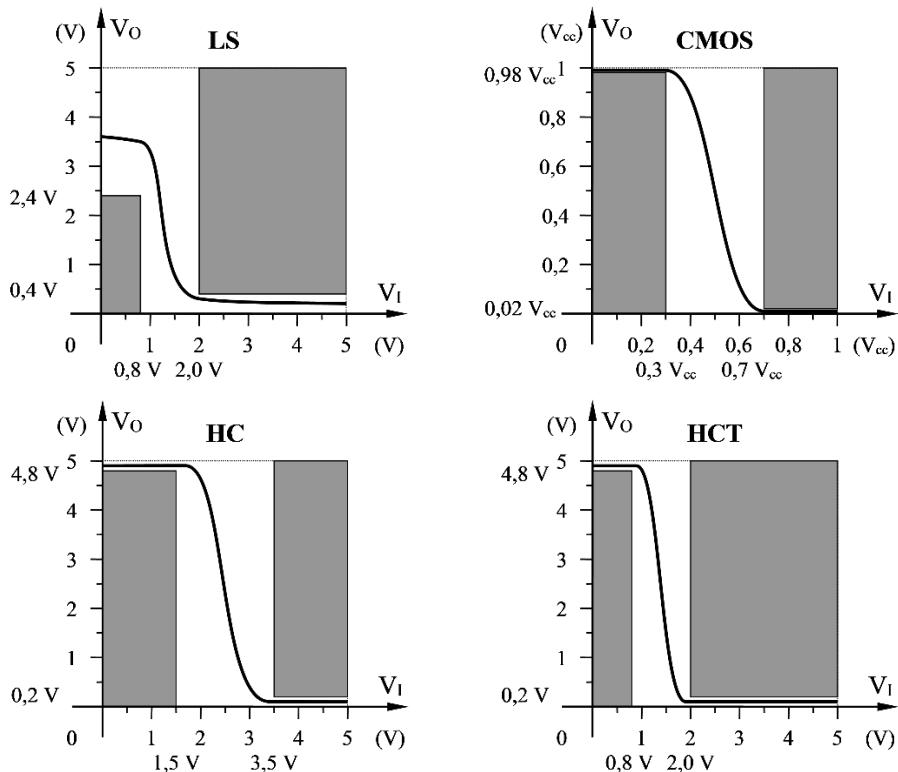
De veiligheidsmarge tussen de spanningsgrenzen voor hoog en laag niveau heet de noise margin, respectievelijk V_{NH} en V_{NL} : $V_{NH} = |V_{OH\min} - V_{IH\min}|$ en $V_{NL} = |V_{OL\max} - V_{IL\max}|$.

De officiële spanningdrempelexpectaties van logische poorten verschillen naargelang de logische familie. Het is aan de ontwerper om terdege rekening te houden met deze waarden (zie de datasheet).

	standard	LS	HC	HCT	CMOS	LVT
V_{CC} (5 V)						
V_{OH} typ	(3,5)	(3,4)	4,5	3,5	98 %	3,6
$V_{OH\min}$	2,4	2,7	3,5	2,5	70 %	
$V_{IH\min}$	2,0	2,0	2,5	2,0	50 %	
V_T	1,5	1,5	1,5	1,5	30 %	1,5
$V_{IL\max}$	0,8	0,8	0,5	0,8	2 %	0,8
$V_{OL\max}$	0,4	0,5	0,5	0,4		0,5
GND	out in	out in	out in	out in	out in	out in

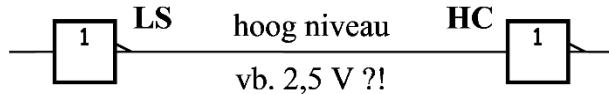
Vaak wordt ook de *drempelexpectatie V_T (Threshold Voltage)* vermeld: dit is de ingangsspanning die beschouwd wordt als de (theoretische) scheidingslijn waar de uitgang in principe overgaat van hoog naar laag niveau, of omgekeerd.

Een transferkarakteristiek geeft dit verband tussen ingang- en uitgangsspanning grafisch weer. De onderstaande grafieken tonen het typisch verloop van U_{out} in functie van U_{in} voor een inverter in de belangrijkste logische families. Op deze curven kan er nog een ruime speling zitten - als de zones die V_{OH}/V_{IL} en V_{OL}/V_{IH} afbakenen (zie grijze rechthoeken) maar niet betreden worden.



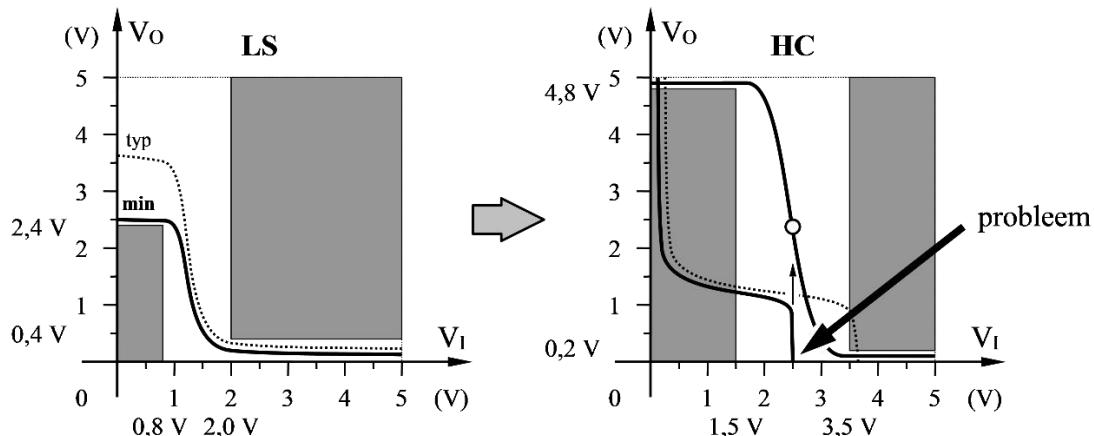
2.7 HC versus HCT

De HCT-familie werd ontwikkeld omwille van een compatibiliteitsprobleem dat zich voordoet bij het aansluiten van een klassieke LS-uitgang op een HC-ingang.

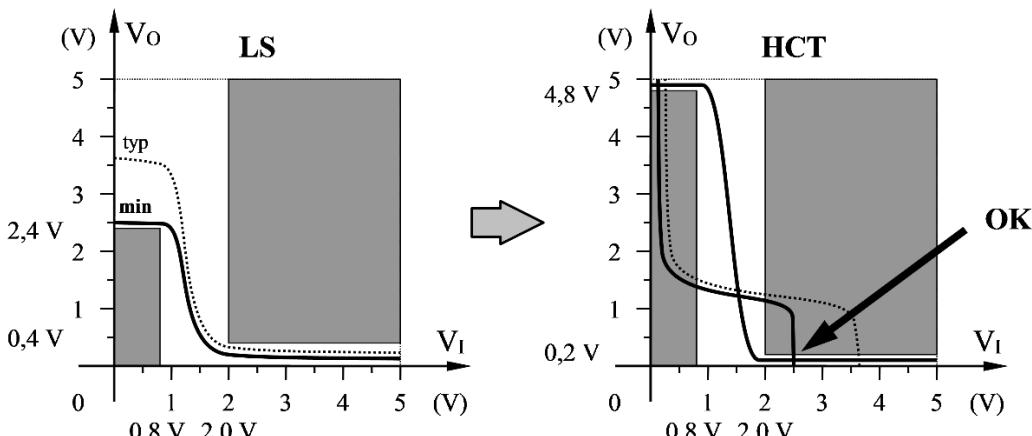


Vermits een hoog niveau van een LS-uitgang als laagst mogelijke waarde $V_{OHmin} = 2,4$ V heeft, en een HC-ingang minstens $V_{IHmin} = 3,5$ V moet zijn om als hoog herkend te worden, is de kans heel groot dat een hoog LS-niveau in het verboden gebied van de HC-karakteristiek terecht komt. De positie van het instelpunt van de HC-poort kan grafisch nagegaan worden door de gedraaide en gespiegelde karakteristiek van de LS-poort (want U_{out} wordt U_{in}) op de HC-curve te leggen.

De uitgangsspanning van deze HC-poort (inverter) blijkt nu ergens tussen voeding en massa in te hangen, waardoor zijn logisch niveau onbepaald is. Als gevolg hiervan zal de HC-poort slecht functioneren - en is dus ook de werking van de navolgende schakelingen onbetrouwbaar.



Om dit probleem te voorkomen werd de HCT-familie uitgebracht (en alle andere xxT-families); de ingangdrempels van de poorten uit die reeks liggen op TTL-niveau - dus met $V_{ILmax} = 0,8$ V en $V_{IHmin} = 2,0$ V. Op de onderstaande grafiek is te zien hoe dezelfde spanning uit een LS-poort nu wel als een hoog niveau geaccepteerd wordt dankzij het verschoven venster van de HCT-ingang.



Een HCT-poort kan dus dienen als tussenschakel bij de overgang van TTL naar CMOS. In de omgekeerde richting stelt zich geen probleem.

3. Aansluitingen van ingangen en uitgangen

3.1 Stromen aan uitgang en ingang

Bij het normale gebruik van een poort is de uitgang aangesloten op één of meerdere ingangen van volgende poorten. De hoge en lage spanningen die de logische toestanden vertolken geven echter aanleiding tot het vloeien van stromen in deze verbindingen waar een goed ontwerp rekening mee moet houden.

In CMOS-technologie is elke ingang nagenoeg stroomloos, zodat er zich geen problemen stellen met betrekking tot de belastbaarheid van een uitgang, zelfs als er vele ingangen tegelijk moeten aangestuurd worden (in statisch regime). Bij dynamische werking echter moet op elke uitgang de parasitaire capaciteit telkens weer op en af geladen worden, wat kortstondige stromen vereist.

In de bipolaire TTL-technologie lopen er in de ingangen permanent niet te verwaarlozen stromen, die door de voorafgaande uitgang moet geleverd worden.



Een lage ingang gaat gepaard met een relatief grote stroom I_{IL} die uit deze pin getrokken wordt; bij een hoge ingang loopt er een veel kleinere stroom I_{IH} in de omgekeerde zin naar de pin toe.

Ter hoogte van een uitgang heten diezelfde stromen respectievelijk I_{OL} en I_{OH} . De totem pole is zo ontworpen dat een poort gemakkelijk een veelvoud van de vereiste ingangsstroom kan leveren. Elke logische familie is zo ontworpen dat de verhouding van de maximale uitgangsstroom I_O tot de normale ingangsstroom I_I van een poort even groot is bij hoog als bij laag niveau; die vaste verhouding I_O/I_I wordt de fan-out genoemd.

De onderstaande tabel toont enkele typische waarden van deze stroomsterkten:

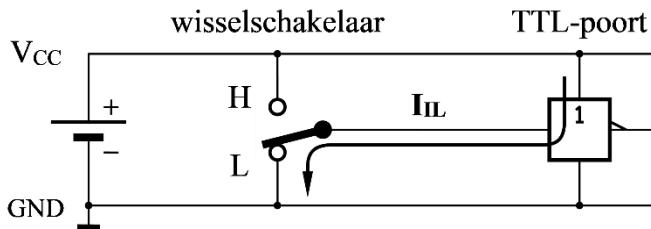
TTL-familie	I_{IL}	I_{OL}	I_{IH}	I_{OH}	I_{Ox}/I_{Ix}
standard	1,6 mA	16 mA	40 μ A	400 μ A	10
LS	0,4 mA	8 mA	20 μ A	400 μ A	20

Merk op dat de uitgangen van klassieke TTL-poorten gemakkelijk grote stromen kunnen trekken, maar niet in staat zijn om grote stromen te leveren. Dit is een belangrijke praktische eigenschap.

3.2 Aansluitingen op de ingang

Een ingang kan zonder probleem aangesloten worden op de uitgang van een andere poort, zelfs als deze van een andere logische familie is. In enkele uitzonderlijke gevallen moet er soms wel een niveuaanpassing gebeuren, maar daar bestaan tegenwoordig speciale IC's voor.

Om de ingang van een digitale poort manueel te bedienen kan men gebruik maken van een wisselschakelaar die contact legt naar voeding (H) of massa (L):

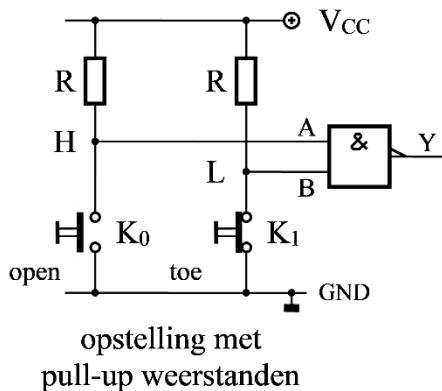


bij een TTL-poort loopt er uit een lage ingang een aanzienlijke stroom
standard → 1,6 mA (!)
LS → 0,4 mA

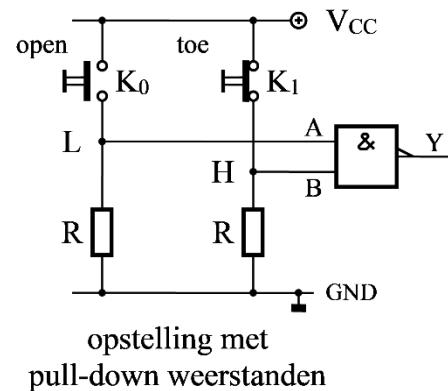
Tijdens het omschakelen van het contact zal de ingang kortstondig zweven, maar dit kan geen kwaad. Bij CMOS-ingangen speelt de parasitaire capaciteit tijdelijk de rol van geheugen.

In plaats van een (dure) wisselschakelaar kan men ook een gewone schakelaar of een drukknop gebruiken om een ingang hoog of laag te maken, maar dan moet er wel een extra weerstand mee in serie gezet worden (zie figuur). In principe komen hiervoor twee versies in aanmerking:

- ofwel de drukknoppen aan de massa met telkens een pull-up weerstand naar de voeding,
- ofwel de drukknoppen aan de voeding met telkens een pull-down weerstand naar massa.



opstelling met pull-up weerstanden



opstelling met pull-down weerstanden

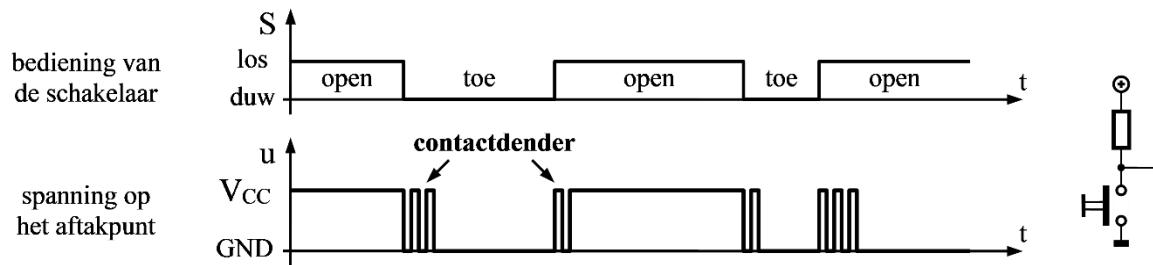
Voor CMOS-IC's komen beide opstellingen in aanmerking. De weerstandwaarde is niet kritisch, maar wordt best niet te klein noch te groot genomen, bijvoorbeeld ergens tussen 10 en 100 kΩ.

Met TTL-IC's ligt het moeilijker. Omwille van de relatief grote stroom die uit een lage ingang moet kunnen vloeien is alleen de opstelling met de schakelaars aan massa-zijde geschikt (dit is dus de pull-up versie). De weerstand R heeft doorgaans een grootte van enkele tientallen kΩ.

In de andere opstelling zouden de pull-down weerstanden heel laagohmig moeten zijn: voor standaard TTL moet de weerstand kleiner zijn dan 500 Ω (= 0,8 V/1,6 mA), en voor de LS-familie is een waarde lager dan 2 kΩ (= 0,8 V/0,4 mA) vereist. Een kleine weerstandwaarde heeft als bijkomend nadeel het grote stroomverbruik telkens de schakelaar gesloten is.

De weerstanden mogen zeker niet achterwege gelaten worden, zo niet zouden de schakelaars gewoon in serie met de ingangen staan - wat absurd is.

Een fenomeen waar zeker rekening mee moet gehouden worden bij het gebruik van schakelaars is de zogenaamde "contactdender" (bouncing). Wanneer een schakelaar gesloten wordt kunnen de contacten op microscopische schaal snel na elkaar enkele keren open en dicht stuiteren. Ook bij het terug openen van een schakelaar gebeurt de onderbreking niet abrupt maar hobbelend.



Als gevolg hiervan verschijnt er bij het sluiten en openen van de schakelaar geen gave spanning op het aftakpunt, maar een reeks van snel opeenvolgende pulsen. De contactdender kan enkele milliseconden (!) duren, en - naargelang de kwaliteit van de schakelaar - soms tientallen pulsen voortbrengen. Het bounces-effect kan de goede werking van bijvoorbeeld een pulsteller dus lelijk in de war sturen. Met speciale hulpschakelingen kan het dender-effect omzeild worden. (zie de hoofdstukken over timers en flipflops).

3.3 Ongebruikte ingangen

Het kan gebeuren dat één of meerdere ingangen van een ‘multi-input’ poort niet gebruikt worden. Dergelijke ongebruikte ingangen mogen zeker niet zomaar open gelaten worden, want dit zou de goede werking van het geheel kunnen in gevaar brengen.

Een ‘open ingang’ betekent dat die aansluitpin geen enkele uitwendige verbinding heeft; in het vakjargon spreekt men van een “zwevende” ingang (floating input).

Bij CMOS-poorten zijn open ingangen zeer hoogohmig waardoor zij gemakkelijk stoorsignalen uit de omgeving kunnen opvangen (zoals kleine antennes) of kleine ladingen kunnen opstapelen.

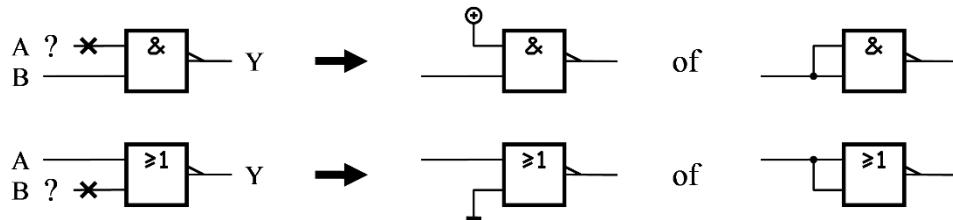
Op een zwevende ingang kan dus een willekeurig kleine of grotere spanning verschijnen die door de poort geïnterpreteerd wordt als een logisch laag of hoog niveau, dat de logische functie van de andere ingangen kan blokkeren (AND of OR): het gedrag van de uitgang is dus onvoorspelbaar geworden. Het is zelfs mogelijk dat een uitgang sporadisch omwisselt van het ene naar het andere niveau, of ergens tussen voeding en massa blijft zwippen (plus toegenomen verbruik).

Zwevende ingangen zijn nog op een andere manier verraderlijk: ze kunnen zich bijvoorbeeld gedragen als ‘hoog’, maar op het moment dat er met oscilloscoop gemeten wordt ontstaat er een laag niveau door diens $1\text{ M}\Omega$ ingangweerstand naar massa (eventueel een probe van $10\text{ M}\Omega$).

Ongebruikte CMOS-ingangen mag men dus niet open laten; ze moeten hoog of laag gemaakt worden door hen aan V_{CC} of GND te leggen.

Bij TTL-poorten gedragen open ingangen zich in principe als ‘hoog’ (zie schema). Toch wordt het afgeraden om een ongebruikte ingang te laten zweven wanneer een permanent hoog niveau gewenst is. Om een overbodige ingang laag te maken moet hij met massa verbonden worden.

De ongebruikte ingangen (naargelang het poorttype) moeten dus aan de voeding of de massa gelegd worden, ofwel met een andere ingang van dezelfde poort verbonden⁴ worden.

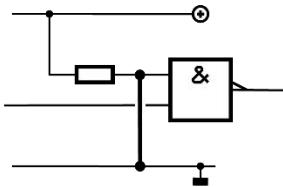


Alleen als het om een ‘loze’ poort gaat (dit wil zeggen dat zijn uitgang niet benut wordt) doet het er niet toe welk niveau de ingangen krijgen - als ze maar hoog of laag gemaakt worden.

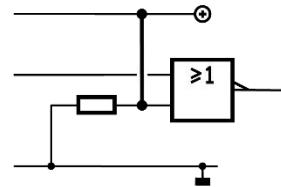
De recentere IC-families hebben een goede beveiliging van hun ingangen tegen overspanning waardoor het toegelaten is om de ongebruikte ingangen direct aan de voeding (AND) te leggen, maar bij oudere typen was het aangewezen om dit via een weerstand (vb. $1\text{ k}\Omega$) te doen.

Om digitale schakelingen te testen (debuggen) is het interessant als ongebruikte ingangen alsnog manueel (met een draadje) hoog of laag gemaakt kunnen worden. Om dit mogelijk te maken worden deze pinnen toch niet rechtstreeks met de voeding of de massa verbonden, maar via een weerstand (typisch $10\text{ k}\Omega$).

⁴ Het samennemen van ingangen kan een invloed hebben op de snelheid van de poort.



dankzij de tussengevoegde weerstand is een uitgeschakelde ingang nog bereikbaar voor testdoeleinden

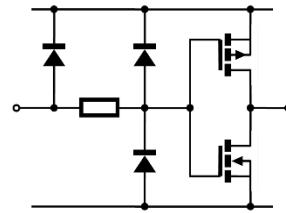


3.4 Ingangsbeveiliging

De interne halfgeleiderstructuren van een IC zijn heel fijn gemaakt, wat de snelheid van hun werking ten goede komt, maar dit heeft als nadeel dat de ingangen nogal kwetsbaar zijn voor spanningen die de normale specificaties overschrijden. Vooral de CMOS-technologie, waar de impedantie van de ingang (gate van mosfet) zeer hoogohmig is, blijkt gevoelig te zijn voor de opstapeling van lading met doorslag tot gevolg (ESD = electrostatic discharge), waardoor de tere halfgeleiderstructuren beschadigd worden.

Om de IC's zo goed mogelijk te beschermen tegen dergelijke ongelukken wordt elke ingang voorafgegaan door een speciale dioden-groep, die meestal de volgende samenstelling heeft:

'input-protectie'
voor een CMOS-poort
door middel van
clampingdiodes



Omdat deze inwendige dioden relatief traag zijn is het verstandig om bij poorten die op een stoorgevoelige plaats staan (bijvoorbeeld aan de signaalconnector van de print) zelf extern nog een bijkomende ingangsbeveiling te voorzien met snelle dioden (vb. schottky of fast recovery).

De aanwezigheid van de weerstand (typisch $1\text{ k}\Omega$) kan bovendien helpen om het zogenaamde "latch-up" effect tegen te gaan; dit is een fenomeen waarbij secundaire halfgeleiderstructuren in de IC zich kunnen gedragen als een parasitaire thyristor (PNPN) die door een kortstondig groot spanningverschil kan ontsteken (getriggerd), en zich plotseling gedraagt als een kortsluiting.

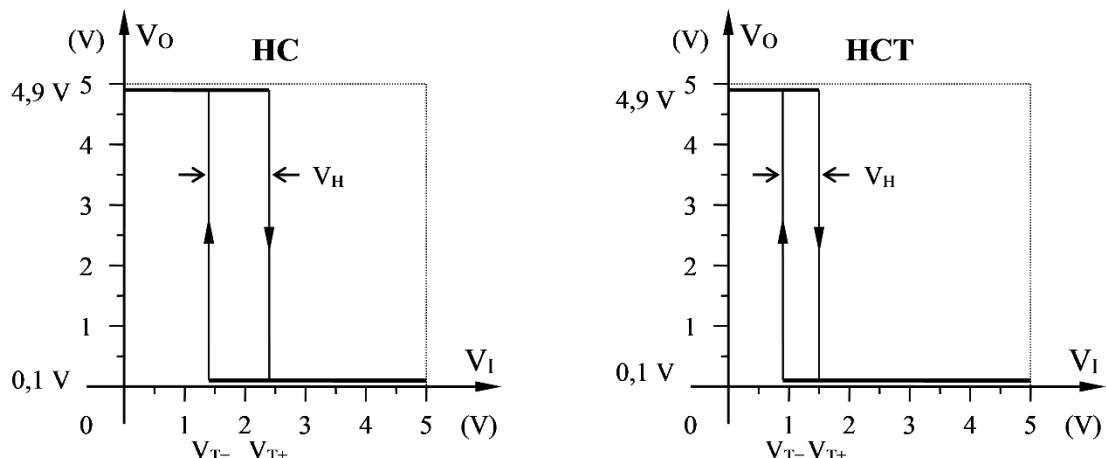
3.5 Speciale ingangen

Wanneer het signaal dat op de ingang van een ‘gewone’ logische poort wordt aangeboden niet zuiver digitaal is (dit wil zeggen: scherp omschakelend tussen hoog en laag niveau) maar eerder een analoog karakter heeft (dit wil zeggen: relatief langzaam variërend tussen beide uitersten), dan zal het uitgangssignaal evenmin een mooi digitaal verloop hebben doordat de transferkarakteristiek (U_{uit} ifv. U_{in}) een vloeierende curve is. Kleine schommelingen van het ingangssignaal in de overgangszone van de transferkarakteristiek brengen grote variaties in het uitgangssignaal teweeg (zie voorbeeld), waardoor een vervalsing van het pulspatroon ontstaat.

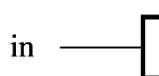
Dergelijke afgeronde spanningvormen zijn in de digitaal-techniek totaal ongewenst - niet alleen omdat een langdurig verwijlen in de verboden zone gepaard gaat met een grote toename van het stroomverbruik (vermogendissipatie), maar vooral omdat vele schakelingen (vb. tellers) steile flanken voor hun stuursignalen nodig hebben om goed te kunnen werken.

Om dergelijke problemen met traag veranderende of met brom of ruis verstoorde spanningen te voorkomen gebruikt men een speciaal daartoe ontwikkelde poort: de Schmitt trigger - vaak ook kortweg “trigger” genoemd. Deze trigger-poorten zijn te verkrijgen als inverter (vb. 74HC14) en ook in NAND-versie (vb. 74LS13 en 74 HCT132).

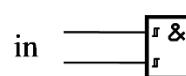
Kenmerkend voor trigger-poorten is hun bijzondere transferkarakteristiek (vb. inverter):



De typische vorm van die karakteristiek is terug te vinden in het aparte symbool van de trigger.



74HC14



74HCT132

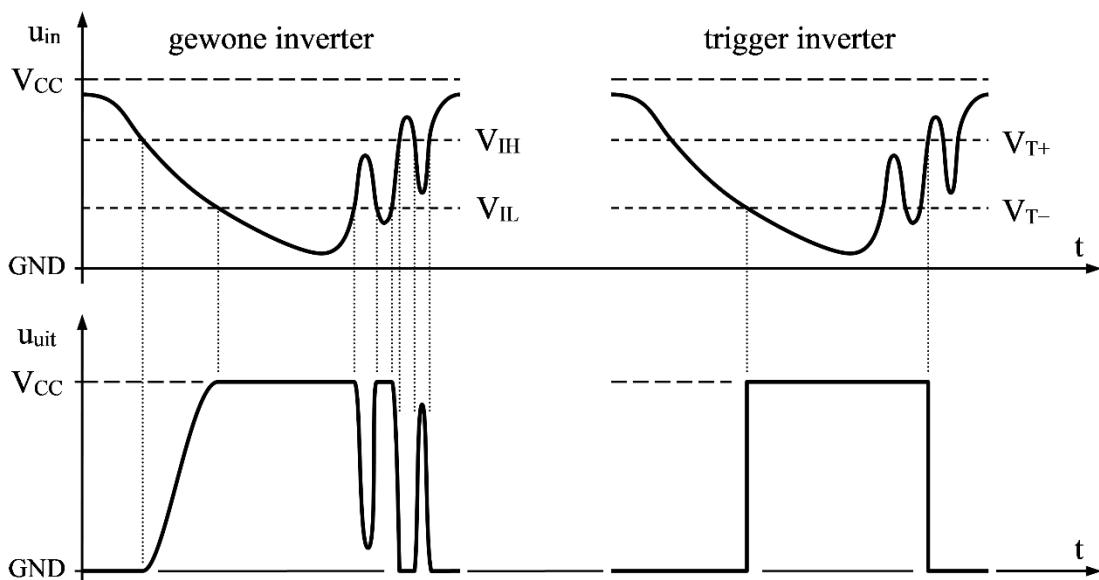
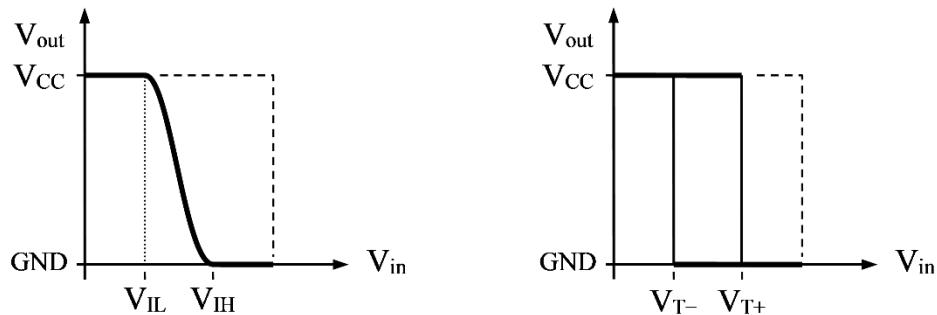
De uitgang van een trigger klapst om van hoog naar laag zodra de ingangsspanning boven de drempel V_{T+} uitstijgt; het niveau keert terug naar hoog als de ingang onder de waarde V_{T-} zakt. Het spanningverschil V_H tussen deze drempels (threshold voltage) heet de ‘hysteresis’.

De onderstaande tabel geeft een idee van de concrete drempelspanningen van een trigger-poort, maar in de praktijk kan er wel wat spelting zitten op deze waarden:

type	V_{T+}	V_{T-}	V_H
74HC14	2,4 V	1,4 V	1,0 V
74HCT14	1,5 V	0,9 V	0,6 V

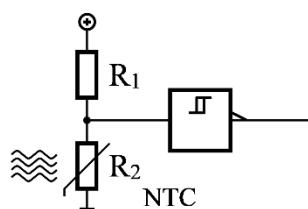
Het volgende voorbeeld toont aan hoe van een ‘lelijke’ spanningvorm weer een perfect digitaal signaal gemaakt kan worden. We vergelijken de werking van een gewone NOT-poort

met die van een trigger-inverter, terwijl er op de ingang een zelfde traag variërend signaal is aangelegd. Om het verband tussen beide schakelingen duidelijk te illustreren zijn dezelfde knikpunten gekozen voor de (verzonnen) karakteristieken.



Stel vast dat door toedoen van de trigger-poort het signaal niet alleen hersteld is tot een zuiver digitale vorm met steile flanken, maar ook ontstaan is van allerlei stoorpulsen.

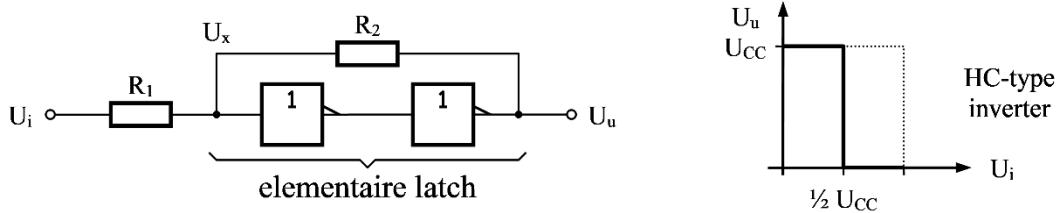
De trigger-poort kan eventueel ook gebruikt worden als een rudimentaire niveaudetector voor een analoge spanning die uit een of andere sensor afkomstig is. Zo kan hij bijvoorbeeld dienen om vast te stellen of een bepaalde temperatuurgrens overschreden wordt (groeve indicatie).



De trigger in deze opstelling kan beschouwd worden als een 1-bit analoog-digitaal convertor. Voor meer nauwkeurige metingen is natuurlijk wel een meer professionele schakeling nodig.

3.5.1 Extraatje

Leuk om weten is dat een (niet-inverterende) triggerschakeling ook met een paar gewone HC inverter-poorten kan samengesteld worden. De opstelling is nauw verwant met een SR-latch (zie hoofdstuk flipflops), maar er moeten wel nog twee weerstanden bij.



De uitgang U_u van de twee in cascade geschakelde inverters is teruggekoppeld naar hun ingang U_x via R_2 , zodat zij een bistabiel duo vormen. Die elementaire latch kan geset of gereset worden door de spanning U_x boven of onder het omslagniveau van de eerste poort te trekken.

De verhouding van R_1 tot R_2 bepaalt dan de breedte van het triggervenster (hysteresis), en dus de ligging van de omklapdrempels U_{OP} en U_{AF} (zie onderstaande karakteristiek).

Met behulp van de ingangsspanning U_i kan de spanningdeling naar U_x bestuurd worden, waarbij we aannemen dat de overgang van tussen laag en hoog (uitgang) zich voor doet bij het passeren van de halve voedingsspanning op zijn ingang, dus als $U_x = \frac{1}{2} U_{CC}$ (CMOS-type):

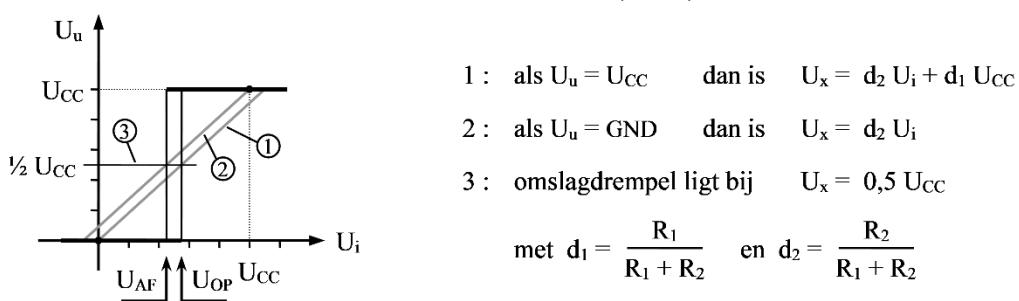
$$\begin{cases} U_x = \frac{R_2}{R_1+R_2} U_i + \frac{R_2}{R_1+R_2} U_u \\ U_x = 0,5 U_{CC} \end{cases}$$

Dit stelsel oplossen geeft: $U_i = U_{CC} \left(1 + \frac{R_1}{R_2} \right) - U_u \frac{R_1}{R_2}$

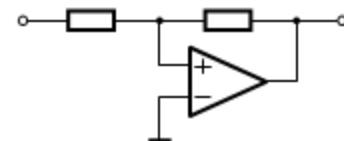
De omklapdrempels kunnen nu afgeleid worden naargelang $U_u = GND$ of $U_u = U_{CC}$:

$$U_{OP} = \frac{U_{CC}}{2} \left(1 + \frac{R_1}{R_2} \right)$$

$$U_{AF} = \frac{U_{CC}}{2} \left(1 - \frac{R_1}{R_2} \right)$$



Deze schakeling kan opgevat worden als een speciaal geval van de niet-inverterende trigger met een opamp in single supply. (zie cursus elektronica).



Voorbeeld:

Als $R_1 = 10 \text{ k}\Omega$ en $R_2 = 100 \text{ k}\Omega$, dan liggen de omklapdrempels op de volgende niveaus:

$$U_{OP} = 0,5 U_{CC} \times (1 + R_1/R_2) = 2,5 \text{ V} \times (1 + 0,1) = 2,5 \text{ V} \times 1,1 = 2,75 \text{ V}$$

$$U_{AF} = 0,5 U_{CC} \times (1 - R_1/R_2) = 2,5 \text{ V} \times (1 - 0,1) = 2,5 \text{ V} \times 0,9 = 2,25 \text{ V}$$

3.6 Aansluitingen op de uitgang

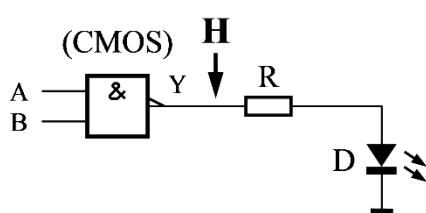
Ook vanuit het standpunt van een uitgang vormt het doorgaans geen enkel probleem om de ingang van andere poorten van een kwalitatief volwaardig logisch signaal te voorzien: daar zijn ze immers voor gemaakt. Men moet er wel op letten (vooral bij TTL-poorten) dat één uitgang niet te veel ingangen moet bedienen: de fan-out grens mag niet overschreden worden. Desnoods moet een uitgang maar ontdubbeld worden zodat hij nog slechts de helft van het eerdere aantal ingangen voorgesloten krijgt.

Een technisch moeilijker probleem is het besturen van een willekeurige belasting via de uitgang van een poort, zoals een led (optocoupler), een kleine gloeilamp, een relais, en zo meer.

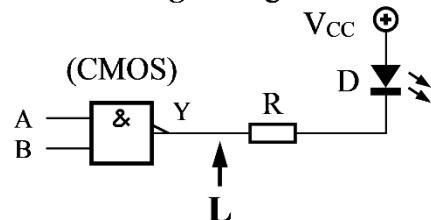
We onderzoeken deze aangelegenheid voor CMOS- en TTL-IC's.

Bij **CMOS**-poorten zoals van de HC-familie is de maximale sink- en source-current even groot, en bedraagt zowat 25 mA (vb. 74HCT00). Doordat de uitgangsspanning van zulke poorten ook altijd dicht aanleunt tegen voedingsspanning of massa zijn deze erg geschikt om kleine verbruikers aan te sturen; dit kan dan zowel met een HOOG als met een LAAG niveau gebeuren.

de actief-hoog sturing van een led



de actief-laag sturing van een led



Als de spanning van de uitgangniveaus bekend is kan stroom berekend worden in functie van de drempelspanning V_D van de led en de weerstandwaarde R .

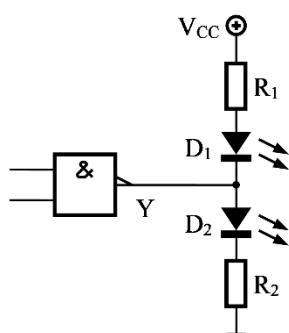
$$I = \frac{V_{OH} - V_D}{R}$$

$$I = \frac{V_{CC} - V_D - V_{OL}}{R}$$

Vermits bij CMOS meestal geldt dat $V_{OH} \approx V_{CC}$ en $V_{OL} \approx GND$ kan de formule voor beide versies nog vereenvoudigd worden tot $I = (V_{CC} - V_D) / R$.

Met bijvoorbeeld $V_{CC} = 5\text{ V}$, $V_D = 1,6\text{ V}$ en $R = 680\text{ }\Omega$ zou de ledstroom $I_D = 5\text{ mA}$ bedragen.

Een speciaal geval is de complementaire sturing van twee lasten met één poort.

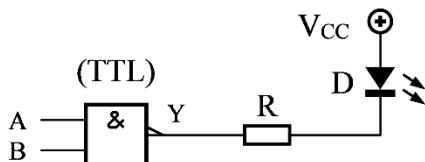


ofwel brandt de ene led, ofwel de andere

$Y = \text{hoog}$	\rightarrow	$D_1 = \text{uit}$	$D_2 = \text{aan}$
$Y = \text{laag}$	\rightarrow	$D_1 = \text{aan}$	$D_2 = \text{uit}$

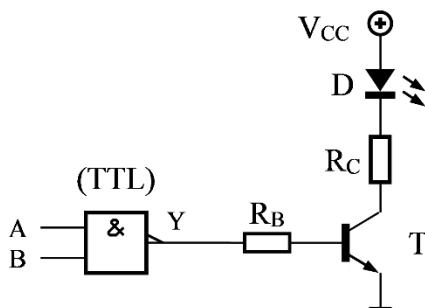
Merk op dat als de uitgang onderbroken is (defect) de beide leds zwak zullen branden.

Voor **TTL**-poorten met een totempole uitgang is de actief-hoog sturing niet zo goed geschikt omdat de source-stroom hoogstens 0,4 mA bedraagt (typische waarde). De uitgangen van die families zijn eerder bedoeld om een verbruiker actief-laag aan te sturen, door stroom te trekken.



bij gebruik van een TTL-poort wordt een last best met een LAAG niveau aangestuurd

Wil men de verbruiker toch met een hoog niveau aansturen, dan kan een alternatieve oplossing er in bestaan om een NPN-transistor als (inverterende) schakelaar te gebruiken:



als de aansturing van een last bij een HOOG niveau moet gebeuren, dan is de tussenplaatsing van een transistor vereist (uiteardaard kan ook een darlington of power-MOSFET hiertoe dienen)

(Deze werkwijze dringt zich trouwens ook bij CMOS op om grotere stromen te besturen.)

Voorbeeld van een berekening

<u>Gegeven:</u>	$V_{CC} = 5 \text{ V}$	$V_{OH} = 3,4 \text{ V}$	$V_{BE} = 0,6 \text{ V}$
	$V_D = 1,8 \text{ V}$	$V_{OL} = 0,3 \text{ V}$	$V_{CES} = 0,2 \text{ V}$
	(74LS00)		$\beta_{\min} = 100 \times$

Gevraagd: Bereken R_B en R_C zodat door de led een stroom I van ongeveer 10 mA loopt.

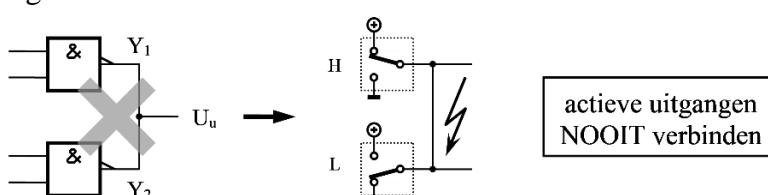
Oplossing: (reken na)

Als de transistor in saturatie is staat er over R_C een spanning van 3 V ($= V_{CC} - V_D - V_{CES}$). De theoretische waarde voor die collectorweerstand is dus 300Ω ($= V_{RC}/I$). Als praktische waarde (E12) kan men 330Ω of 270Ω nemen; de led-stroom bedraagt dan respectievelijk 9 mA of 11 mA (afgerond). We kiezen voor $R_C = 330 \Omega$ (tolerantie buiten beschouwing gelaten).

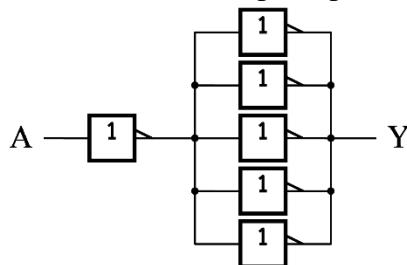
De basisstroom I_B die nodig is om de transistor in verzadiging te sturen (worst case design) moet minstens $90 \mu\text{A}$ zijn ($= I_D/\beta_{\min}$). Omdat over R_B een spanning van 2,8 V staat ($= V_{OH} - V_{BE}$) moet die basisweerstand dus kleiner zijn dan $31,1 \text{ k}\Omega$ ($= U_{RB}/I_B$), bijvoorbeeld $R_B = 27 \text{ k}\Omega$.

3.7 Bijzondere toepassingen van uitgangen

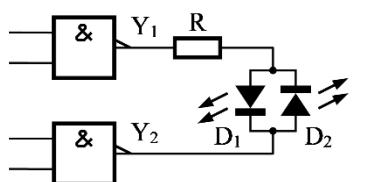
Vermits elke actieve uitgang op te vatten is als een spanningsbron - ofwel voeding, ofwel massa - is het evident dat het absoluut **verboden** is om de uitgangen van onafhankelijke poorten direct met elkaar te verbinden: bij tegengestelde logische niveaus ontstaat immers een kortsluiting!



In enkele uitzonderlijke gevallen mogen actieve uitgangen toch met elkaar verbonden worden. Als bijvoorbeeld met zekerheid geweten is dat alle uitgangen steeds hetzelfde niveau hebben, kan het soms nuttig zijn om meerdere poorten parallel te schakelen. Zo bekomt men immers een buffer die een veelvoud van de aparte poortstroom kan leveren (vb. 5).



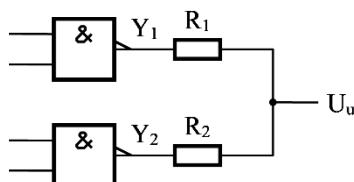
Twee of meer uitgangen mogen natuurlijk wel met elkaar verbonden worden als er een gepaste stroombegrenzing tussen zit (met minstens één weerstand). Hieronder enkele voorbeelden.



visuele comparator

- | | | |
|-------------|---------------|------------------------------|
| $Y_1 = Y_2$ | \rightarrow | beide leds zijn UIT |
| $Y_1 > Y_2$ | \rightarrow | D_1 is AAN en D_2 is UIT |
| $Y_1 < Y_2$ | \rightarrow | D_1 is UIT en D_2 is AAN |

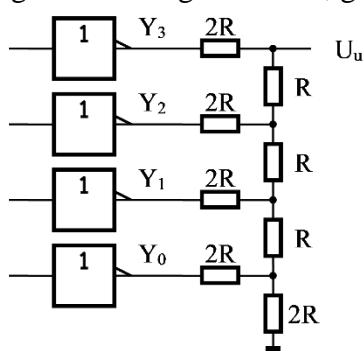
De onderstaande schakeling vormt een ‘gewogen gemiddelde’ van de spanningen U_{Y1} en U_{Y2} . De spanning U_u wordt immers gevormd door een gemengde spanningdeling met R_1 en R_2 op de poort-uitgangen Y_1 en Y_2 . (deze opstelling werkt best met CMOS-poorten)



$$U_u = U_{Y1} \cdot \frac{R_2}{R_1 + R_2} + U_{Y2} \cdot \frac{R_1}{R_1 + R_2}$$

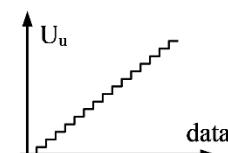
Als $R_1 = 10 \text{ k}\Omega$ en $R_2 = 15 \text{ k}\Omega$, dan kan men naargelang de toestand van de poorten Y_1 en Y_2 volgende spanningen bekomen op de uitgang U_u : 0 V - 2 V - 3 V - 5 V (gesteld dat $V_{CC} = 5 \text{ V}$).

Een uitbreiding van dit principe is de DAC (hier in een eenvoudige 4-bit uitvoering): dit is een digitaal-analoog convertor, gebouwd met een R/2R laddernetwerk van weerstanden.



$$U_u = U_{CC} \cdot \frac{\text{data}}{2^n}$$

- n = aantal bits (ingangen)
 data = decimale waarde van het bitpatroon
 $(Y_0 = \text{lsb} \text{ en } Y_3 = \text{msb})$
 U_{CC} = spanning van elke hoge poortuitgang



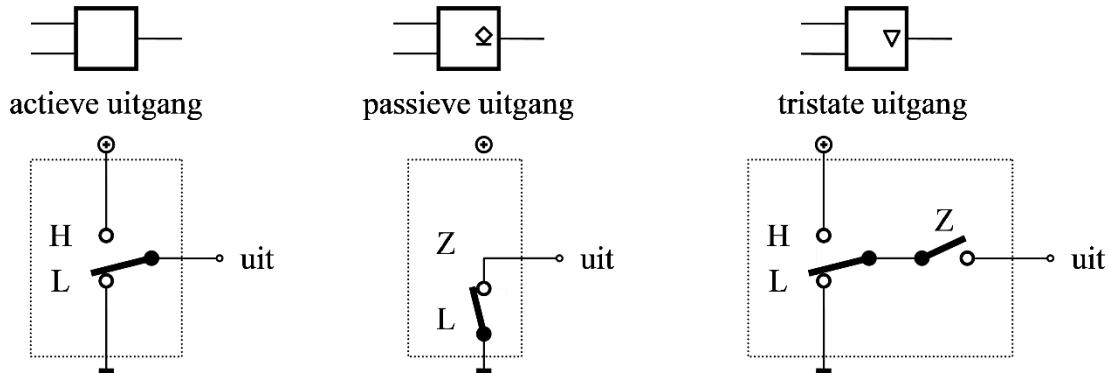
3.8 Ongebruikte uitgangen

Wanneer een IC meerdere poorten bevat kan het gemakkelijk gebeuren dat deze niet allemaal gebruikt worden in de bedoelde toepassing. De uitgang van een onbenutte poort moet men gewoon open laten. Zelfs als er geweten is dat een ongebruikte uitgang steeds hoog of laag blijft is het toch verboden om hem naar voeding of massa te verbinden.

Eventueel kan men een vrije poort ook parallel leggen met een werkzame poort uit de zelfde behuizing om een groter stroombereik te bekomen (buffer-effect); uiteraard moeten ook alle ingangen dan correct aangesloten worden. Uitgangen mogen dus alleen met elkaar verbonden worden als ze zich identiek gedragen (samen hoog en laag) - zo niet ontstaat een kortsleuteling.

3.9 Speciale poortuitgangen

Naast de bekende ‘actieve’ uitgang bestaan er nog enkele andere speciale uitvoeringen van uitgangen, zoals de ‘passieve’ uitgang en de ‘tristate’ uitgang. Deze typen worden aangeduid met een apart embleem in het symbool van de betreffende poort.

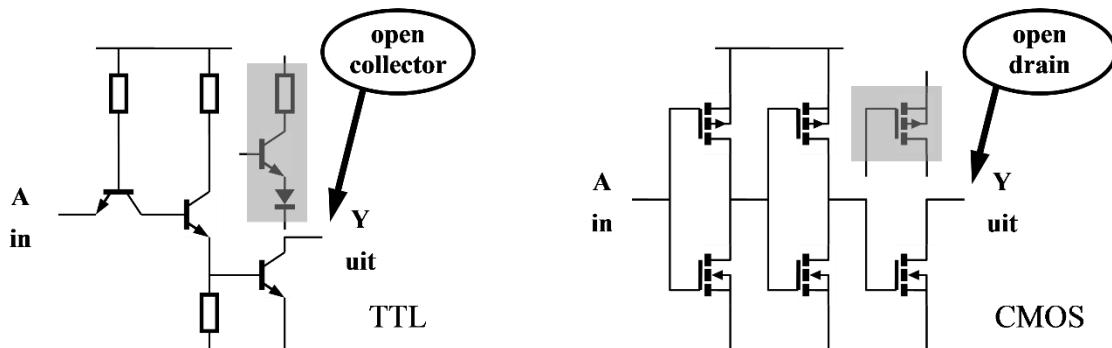


Ieder van deze bijzondere uitgangen heeft zijn eigen kenmerken en toepassingen.

3.9.1 De open collector en open drain

Bij een aantal soorten digitale IC's is de bovenste transistor (TTL) of mosfet (CMOS) weggelaten in de uitgangstrap. Naar de uitgang toe dient zich dan enkel nog de collector respectievelijk drain aan van de onderste transistor of mosfet. Aan de typische constructie ontleen dergelijke poorten hun voor de hand liggende naam: “**open collector**” (OC) en “**open drain**” (OD).

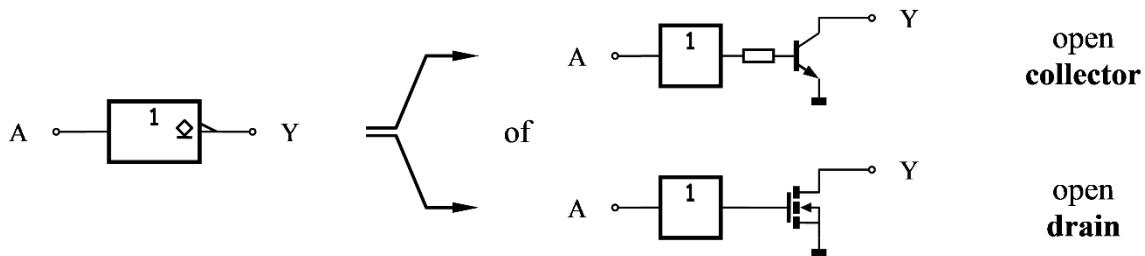
Doordat CMOS tegenwoordig de overwegende technologie is zal men in de praktijk het meest met ‘open drain’ te maken krijgen, maar velen blijven de term ‘open collector’ gebruiken.



In de ‘open collector’ categorie bestaan er vele logische functies, maar de meest voorkomende zijn inverters (vb. 74HC05) en 2-input NAND's (vb. 74HC03) - in werkelijkheid ‘open-drain’.

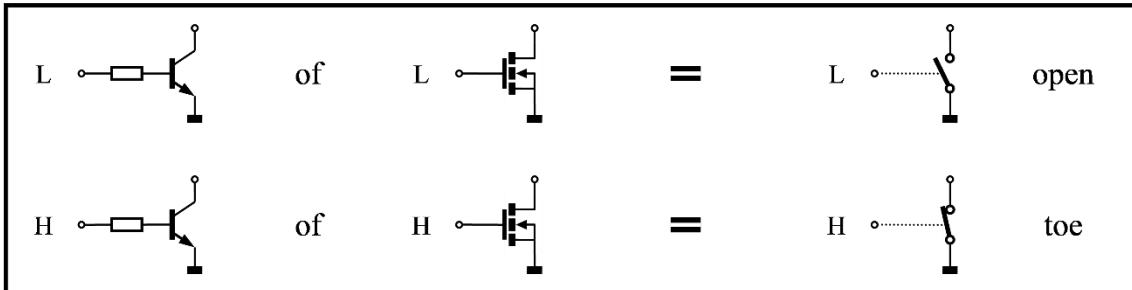
Om aan te wijzen dat een poort van het OC- of OD-type is wordt in zijn symbool een speciaal teken aangebracht nabij de uitgang: een kleine ruit met onderaan een streepje (in feite staat dit lijntje aan de kant van het schakelend element).

In de onderstaande figuur is het symbool van een open collector NOT-poort afgebeeld. De werking van dergelijke componenten is best te begrijpen als men hen opsplits in twee delen: de inversie staat altijd op rekening van het schakelende element aan de uitgang, en de rest van de logische functie gaat er dan aan vooraf (hier is dit dus een niet-inverterende buffer).



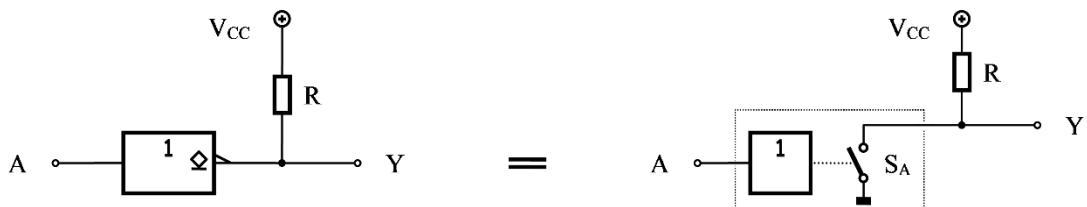
Zowel een transistor (NPN-type) als een mosfet (N-kanaal enhancement-type) gedragen zich bij een gepaste aansturing van hun ingang (basis/gate) als een elektronische schakelaar tussen hun uitgang (collector/drain) en massa (emitter/source):

- met een laag signaal op hun ingang sperren ze → de schakelaar is geopend (= OFF),
- met een hoog signaal op hun ingang geleiden ze → de schakelaar is gesloten (= ON).



Vermits de open collector (open-drain) van een poort alleen maar de rol van schakelaar speelt, kan zo'n uitgang dus NOOIT een SIGNALAAL afgeven uit zichzelf! Om deze reden zegt men dat al deze poorten een 'passieve uitgang' hebben.

Wil men toch een spanning op de uitgang kunnen bekomen, dan moet deze via een zogenaamde '**pull-up**' weerstand met de positieve voeding V_{CC} verbonden worden (onbelaste uitgang):



Als de ingang hoog is wordt de uitgang laag (massa) omdat de schakelaar gesloten is.

Met een lage ingang staat de schakelaar open, en dan is de uitgang hoog (voeding) dankzij de pull-up weerstand. De opstelling werkt dus als een logische inverter.

A	S	Y
L	open	H
H	toe	L

$$Y = \bar{A}$$

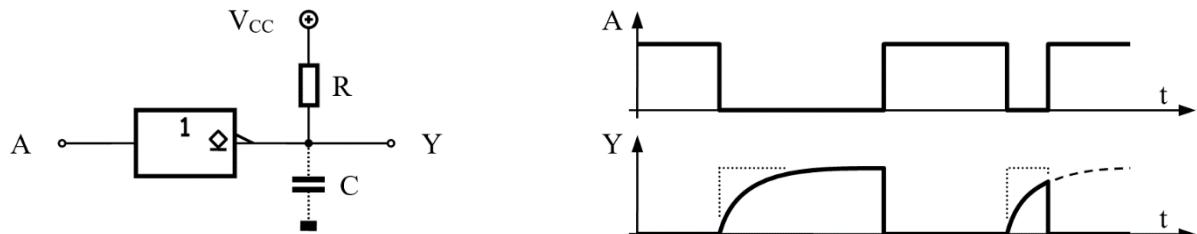
De waarde van de pull-up weerstand is niet kritisch - meestal voldoet een grootte van 1 à 100 $k\Omega$. Een grote weerstandwaarde geeft een kleiner stroomverbruik maar ook een slommer schakelgedrag.

In het ideale geval geeft een blokgolf op de ingang wel een geïnverteerde blokgolf op de uitgang, maar in de praktijk vertonen de voorflanken van het uitgangssignaal vaak afrondingen, vooral als de werkfrequentie hoog is. Dit fenomeen is toe te schrijven aan de parasitaire⁵ capaciteit van de uitgang, die samen met de pull-up weerstand een RC-integrator vormt: telkens de opencollector (-drain) spert zal de condensator exponentieel opladen naar de

⁵ Een 'parasitaire capaciteit' is een kleine condensator (pF) die ongewild gevormd wordt door de eigen bedrading van de uitgang ten opzichte van de massa.

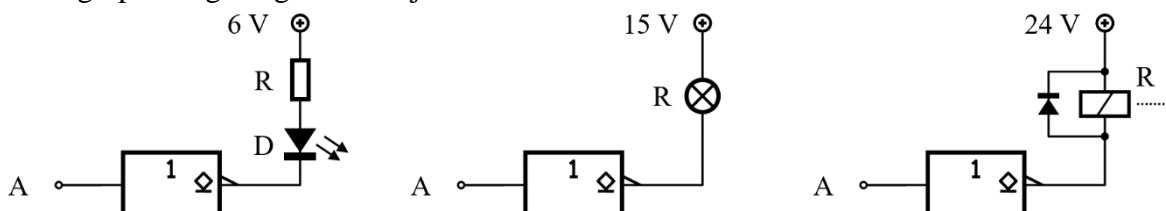
voedingsspanning. Een volledig laadproces duurt ongeveer 5τ (tijdconstante $\tau = R \times C$). Bij het sluiten van de schakelaar gebeurt het ontladen van die capaciteit ogenblikkelijk, zodat de achterflanken wel scherp zijn.

Dit afrondingverschijnsel is een typisch nadeel van opencollector schakelingen.

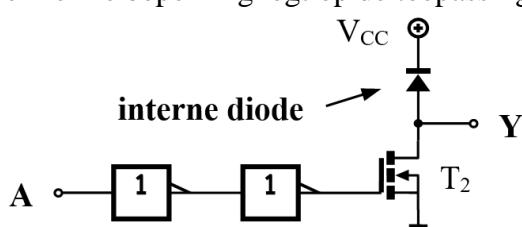


Soms wordt deze eigenschap benut om langere tijdvertragingen te realiseren. Men plaatst dan moedwillig een grotere condensator C op de uitgang - eventueel met een aangepaste waarde voor de weerstand R. De ‘analoge’ golfvorm (laadcurve) kan vervolgens weer in een mooi ‘digitaal’ signaal omgezet worden met behulp van een trigger-poort.

Opencollector poorten zijn zeer geschikt om een nuttige last zoals een led, lamp of relais te besturen (aan/uit); deze verbruikers kunnen zo nodig op een aparte (meestal hogere) voedingsspanning aangesloten zijn.



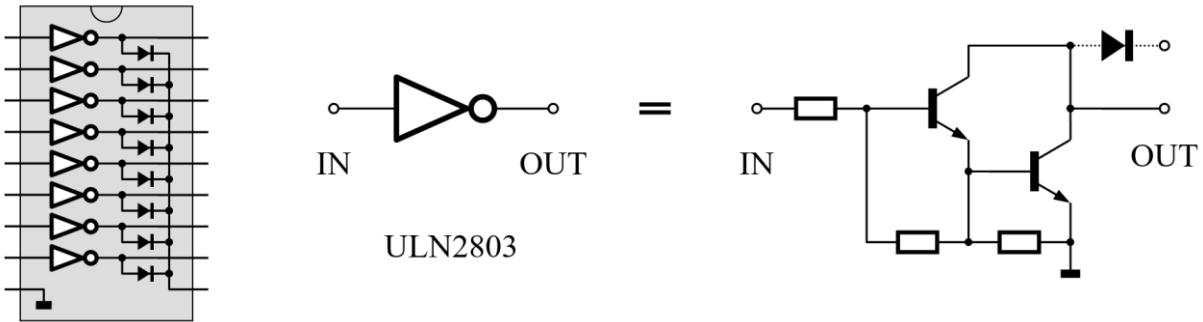
Sommige opencollector inverters zijn speciaal voor dit doel gemaakt. In de datasheet van de fabrikant kan men nagaan wat het spanning- en stroombereik is; de 74LS05 bijvoorbeeld wordt nog altijd vaak gebruikt omdat hij geschikt is voor spanningen tot 30 V en een stroom tot 30 mA kan trekken (TTL). In dit verband is de nodige waakzaamheid wel aangewezen omdat er zich bij vele CMOS uitvoeringen, zoals de 74HC05, inwendig een ‘protection diode’ bevindt tussen de open-drain uitgang Y en de eigen voedingsspanning V_{CC} van het IC. Dit heeft tot gevolg dat de uitwendig aangesloten voedingsspanning nu niet hoger mag zijn, wat een ferme beperking legt op de toepassingsmogelijkheden van zulke poorten!



LET OP

sommige open- drain poorten in de HC- familie hebben een interne ‘protectiediode’

Een speciaal geval van opencollector inverter is de ULN2803 (en aanverwanten). Dit IC bevat acht NPN-NPN darlingtons, die met een ingangsspanning vanaf circa 2 V in saturatie gestuurd worden en dan een stroom tot 500 mA kunnen schakelen; op hun uitgang kunnen zij tot 50 V spanning dragen.



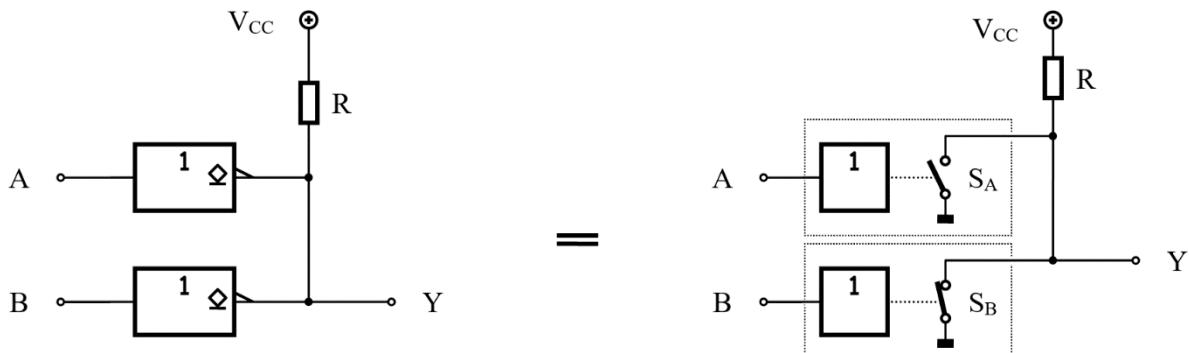
De interne dioden kunnen gebruikt worden als beveiliging van de uitgang tegen overspanning; hun kathode (gemeenschappelijke klem) moet dan met een gepaste uitwendige spanningsbron (positief) verbonden zijn. Deze dioden zijn echter niet zo geschikt voor grote stromen, en zijn ook niet bedoeld als vrijloop voor de afschakelstroom in inductieve lasten; in die gevallen brengt men beter extern een gepaste diode aan.

De oorspronkelijke ULN2003 heeft maar zeven inverters aan bord (16-pin); deze darlington array is bedoeld voor de aansturing van grote zevensegment led-displays (common cathode).

3.9.2 Wired-AND

Een voordeel van opencollector poorten is dat hun uitgangen ongestraft met elkaar verbonden mogen worden om zo eenvoudige logische functies te vormen.

We onderzoeken in een opstelling met twee opencollector inverters hoe hun gemeenschappelijke uitgang Y reageert op de besturing van de ingangen A en B. De schakeling kan echter uitgebreid worden tot een willekeurig aantal inverter-poorten - dezelfde wetmatigheden blijven dan gelden.



Als we op de waarheidstabellen het gedrag van de schakelaars invullen wordt de werking van het geheel snel duidelijk.

B	A	S _B	S _A	Y
L	L	open	open	H
L	H	open	toe	L
H	L	toe	open	L
H	H	toe	toe	L

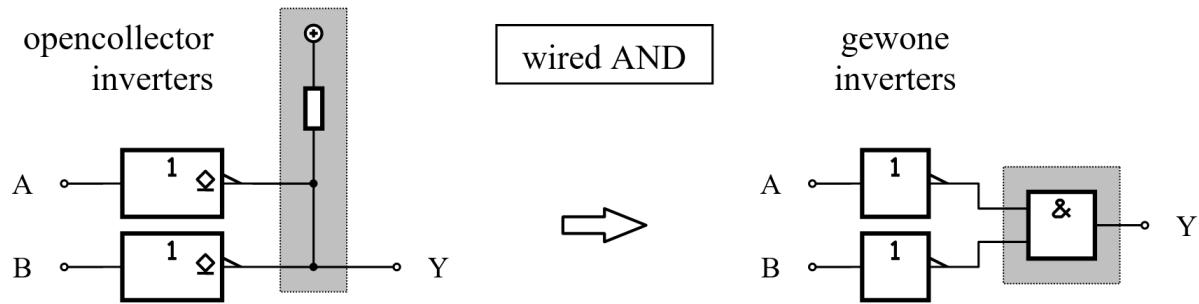
$$\begin{aligned}\bar{Y} &= A + B \\ Y &= \bar{A} \cdot \bar{B}\end{aligned}$$

← wired OR

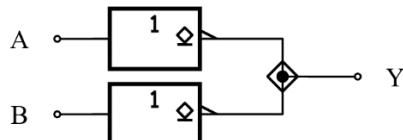
← wired AND

Zodra (minstens) één ingang hoog is wordt de uitgang laag gemaakt doordat de overeenkomstige schakelaar dan gesloten wordt. Wanneer het accent ligt op het ‘actief LAAG’ maken van de uitgang, dan kan men hierin een OR-functie herkennen, vandaar de (oude) benaming ‘wired OR’.

Indien men de zaak echter bekijkt volgens positieve logica, dan blijkt de samengeknoopte uitgang hoog te worden als alle ingangen laag zijn: zo beschouwd hebben we met een AND-functie van de inverse ingangen te maken, vandaar de benaming ‘wired AND’. Deze twee interpretaties zijn trouwens met elkaar te rijmen volgens het theorema van De Morgan.

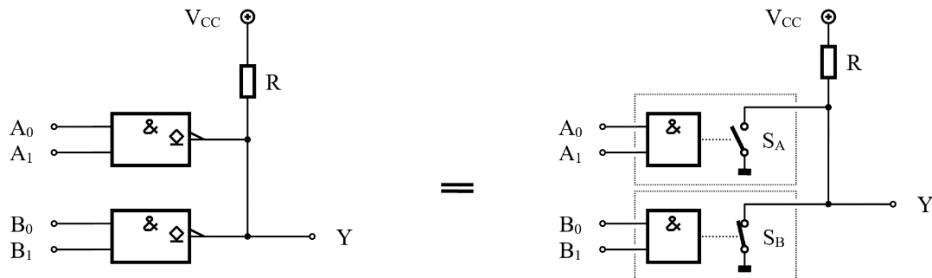


In sommige schema's stelt men de wired AND voor met een symbolische stip in een ruit; de pull-up weerstand R en de voedingsspanning V_{CC} hoeven dan niet vermeld te worden:



verkorte voorstelling
van een wired AND

Het principe van een wired-AND kan natuurlijk ook toegepast worden op andere typen van opencollector poorten. We onderzoeken een schakeling met twee 2-input open drain NAND's.

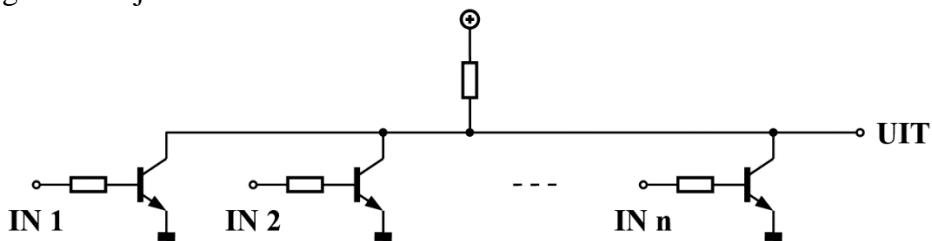


Zolang minstens één ingang van een NAND-poort laag is zal de schakelaar op zijn uitgang open zijn. De uitgangschakelaar wordt pas gesloten als wanneer beide ingangen hoog zijn. Uit deze omschrijving leiden we de logische vergelijking af voor de uitgang Y van deze schakeling.

Herken opnieuw de structuur van een wired AND van de twee NAND-poorten:

$\bar{Y} = A_1 A_0 + B_1 B_0$ $Y = \overline{\overline{A_1 A_0} \cdot \overline{B_1 B_0}}$	←	wired OR
	←	wired AND

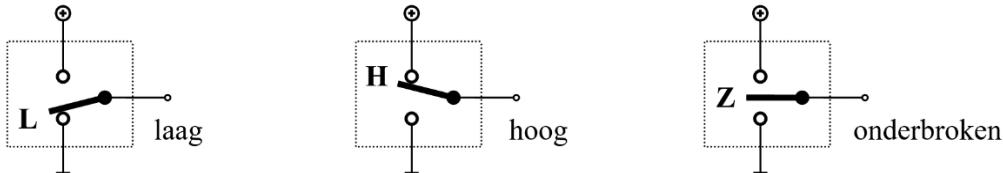
Het succes van de open collector structuur is ondermeer te danken aan de typische opstelling die bijvoorbeeld bij microcomputersystemen wordt toegepast om een 'actief laag' commando op een bepaalde pin vanuit meerdere bronnen te kunnen genereren. Zo 'n schakeling is bovendien gemakkelijk uitbreidbaar.



3.9.3 Three-state uitgangen

Waar een gewone ‘actieve’ uitgang slechts twee niveaus kan afgeven (H/L) bestaan er ook poorten die drie toestanden kennen - vandaar hun benaming “three-state” of “tristate”.

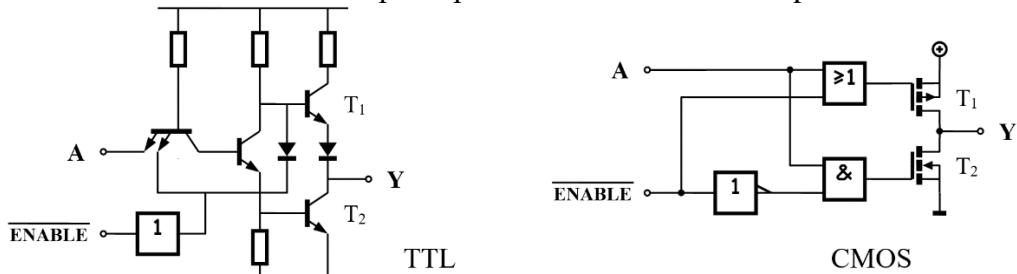
Indien we de uitgangstrap van een poort als een wisselschakelaar opvatten, dan is er inderdaad nog een derde stand mogelijk voor het schakelcontact, namelijk daar tussenin hangend.



In die derde stand is de uitgang losgekoppeld van de buitenwereld. Men zegt dan dat de uitgang ‘disabled’ (uitgeschakeld) is, of dat hij ‘zwevend’ is (floating), of zich in een ‘high-impedance’ toestand bevindt (hi-Z = grote weerstand). Deze bijzondere afgekoppelde toestand van een poort wordt bekomen als de beide transistoren of mosfets in de uitgang tegelijk sperren.

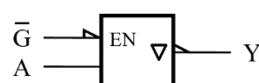
Om de poort weer normaal te laten werken moet de uitgang ‘enabled’ worden met behulp van een gepast stuursignaal op een aparte controle-ingang (EN = enable, of OE = output enable). Wanneer de uitgang terug aangekoppeld is, functioneert hij dan als een gewone actieve uitgang.

De onderstaande schema’s tonen het principe van een tristate inverterpoort in TTL en CMOS.



De inversiestreep boven de naam “enable” geeft aan dat het activeren van de betreffende poort gebeurt bij een laag niveau op die stuuringang; bij een hoog niveau is de poort “disabled”. In beide gevallen geldt dezelfde waarheidstabell (ga na):

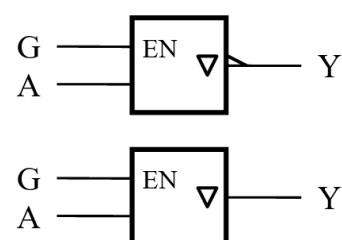
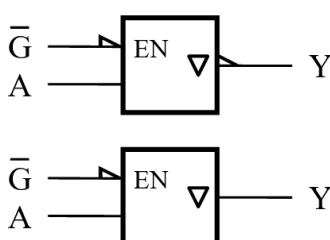
$\overline{\text{EN}}$	A	T ₁	T ₂	Y
L	L	ON	OFF	H
L	H	OFF	ON	L
H	X	OFF	OFF	Z



$$\begin{aligned} \overline{G} = L &\rightarrow Y = \overline{A} \\ \overline{G} = H &\rightarrow Y = Z \end{aligned}$$

De kleine omgekeerde driehoek in het symbool is het teken voor een tristate uitgang.

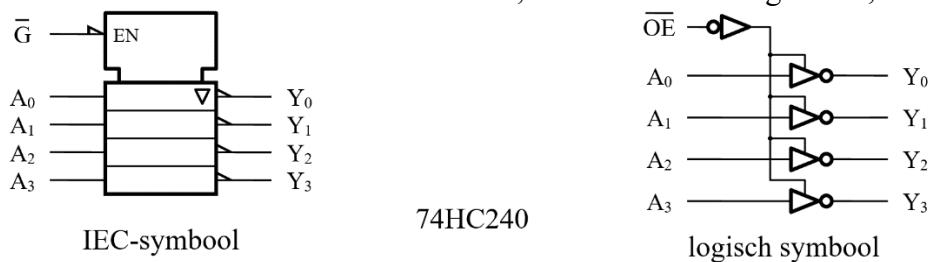
Tristate poorten bestaan zowel in ‘enable low’ als ‘enable high’ uitvoeringen; aangezien de uitgangen zowel inverterend als niet-inverterend kunnen werken zijn er vier varianten mogelijk.



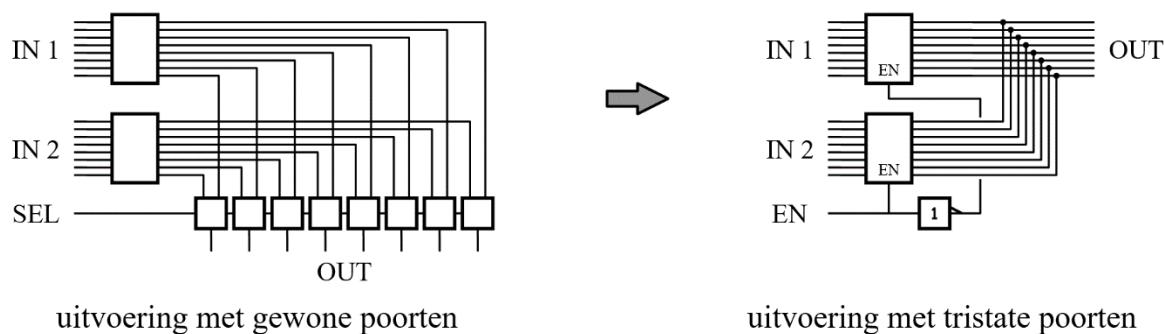
In losse vorm zijn dergelijke tristate-schakelaars niet verkrijgbaar, tenzij men de ‘analog switch’ (vb. 74HC4066) als een speciaal geval daarvan beschouwt, vermits die ook voor digitale signalen kan dienen. Op dezelfde manier kan ook de ‘analog multiplexer’ (vb.

74HC4051/52/53) gebruikt worden om één signaal uit een reeks van meerdere (8/4/2) te selecteren (zie verder).

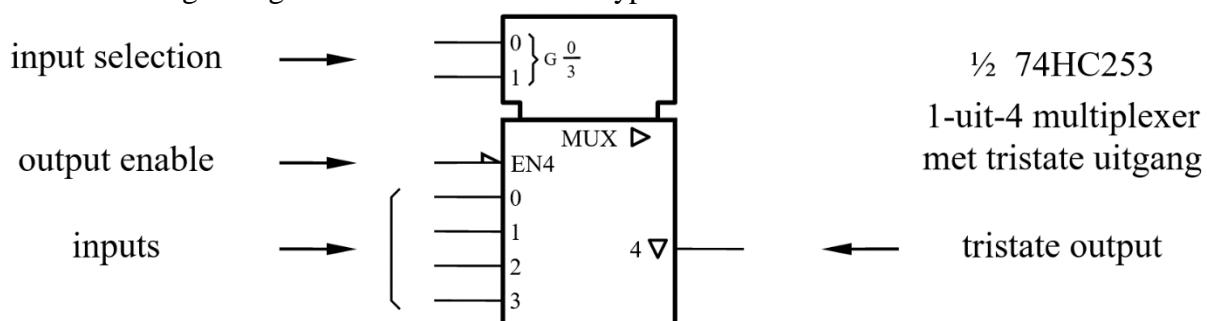
Veelvuldig toegepast zijn de zogenaamde tristate buffers, vaak in een 8-bit uitvoering (2x 4-bit), die werken als een uitschakelbaar doorgeweefluik voor binaire data - al dan niet inverterend. Hieronder als voorbeeld een stuk van de 74HC240, een ‘octal inverting buffer, three-state’:



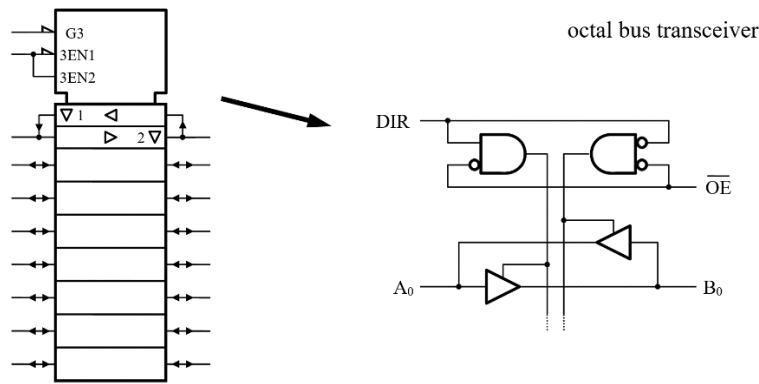
Poorten met een tristate uitgang zijn zeer interessant om een digitaal signaal uit een aanbod van meerdere bronnen te selecteren. Deze methode is veel eenvoudiger qua aantal componenten en complexiteit van bedrading (en dus zoveel goedkoper) dan de alternatieve oplossing die gebruik zou maken van een multiplexer systeem met actieve uitgangen. De onderstaande schema's tonen twee manieren waarop een byte uit twee 8-bit databussen kan gekozen worden. Met klassieke poorten (links) is de realisatie op een gedrukte schakeling zeer ingewikkeld; met tristate poorten (rechts) volstaat het om de uitgangen met elkaar te verbinden.



Hieronder volgen nog enkele voorbeelden van typische three-state IC's.



Een andere interessante IC is de ‘bidirectionele tristate buffer’ of ‘bus transceiver’ (74HCT245). Deze heeft acht dubbele threestate poorten die de data (8-bit) zowel van links naar rechts als omgekeerd kunnen doorgeven; de richting wordt gekozen met de enable stuuringangen.

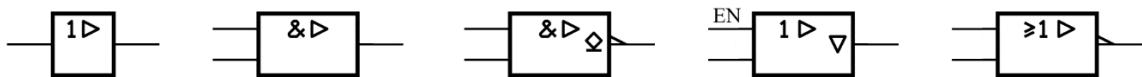


3.9.4 Bufferuitgangen

Sommige poorten worden door de fabrikant bestempeld als ‘buffer’ (ook soms line driver). Een buffer is op te vatten als een doorgeefluik voor digitale signalen, maar beschikt wel over een speciale versterkte uitgang zodat hij grotere stromen kan leveren (source of sink) aan de belasting die er op aangesloten is. Buffers worden vaak gebruikt om lange lijnen aan te sturen. De buffer is in principe niet-inverterend, hoewel er inmiddels ook inverterende buffers bestaan.

De uitgang van een buffer kan zowel ‘actief’ als ‘passief’ of ‘tristate’ uitgevoerd zijn.

In schema’s zijn bufferpoorten te herkennen aan een kleine horizontale driehoek rechts van het functiesymbool, waarvan een hoekpunt naar rechts (soms links) wijst om de zin van het signaal aan te duiden (uitgangzijde). Enkele voorbeelden:



4. Analogische schakelaars

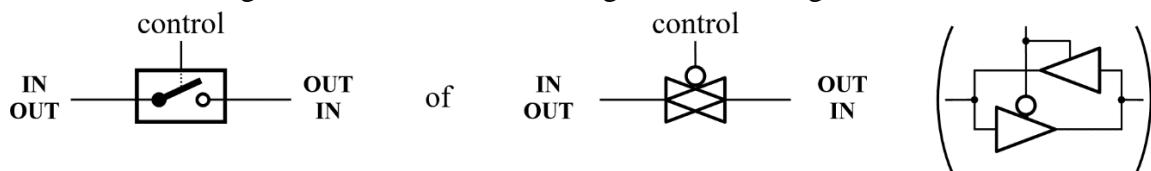
Een belangrijke component in de marge van de digitale techniek is de ‘analog switch’. Hoewel deze op de eerste plaats bedoeld is om analoge spanningen door te schakelen, is hij even goed geschikt voor digitale signalen. De enige voorwaarde die moet vervuld zijn om naar behoren te kunnen werken is dat het geschakelde signaal niet buiten de grenzen van de voeding moet treden.

4.1 De bilateral switch

De bilateral switch bestaat principieel uit twee parallel geschakelde symmetrische enhancement-type mosfets (de ene N- en de andere P-kanaal), waarvan de gates door tegengestelde logische niveaus worden aangestuurd zodat ze allebei gelijktijdig geleiden (ON) of sperren (OFF):



Zo ’n cel wordt ook wel een “transmission gate” genoemd (TG). Het geheel kan opgevat worden als een analoge schakelaar die met een digitaal controlesignaal bediend wordt.



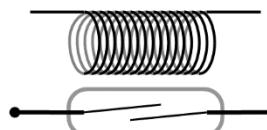
$C = 1 \rightarrow$ schakelaar gesloten = kanaal geleidend $R_{ON} \approx 100 \Omega$
 $C = 0 \rightarrow$ schakelaar open = kanaal gesperrd $R_{OFF} = \infty$

Merk op dat de schakeling volkomen bidirectioneel werkt: de ingang en de uitgang zijn perfect verwisselbaar (!), en de stroom kan er zowel in de ene als in de andere zin door vloeien, zonder enige verliezen; de ‘analog switch’ kan dus evengoed een (kleine) wisselstroom doorlaten.

Deze eigenschap biedt zeer interessante toepassingsmogelijkheden in de moderne elektronica om analoge signalen (bijvoorbeeld audio) te schakelen met behulp van digitale logica.

Als de schakelaar gesloten is zijn de ingang- en de uitgangsspanning uiteraard gelijk⁶, op de kleine spanningval na die over R_{ON} ontstaat wanneer er stroom loopt naar de belasting.

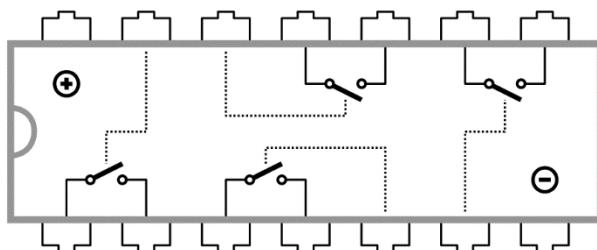
De werking van de bilateral switch is ook wel te vergelijken die van een ‘reed-relay’ (rietrelais).



Een spoel is over het glazen omhulsel geschoven waarin twee ijzeren rietjes ingesmolten zijn; als de spoel bekrachtigd wordt trekken de veerkrachtige strookjes elkaar aan, en sluit het elektrisch contact.

⁶ Dit betekent helemaal niet dat we hier met een ‘buffer’ te maken zouden hebben; een buffertrap is een actieve schakeling (bijvoorbeeld een opamp) die wel de ingangsspanning naar de uitgang kopieert, maar die een hoogohmige ingang (stroomloos) heeft en een laagohmige uitgang (ideale bron).

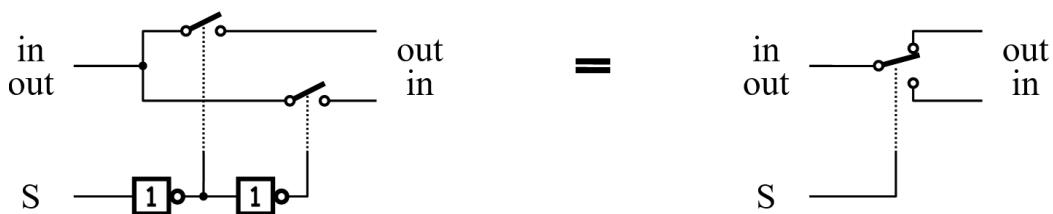
De ‘bilateral switch’ is verkrijgbaar in IC vorm, met vier exemplaren in één behuizing (16-pin). Oorspronkelijk stammen zij uit de CMOS familie, met typenummers zoals CD4016 of CD4066 die werkten in een voedingbereik van 3 à 15 V. In een modernere uitvoering bestaan ze als de 74HC4016 of 74HC4066 (2 V à 10 V!) - of in de overeenkomstige HCT-versie (5 V ± 10%). Wanneer een analog switch specifiek dienst doet om een wisselspanning (vb. audio) te schakelen, dan moet een symmetrische voedingsspanning gebruikt worden, bijvoorbeeld +5 V en -5 V.



IC's zoals de CD4016 of de CD4066 hebben een viertal ‘bilateral switches’ aan boord (zie datasheet)

Sommige fabrikanten maken speciale analoge schakelaars die heel laagohmig zijn (vb. 0,5 Ω) en relatief grote stromen kunnen schakelen (vb. 200 mA).

Een analoge wisselschakelaar kan gemaakt worden door twee samengenomen bilateral switches tegengesteld aan te sturen met de selectielijn S:



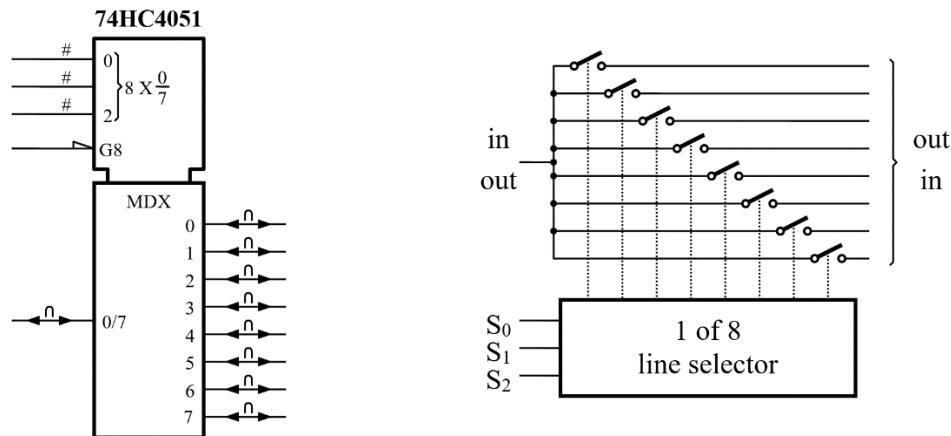
4.2 Analog multiplexers

Het principe van de bilateral switch als enkele schakelaar kan uitgebreid worden tot uitvoeringen die een meerstandenschakelaar implementeren; doordat de ingang en de uitgang altijd van rol verwisselbaar zijn noemt men zo ’n constructie dan een ‘analog multiplexer/demultiplexer’.

Bekende IC's van deze soort zijn ondermeer de 4051 (1×8), 4052 (2×4) en 4067 (1·16).

De 4053 is eigenlijk een drievoudige wisselschakelaar.

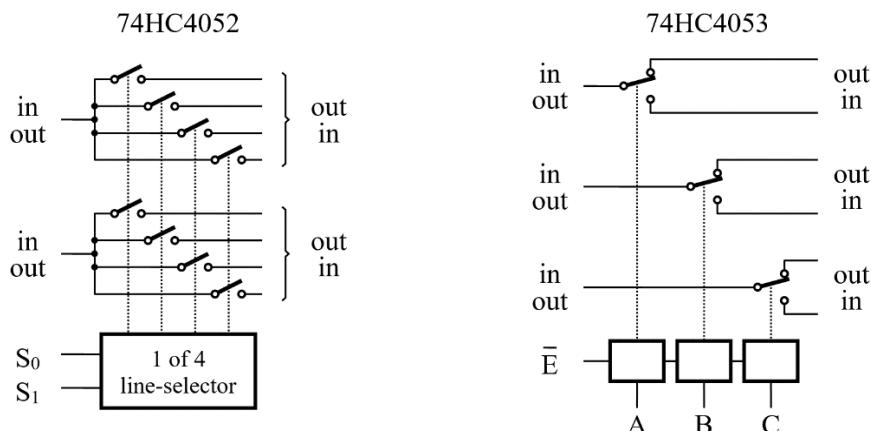
In het IEC-symbool wordt de benaming “multiplexer/demultiplexer” afgekort tot MUX/DMUX of simpelweg ook MDX. Het onderstaande voorbeeld toont het officiële IEC-symbool van de 74HC4051, met daarnaast zijn vereenvoudigd functioneel schema.



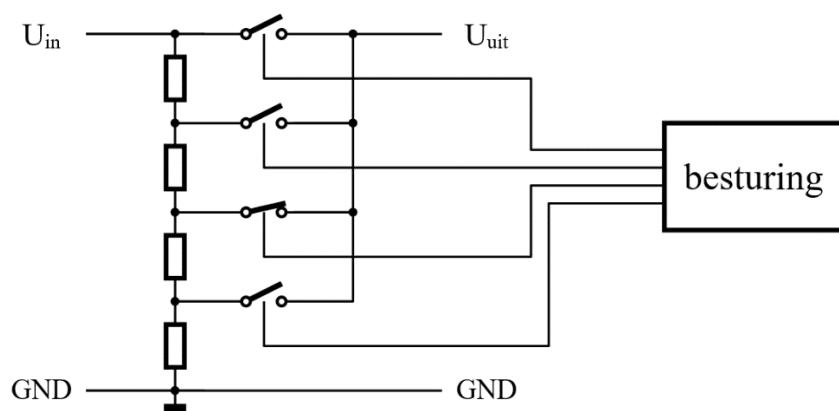
Met het passende aantal (n) digitale selectielijnen S kan één uit de 2^n kanalen gekozen worden; als de enable ingang E (hier G8) hoog is staan alle schakelaars open.

Voor het spanningsbereik gelden een aantal bijzondere voorschriften naargelang het gaat om een HC- dan wel een HCT-uitvoering. Omdat het analoge gedeelte soms in een ander spanningbereik kan werken dan de digitale besturing (met een aparte voeding) zijn er in dat geval inwendig een aantal level shifters aangebracht. Raadpleeg hiervoor de datasheet van de fabrikant.

Tot slot volgen nog de functionele schema's van enkele andere analoge multiplexers:



Een bekende toepassing van de analog switch is de digitale potentiometer (deze bestaat ook in IC-vorm). Het onderstaande voorbeeld toont het principe daarvan:



5. Vertragingtijden

In de fysische werkelijkheid is er altijd een tijdverschil tussen oorzaak en gevolg. Ook bij de werking van logische schakelingen volgt de respons van een uitgang een (heel) korte tijd later dan de niveauverandering op de ingang die haar veroorzaakte: men noemt dit tijdverschil de ‘vertragingtijd’ van de poort; de vakterm is de ‘propagation delay time’ t_{pd} - kortweg ‘delay’.

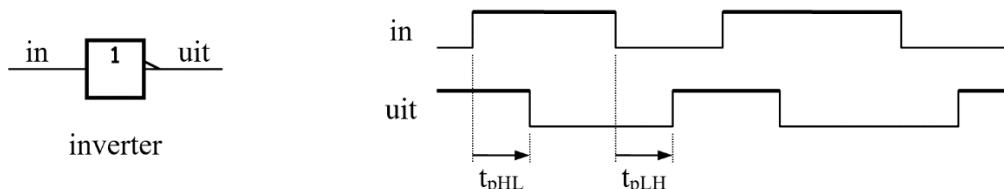
Vertragingtijden zijn een normaal fenomeen. In de praktijk zijn deze delays zo kort (ns) dat zij voor de meeste toepassingen verwaarloosd kunnen worden. Alleen als men een schakeling echt op topsnelheid wil laten werken moet er uiteraard rekening mee gehouden worden. Een andere omstandigheid waarin men geconfronteerd wordt met de realiteit van vertragingtijden is in zeer uitgebreide schakelingen, waar de kleine delays van tientallen opeenvolgende poorten kunnen accumuleren tot een aanzienlijk uitstel van het uitgangssignaal.

Maar hoe onbeduidend deze delay-tijden van logische poorten op zich ook lijken, toch kunnen ze door onderlinge interactie vaak onverwachte en zeer hinderlijke bijwerkingen hebben in digitale schakelingen waarbij poorten kortstondig een verkeerd niveau afgeven. De vakterm voor zulke verschijnselen is “glitch”; het risico op een glitch heet een “hazard”. Alleen in enkele speciale toepassingen worden glitches moedwillig nagestreefd (zie verder).

5.1 Definities van poorttijden

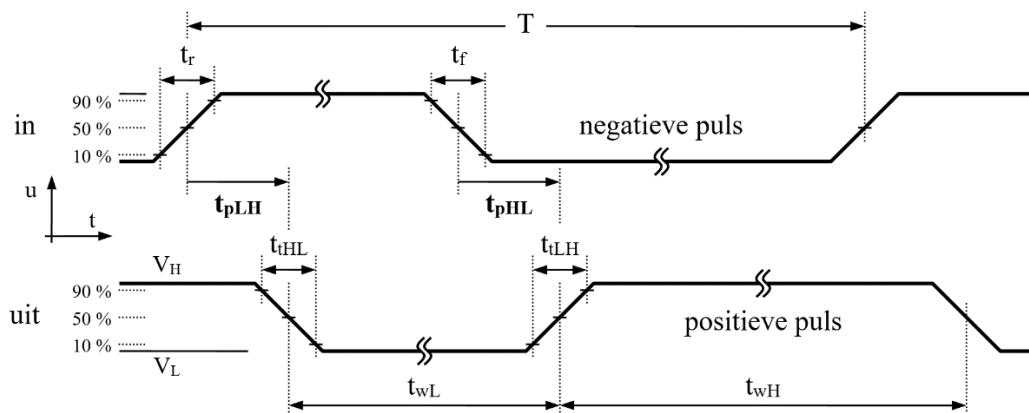
Reële digitale poorten reageren niet ogenblikkelijk, maar geven hun uitgangssignaal af met een eigen kleine tijdvertraging t_p ten opzichte van het signaalaanbod op hun ingang.

In het geval van een inverter komt een positieve puls op de ingang een korte tijd later als een negatieve puls op de uitgang te voorschijn - en omgekeerd.



De bovenstaande grafiek toont de vertragingtijden (propagation time t_p) van een inverterpoort: in werkelijkheid hebben deze (in hedendaagse IC's) een grootteorde van circa 10 ns. Op een gewone tijdschaal (μ s of meer) is dit onmerkbaar kort, maar helemaal onbestaand zijn ze niet. Hoewel deze delays in de praktijk dikwijls verwaarloosd kunnen worden moet er wel degelijk rekening mee gehouden worden als er uiterste prestaties van een ontwerp verlangd worden.

Meer in detail bekijken kunnen de poortsignalen er ongeveer als volgt uitzien:



In de datasheets treft men soms alternatieve benamingen aan:

- | | | |
|--------------------------|------------------------------|---------------------------------------|
| - propagation time t_p | delay time t_d of t_{pd} | voortplantingstijd of vertragingstijd |
| - transition time t_t | rise /fall time t_r / t_f | stijgtijd en daaltijd |

De stijgende en dalende flank van een puls noemt men ook de *leading edge* en de *trailing edge*.

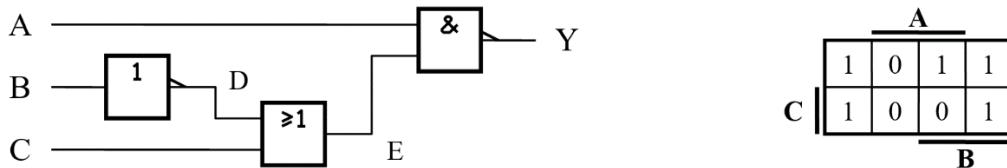
De propagation delay is niet perfect constant, maar is enigszins afhankelijk van de temperatuur, de voedingsspanning en de (capacitieve) belasting van de poort.

Merk nog op dat de tijden t_p en t_t niet noodzakelijk even lang hoeven te zijn bij een positieve als bij een negatieve puls. Met de notatie t_w wordt de pulsbreedte (pulse width) aangeduid.

5.2 Invloed van delays

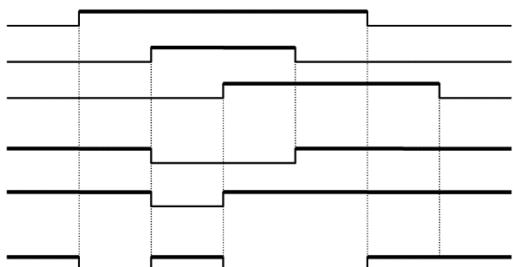
Het effect van vertragingstijden in echte schakelingen kan soms zeer verrassend en verwarringend zijn. Zelfs in een tamelijk simpele schakeling zoals hieronder afgebeeld kan het werkelijke uitgangssignaal opmerkelijk afwijken van het geïdealiseerde verloop waarbij de delays worden verwaarloosd. We onderzoeken het gedrag van de schakeling in de veronderstelling dat elke poort een zelfde delay vertoont (zie de grijze stroken), zowel voor de stijgende als de dalende flank van het voortgebrachte signaal ($\Delta t = 3 \text{ mm}$ op de tijdschaal).

Overeenkomstig de logische vergelijking $Y = \overline{A} \cdot (\overline{B} + C)$ vullen we de karnaugh-kaart in.

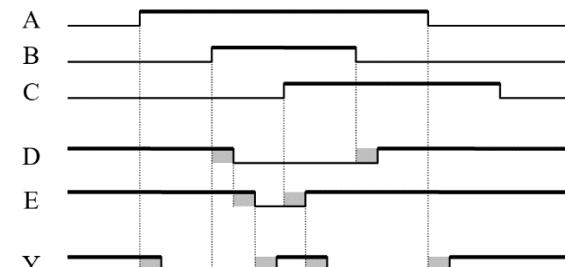


Uit de gegeven ingangssignalen A-B-C leiden we stap voor stap het pulspatroon af voor de variabelen D-E en de uitgang Y, eerst zonder en dan met de vertragingstijden (ga na):

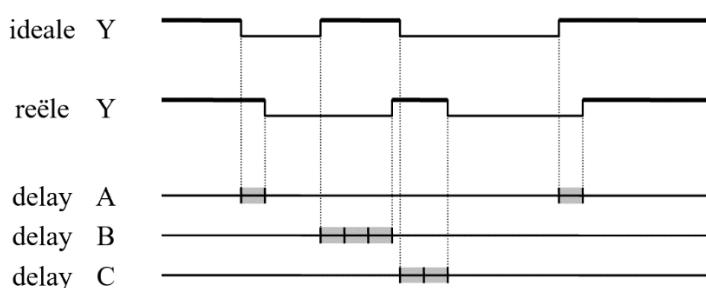
zonder vertragingstijden



met vertragingstijden



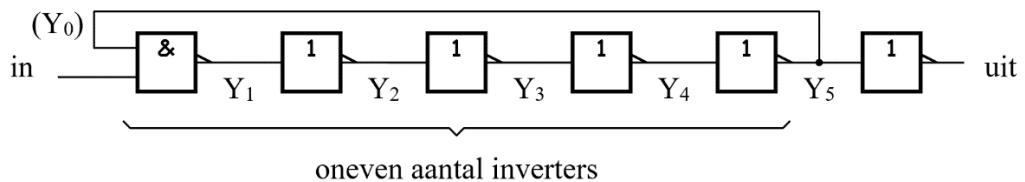
Vergelijken we de uitgangssignalen Y in de twee gevallen met elkaar, dan stellen we vast dat er zich grillige schommelingen voordoen in de verschillende flankverschuivingen, te weten nu eens $1 \times \Delta t$, dan weer $2 \times \Delta t$, en soms ook $3 \times \Delta t$!



De verklaring hiervoor is dat het A-singaal slechts één poort passeert, terwijl het B-singaal langs drie poorten komt en het C-singaal door twee poorten gaat (verifieer). De totale vertragingstijd van een schakeling wordt uiteraard bepaald door de tak met de langste delay. Het is belangrijk om de invloed van vertragingstijden in een logische schakeling te kunnen voorspellen, ook in het geval dat de poorten ongelijke delays hebben, of als de voorflank van een uitgangssingaal een andere vertraging heeft dan de achterflank $t_{pHL} \neq t_{pLH}$.

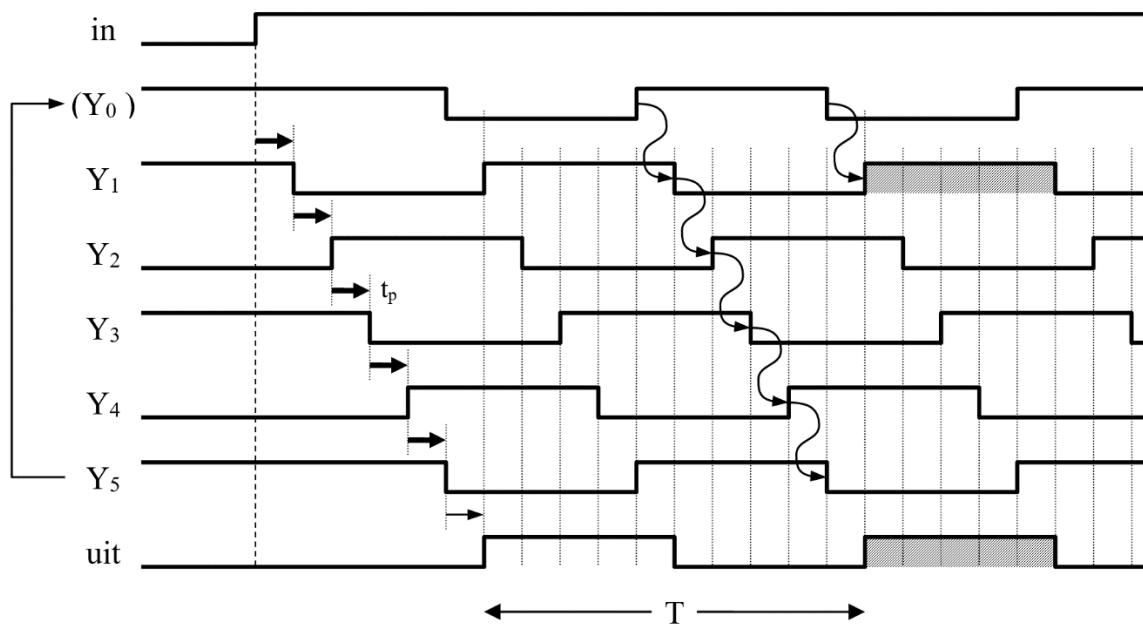
5.3 De ringoscillator

Een merkwaardige toepassing van de delay-tijd van poorten vindt men in de ringoscillator. Deze is samengesteld uit een oneven (!) aantal⁷ inverters, waarbij de uitgang van de laatste teruggekoppeld wordt naar de ingang van de eerste, zodat een gesloten lus gevormd wordt.



In de hierboven afgebeelde opstelling is de eerste inverter uitgevoerd als een NAND, zodat de vrije ingang kan dienen als een controlelijn om de werking aan en uit te schakelen. De rechtse inverter (uit) dient als doorgaaffluik naar de buitenwereld, zodat de oscillator steeds onbelast kan functioneren. Het aantal effectieve inverters benoemen we als 'n' (hier is $n = 5$).

De werking van de ringoscillator is enigszins te vergelijken met het domino-effect. Zolang $in = 0$ worden de opeenvolgende poorten vast gehouden op afwisselende niveaus. Zodra $in = 1$ ontstaat er een kettingreactie die telkens met een korte delay van poort tot poort wordt doorgegeven als een lopende golf. Doordat in rust $Y_5 = 1$ was (ga na) wordt nu $Y_1 = 0$ (uitgang van de NAND-poort), daarna wordt $Y_2 = 1$, vervolgens wordt $Y_3 = 0$, enzovoort.



⁷ Met een even aantal inverters zou een bistabiele schakeling gevormd worden (zie 'latches en flipflops'). Het aantal inverters moet minstens drie zijn. Met één inverter oscilleert de opstelling niet omdat de totale delay te kort is; de schakeling stelt zich dan in op de halve voedingsspanning (met groot stroomverbruik).

Het resultaat is dat er op de uitgang een symmetrische blokgolf verschijnt met een periodeduur T die gelijk is aan het dubbele van de totale vertragingstijd van de ketting van n inverters:

$$T = 2 \cdot n \cdot t_{pd}$$

Met een delay $\Delta t = 8$ ns (t_{pd}) zou dus $T = 80$ ns bedragen, zodat $f = 12,5$ MHz (reken na).

Het uitgangsignaal dat aldus bekomen wordt is doorgaans geen mooie blokgolf doordat de hele opstelling per definitie op topsnelheid rondraast. De spanningen hebben een afgerond verloop, zijn aangetast door allerlei uitslingeringen en verstoord door de schakelpulsen van de naburige poorten. Door de hoge frequentie is de dissipatie (warmteontwikkeling) in de poorten niet te verwaarlozen (cmos) en loopt de temperatuur op. De ringoscillator kan ingezet worden als er geen hoge eisen gesteld worden aan de stabiliteit.

In het labo wordt deze opstelling gebruikt als hulpmiddel om de delay-tijd indirect te meten

...

5.4 Glitches en hazards

In digitale poorten (zowel in combinatorische als sequentiële toepassingen) doen zich altijd kleine tijdvertragingen voor tussen ingang (oorzaak) en uitgang (gevolg). Deze ‘delay’ heeft typisch een grootteorde van 10 ns of minder (zie datasheet). Hoe kort die vertraging ook is, toch kan zij onverwachte effecten teweeg brengen die de goede werking van het geheel kan doorkruisen - tenzij er gepaste maatregelen getroffen worden.

Men zegt dat een schakeling een ‘hazard’ heeft als het risico bestaat dat zij glitches voortbrengt. Een glitch is een kortstondige (naald-) puls op de uitgang van een schakeling (of onderdeel er van) die zich voordoet tijdens de overgangfase na een niveauverandering op de ingang (stap).

Een glitch is dus een tijdelijk verkeerd niveau op de uitgang van een digitale schakeling. Glitches zijn te wijten aan een samenspel van ongelijke vertragingstijden in de verwerking van een digitaal signaal. Meestal zijn glitches ongewenst maar soms wordt er moedwillig gebruik gemaakt van dit fenomeen. Er bestaan statische hazards en dynamische hazards.

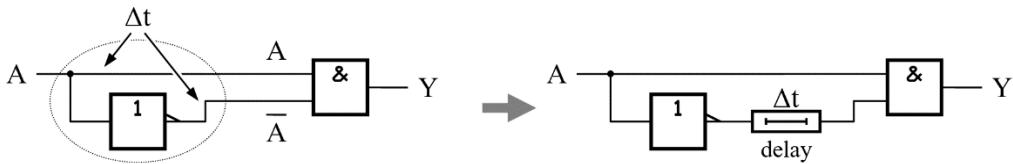
Een ‘static hazard’ betekent dat de schakeling bij een niveauverandering op de ingang een glitch produceert op zijn uitgang terwijl zijn logisch niveau constant zou moeten blijven. Men onderscheidt twee soorten static hazards: de ‘static 0-hazards’ en de ‘static 1-hazards’. Bij een static 0-hazard zou het signaal 0 moeten blijven, maar vertoont het een uitschieter naar 1.

Bij een static 1-hazard zou het signaal 1 moeten blijven, maar vertoont het een uitschieter naar 0.

Een ‘dynamic hazard’ betekent dat de schakeling tijdens de overgangfase het ene logisch niveau naar het andere nog een bijkomende wisseling (heen en weer) vertoont.

5.4.1 Statische hazards

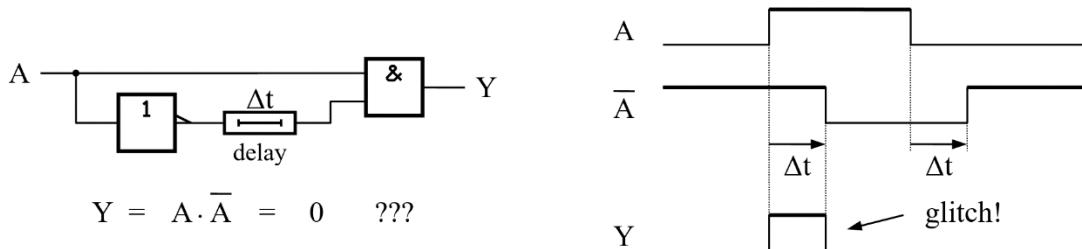
We verduidelijken de essentie van het probleem aan de hand van een eenvoudig voorbeeld. De oorzaak van een (mogelijke) glitch is dat complementaire signalen (van eenzelfde origine) op verschillende tijdstippen aankomen bij de ingangen van een poort als gevolg van ongelijke tijdvertragingen.



Een glitch kan ontstaan als er tussen twee logisch tegengestelde ingangsignalen een tijdverschil bestaat.

Om de studie een beetje overzichtelijk te houden beschouwen we alle poorten als ideaal (dit is zonder tijdvertraging), maar zetten we het tijdverschil van de tegengestelde ingangsignalen op rekening van één afzonderlijke delay-lijn⁸ Δt .

Zolang de tijdvertraging buiten beschouwing gelaten wordt zou de uitgang steeds laag moeten blijven want als $Y = A \cdot A$ dan geldt volgens de booleaanse wetten dat $Y = 0$. Als tussen die twee complementaire ingangignalen A en \bar{A} echter een tijdverschil optreedt, dan zullen deze signalen tijdelijk eenzelfde niveau kunnen aannemen. Wanneer zij beiden tegelijk hoog zijn zal ook de uitgang Y van de AND-poort kortstondig hoog worden:



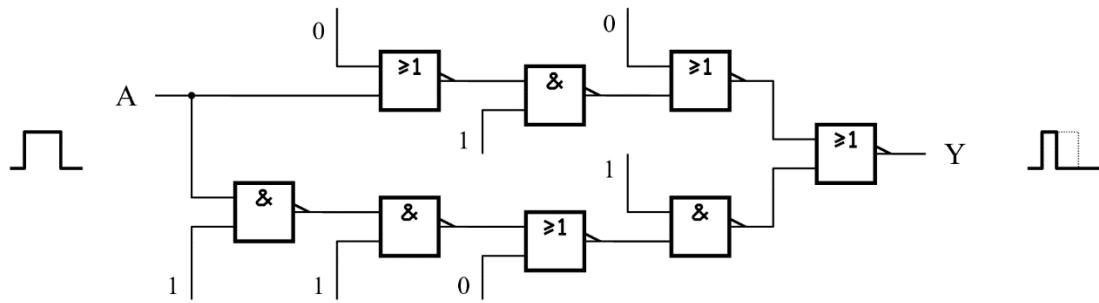
De korte naaldpuls die na elke stijgende flank van het ingangsignaal op de uitgang verschijnt wordt een ‘glitch’ genoemd. Het woord glitch betekent zoveel als een “uitglijder”.

Kenmerkend voor het ontstaan van een glitch is dus dat een signaal A met zijn eigen invers \bar{A} gecombineerd wordt.

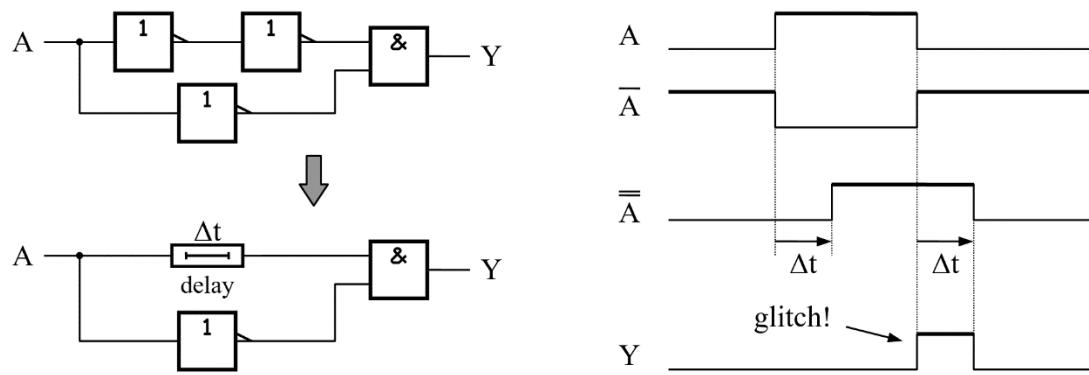
Wanneer het louter de bedoeling is om een elektrische motor of een lampje te bedienen is een glitch onbelangrijk, maar in snelle informatieverwerkende schakelingen zijn glitches nefast. Eens dat een glitch de kop opgestoken heeft plant hij zich verder voort in de schakeling, en kan hij op zijn beurt zelfs nieuwe glitches teweeg brengen.

Merk op dat in meer complexe schakelingen de ‘bron’ van een glitch soms ver verwijderd kan liggen van de plaats waar zij de kop opsteekt. Zo is bijvoorbeeld de onderstaande schakeling te herleiden tot de zelfde principeopstelling als hierboven wanneer op de ingangen van de NOR- en NAND-poorten de getoonde logische niveaus aangelegd zijn, in de veronderstelling dat alle poorten eenzelfde vertraging vertonen (ga na).

⁸ Een vertraginglijn bestaat ook als een aparte (passieve) elektronische component die in principe opgebouwd is uit een lange opgerolde geleider of samengesteld is uit vele kleine spoeltjes en condensatortjes. Op de uitgang (ten opzichte van massa) verschijnt nagenoeg onverzakt hetzelfde signaal als op de ingang, maar wel pas na een korte wachttijd. De Nederlandstalige term ‘vertraging’ kan misleidend zijn: het signaal wordt niet “trager” (dus geen frequentieverlaging) maar “later” - het krijgt enkel een uitstel in de tijd (faseverschuiving).



Aandacht! De langste delay hoeft ook niet per se aan de inverterende zijde te liggen, maar zou zich even goed aan de niet-geinverteerde ingang kunnen voordoen. De onderstaande opstelling vertoont een glitch op de achterstoep van de ingangspuls:

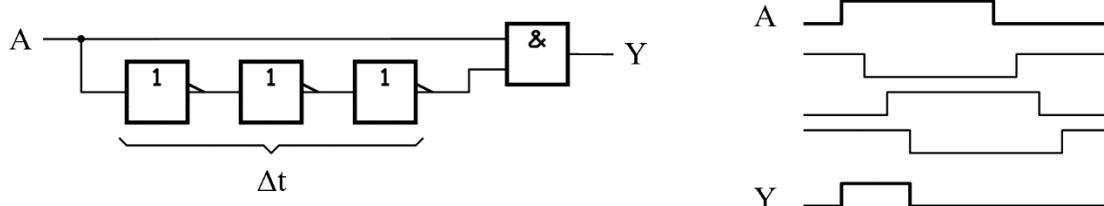


5.4.2 Glitches benutten

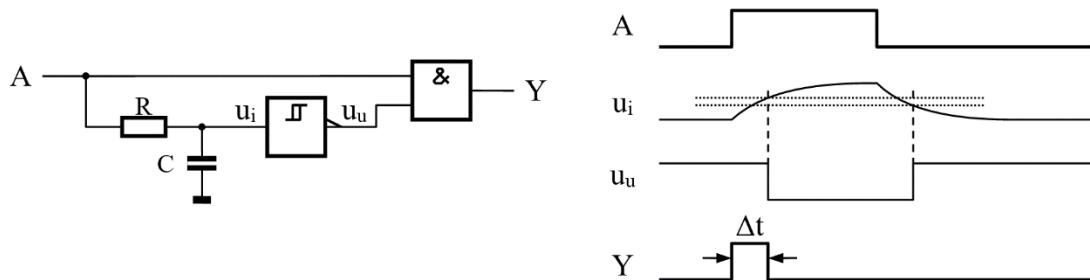
Voor sommige doeleinden wordt dankbaar gebruik gemaakt van het glitch-verschijnsel om flanken van pulsen te detecteren, of om pulsen te verlengen, te verkorten of te verschuiven. Omdat de delay-tijden van poorten liefst zo kort mogelijk zijn duren ook de daaruit ontstane glitch-effecten extreem kort, waardoor de beoogde uitwerking soms ontoereikend is. Hieraan kan verholpen worden door de glitch-tijd moedwillig te vergroten.

5.5 Langere delays

Voor kleine tijdsverlengingen volstaan enkele bijkomende poorten in de vertragingslijn (een even aantal); in het onderstaande voorbeeld wordt met twee extra inverters een drievoudige delay-tijd bekomen (ga na):



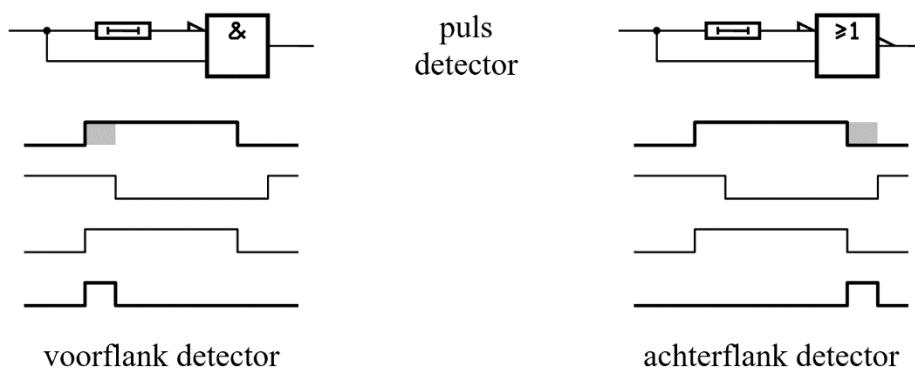
Om langere tijdvertragingen te bekomen kan men gebruik maken van een integrator (RC) en een trigger-poort:



De werking van deze schakeling en de formule voor het berekenen van de delay-tijd Δt worden uitgebreid besproken in het hoofdstuk over timers en oscillatoren (klokschakelingen).

5.6 Flankdetector

Wanneer niet zozeer het niveau van een digitaal signaal van belang is maar eerder het moment zelf waarop het signaal hoog of laag wordt, dan kan het glitch-effect aangewend worden om een korte puls te geven bij de stijgende of de dalende flank van het ingangssignaal. De zogenaamde flankdetector wordt ondermeer toegepast in sommige uitvoeringen van edge-triggered flipflops.



5.7 Asynchrone logica

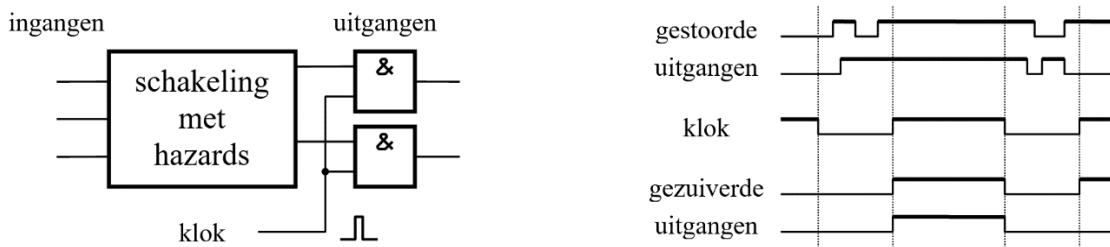
Uit de voorgaande studie blijkt duidelijk hoe verraderlijk het glitch verschijnsel is.

Het bestaan van hazards is om dan ook één van de sterkste argumenten tegen het gebruik van zogenaamde *asynchrone logica*, waarin de digitale signalen onverwijd de hele schakeling mogen doorlopen, van ingang tot uitgang.

De gulden regel voor het grootschalig ontwerp van moderne digitale schakelingen is daarom: pas altijd *synchrone logica* toe!

Het principe van een gesynchroniseerde schakeling is dat er na elke logische bewerking of verandering van de ingangssignalen een (zo kort mogelijke maar toch) voldoende lange tijd gewacht wordt tot alle eventuele overgangsverschijnselen (= glitches) uitgestorven zijn zodat het signaalniveau zeker stabiel geworden is.

Daartoe maakt men gebruik van een soort ‘sluizen’-systeem op basis van een kloksignaal dat de cadans aangeeft waarop de nieuwe toestanden mogen vrijgegeven worden - vaak in combinatie met een geheugenschakeling (latch of flipflop). De extra wachttijden die zo ontstaan vertragen wel de werking (respons) van het geheel maar garanderen de bedrijfszekerheid. Deze synchrone oplossing wordt daarom systematisch toegepast in de informatica.



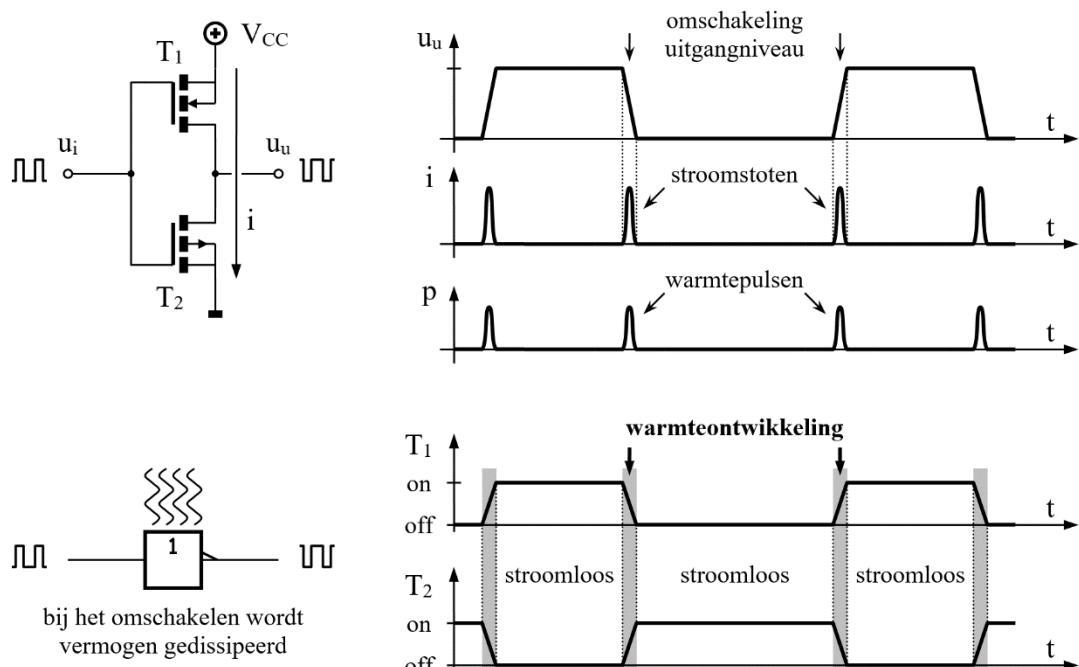
Soms kunnen deze tijdvertragingen doelbewust benut worden om dergelijke glitch-effecten te bekomen, maar vaak doen ze zich voor als gevolg van een niet voldoende doordacht ontwerp, en dan kunnen glitches de beoogde werking van een schakeling lelijk verstören. Een bijkomende moeilijkheid hierbij is dat ze dikwijls moeilijk op te sporen zijn omdat ze zo kort duren.

5.7.1 Schakelverliezen

Zolang de uitgang constant hoog of laag is loopt er geen stroom door de in serie staande mosfets omdat ofwel de ene ofwel de andere volledig spert: omdat de poort stroomloos is vindt er dan geen vermogendissipatie plaats - op voorwaarde natuurlijk dat de uitgang zelf onbelast (!) is. Bij het omschakelen van het uitgangsniveau (gestuurd door de ingang) wisselen de twee mosfets gelijktijdig van geleidingstoestand, maar deze omwisseling gebeurt niet ogenblikkelijk wegens de onvermijdelijke transitietijd t_t . Terwijl de ene fet uit geleiding gaat en de andere in geleiding komt is er een heel korte tijdsSpanne waarin beide fets enigszins geleiden en er dus stroom vloeit door het stel. Deze stroompuls brengt een kleine hoeveelheid warmte voort: $\Delta p =$

De 'kwaliteit' van een familie hangt vooral af van snelheid en verbruik.

Formule het tijd/vermogensproduct moet dus zo klein mogelijk zijn $t_p \times P$



Bij iedere omslag van het uitgangsniveau wordt een minuscule dosis energie omgezet in warmte. Op zich is zo 'n pakketje warmte heel klein (nW), maar wanneer er miljoenen keren per seconde geschakeld wordt dan accumuleert deze vloed van warmtepakketten tot een relatief groot gemiddeld vermogen, waardoor de temperatuur van die chip behoorlijk hoog kan oplopen. De totale vermogendissipatie is dus evenredig met de frequentie van het gevormde signaal, en met het aantal van de schakelende poorten - anders gezegd: met de complexiteit van de chip. De enorme hitte-ontwikkeling in de microprocessor van een computer is zo te verklaren; om de temperatuur onder de schadegrens te houden is dan ook een degelijke koeling vereist (ventilator).

Om de warmte-ontwikkeling van hun IC's verder te verminderen spitsen de fabrikanten zich toe op het ontwerp van chips die op een lagere voedingsspanning kunnen werken; zo is men in het voorbije decennium afgedaald van 5 V naar 3,3 V - 2,5 V - 1,8 V, en zelfs nog minder.