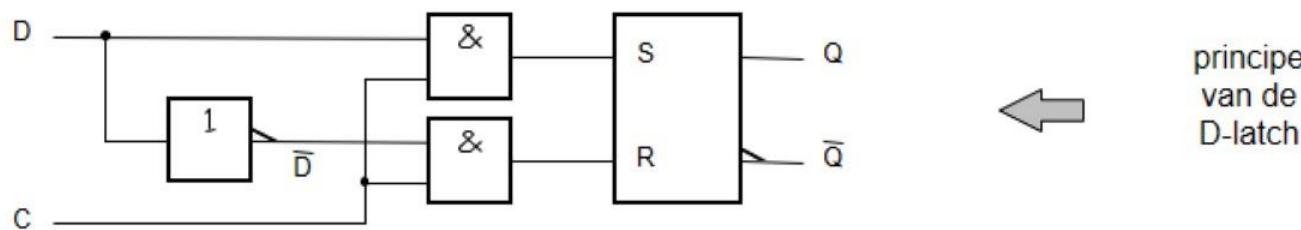


Les 8 Digitale technieken Sequentiële logica

- D-Latch
- Flipflops
- Synchrone tellers (deel 1)

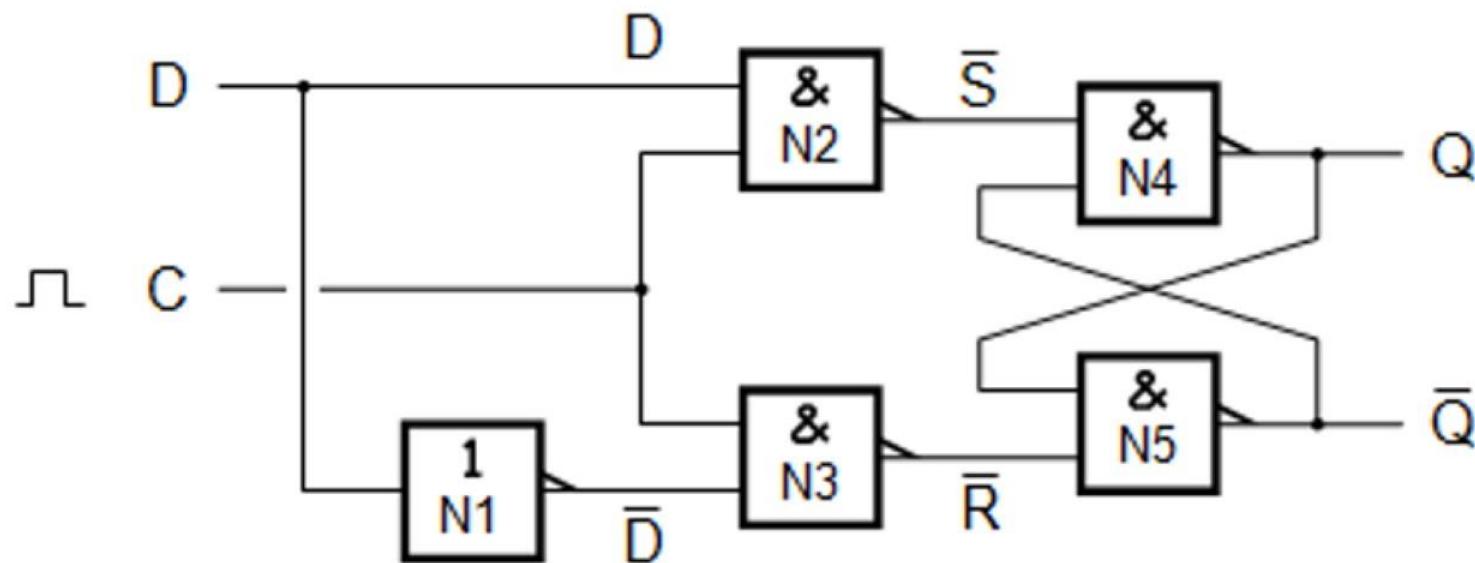
De gated D-latch

- gated D-latch = data-latch = D-latch = transparante latch
- één-bit geheugen, basis van RAM geheugen
- 4 aansluitingen: een ingang D, een controlelijn C en een paar uitgangen Q en /Q
- controle-ingang C, ook 'klok', '*latch enable*' (LE)
- niveaugetriggerd
- opvatten als uitbreiding SR-latch:



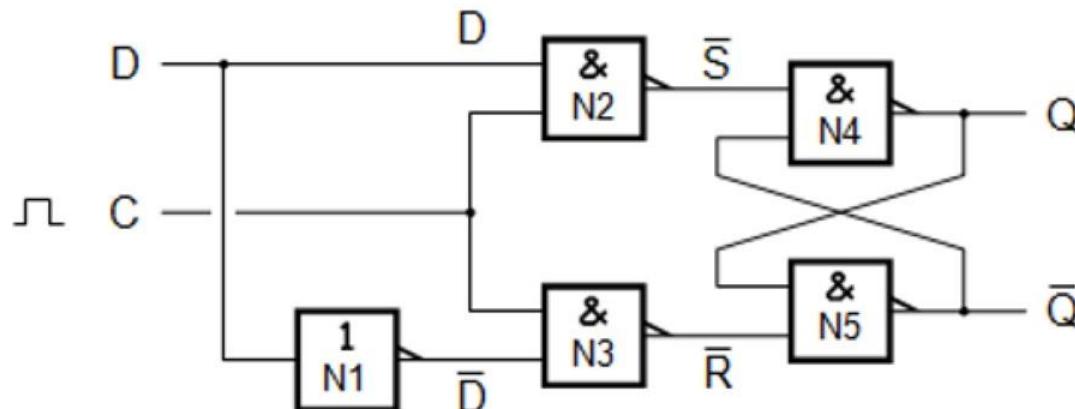
D-latch: werking

- D-latch met NAND SR-latch



- D geïnverteerd, complementaire ingangen dus geen verboden toestand meer

D-latch



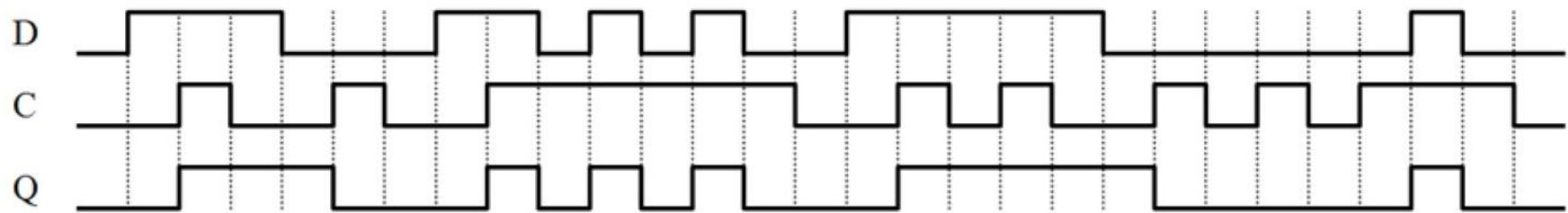
D	C	\bar{S}	\bar{R}	Q^+
X	0	1	1	Q
0	1	1	0	0
1	1	0	1	1

hold
reset
set

- $C = 0$ de latch is een geheugen dat de laatst geldende waarde van de data D onthoudt
- $C = 1$ de latch is transparant, en neemt de nieuwe waarde van de data D over → **transparante latch**
- Meestal C met een relatief korte puls aansturen: '**data-sampling**' (nemen monster) → op de uitgang Q verschijnt een 'foto' van de data D .

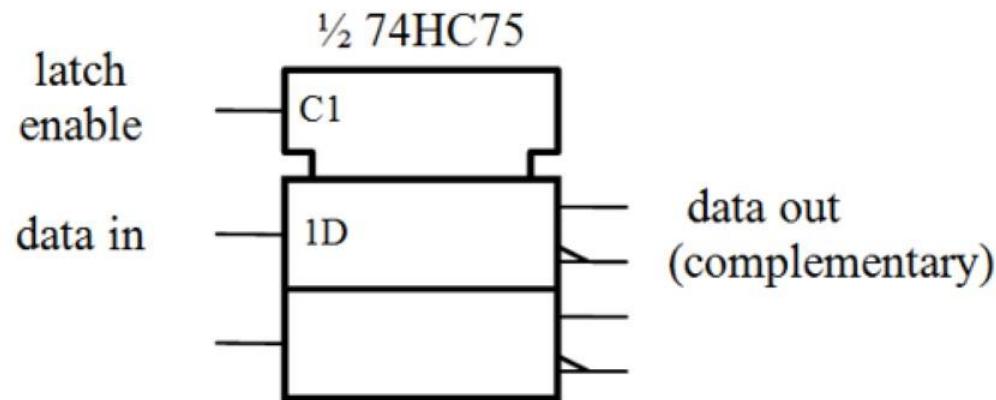
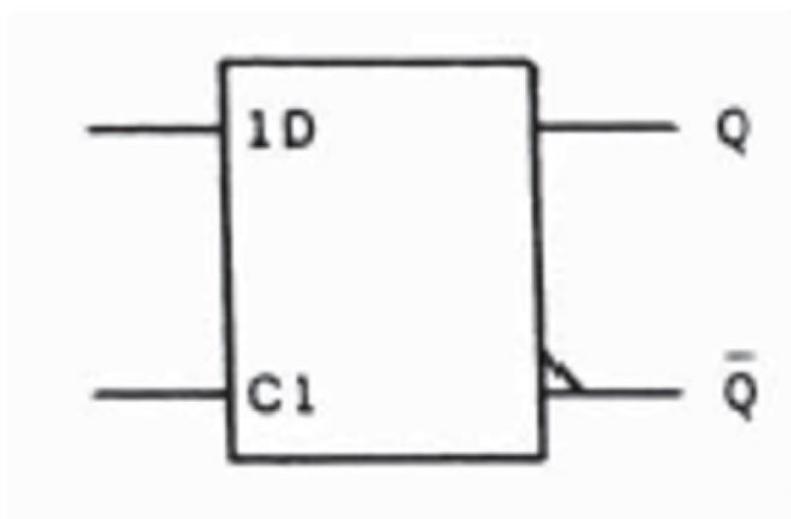
D-latch

- Pulsdiagramm



D-latch

- IEC-symbolen





Flipflop (FF)

- **flipflops = bistabiele schakelingen** die alleen op specifieke tijdstippen -aangegeven door een kloksignaal C- de handeling uitvoeren die aangevraagd is
- via aparte **stuuringangen JK, D of T**; daarbuiten hebben die stuuringangen geen effect
- kloksignaal fungeert als 'start'-sein → 'triggert' FF
- **voordeel kloksignaal:**
 - stoorpulsen of andere tijdelijke afwijkingen van de stuursignalen kunnen geen onbedoelde uitwerking hebben op het gedrag van de schakeling
 - laat toe om de gecoördineerde werking van meerdere flipflops in een groter geheel te synchroniseren vb. teller, schuifregister, ...

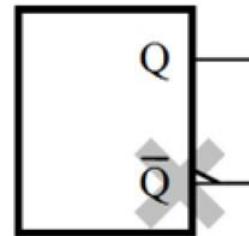
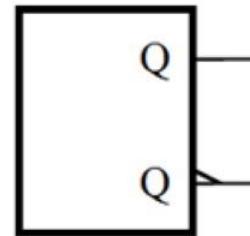
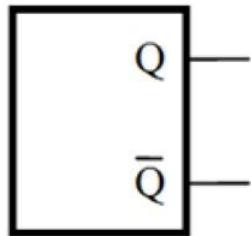
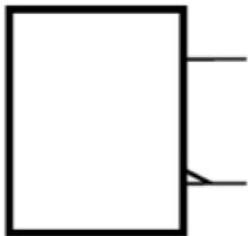
Symboliek van FF's

- Voor de ontwerper is het eerder bijkomstig om de inwendige opbouw van flipflops te kennen - wat hem vooral interesseert is te weten hoe de flipflop zich functioneel gedraagt: welke stuursignalen hij nodig heeft, en hoe die component daarop zal reageren → extra info in het symbool!

symbool	naam	betekenis
Q, \bar{Q}	uitgang	<i>waar</i> reageert de flipflop (welke pinnen kunnen veranderen)
C	klok	<i>wanneer</i> reageert de flipflop (op welk deel van het kloksignaal)
D, JK, T, SR	ingang(en)	<i>hoe</i> reageert de flipflop (welke nieuwe toestand wordt ingenomen)
PRE, CLR	hulpingang	ogenblikkelijke besturing van de flipflop (asynchroon)

FF's: uitgangen

De inverse uitgang wordt **in het symbool** genoteerd met ofwel een polariteitindicator, ofwel een (\bar{Q}) , maar niet beide tegelijk!



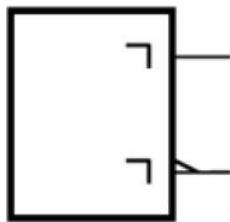
De complementaire uitgang van een flipflop kan op drie geldige manieren voorgesteld worden.

verboden notatie voor de uitgang

FF's: uitgangen

- Sommige flipflops (*master-slave flipflop* en de *data lockout flipflop*) hebben 'uitgestelde' uitgangen [*postponed outputs*]. Op dergelijke uitgangen wordt de nieuwe toestand pas op een later tijdstip vrij gegeven, namelijk in een tweede fase van het kloksignaal.

De uitgangen van dit type FF worden aangeduid met **een haakvormig uitstelteken** ↞

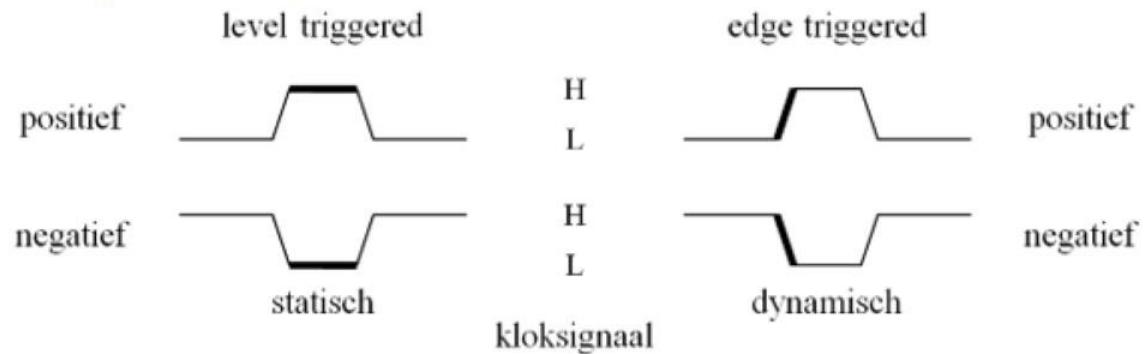


De verwachte niveauverandering op de uitgang wordt pas uitgevoerd wanneer de klok naar zijn rusttoestand terugkeert. In feite stelt dit kapje de achterflank van het kloksignaal voor.

- Bij de **gewone flipflops** (zonder uitgesteld effect) **reageert de uitgang onmiddellijk** op het actieve kloksignaal.

FF's: klokingang

- **klok-signaal of clock op de C-ingang aansluiten**
- **de klok kan actief zijn (dit wil zeggen: effect hebben) bij een niveau (hoog of laag) of bij een flank (stijgend of dalend) van het aangelegde signaal**

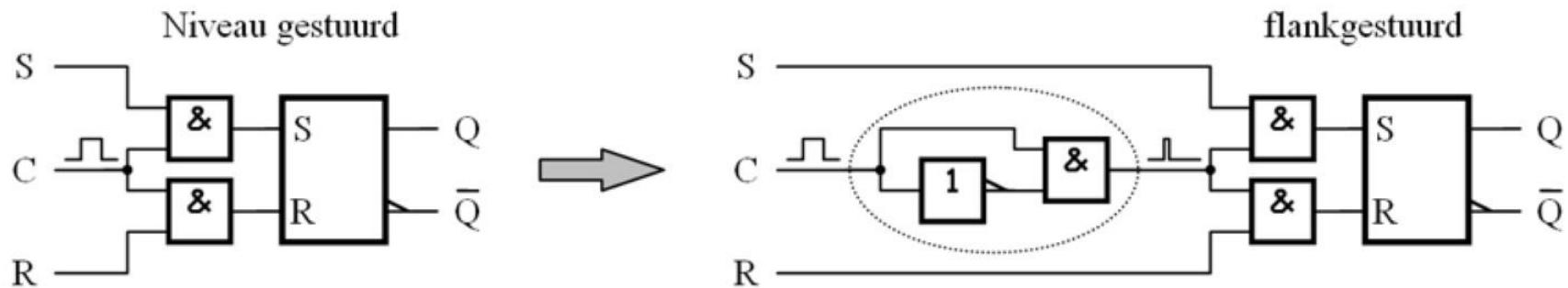


- **4 mogelijkheden**

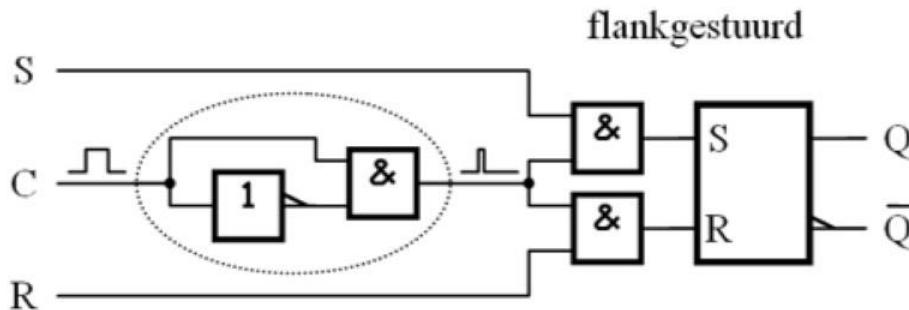


FF's: klokingang

- van niveaugestuurde → flankgestuurde schakeling
- **flankdetector** opnemen in de klokingang: een glitch doet zich voor op het moment van een stijgende flank van het kloksignaal (control), en kan dienen om het S- en R-commando via de AND-poorten door te laten



FF's: klokingang



Tijdsvertraging met inverter en AND-poort geeft een reactie aan de stijgende flank.
Verklaar de werking van de tijdsvertraging met een figuur!

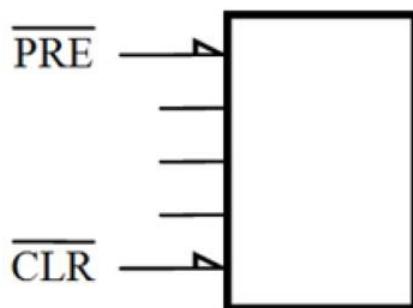
FF's

- **Stuuringangen (zie cursus)**

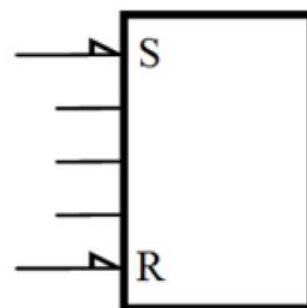
T-ingang en toepassingen: niet kennen

- **Hulpingangen (zie cursus)**

- twee aparte ingangen: dit zijn de **preset-** en de **clear-ingang**, waarmee de uitgang direct hoog of laag gezet kan worden
- zijn onafhankelijk van de klok → '**asynchroon**' (en ze dragen dan ook geen afhankelijkheidsteken van de klok).



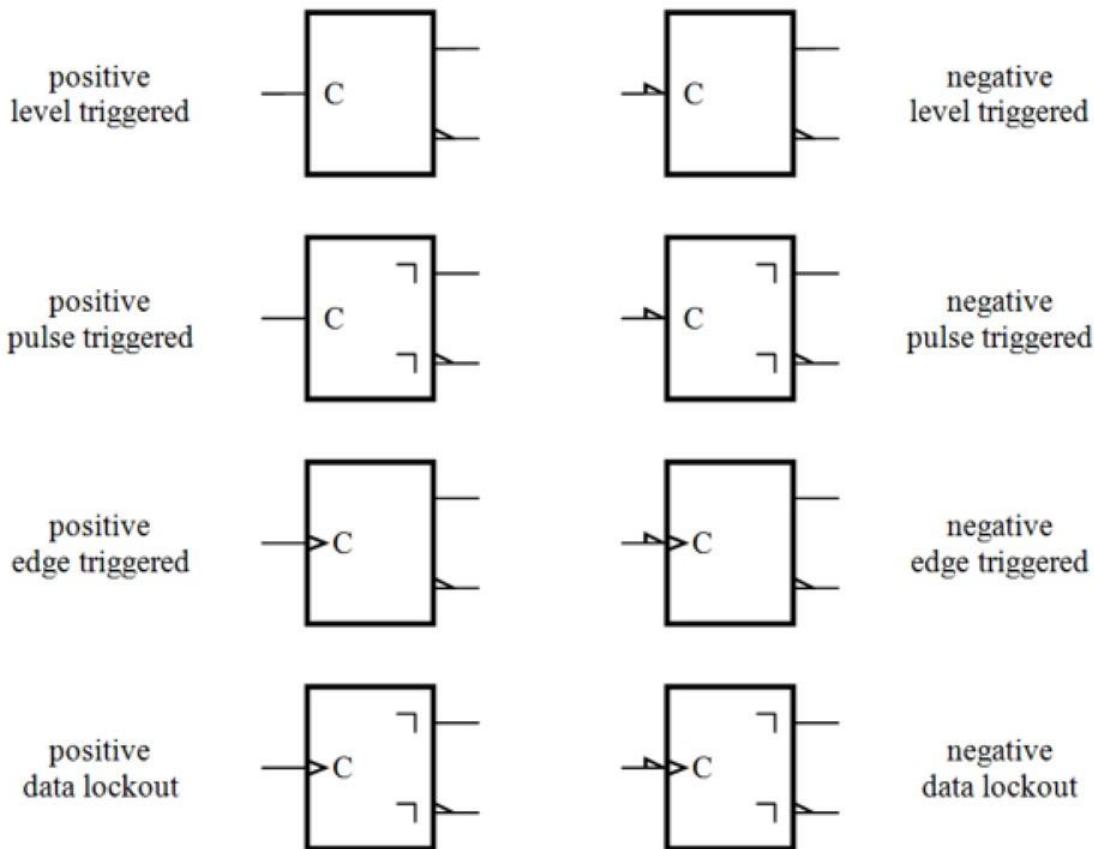
of



S	R	Q	effect
0	0	*	fost
1	0	1	set
0	1	0	reset
1	1	Q	hold

Soorten FF's

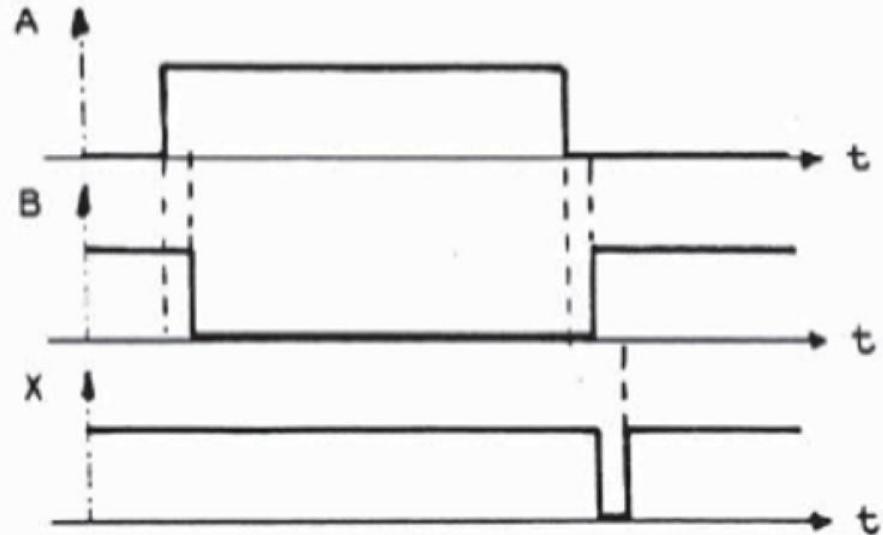
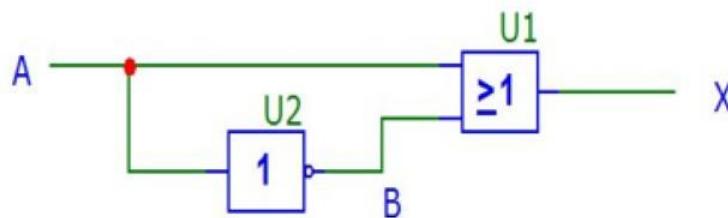
Door de hierboven besproken basisvormen met elkaar te combineren kan men in theorie vele soorten flipflops samenstellen. In principe kennen de acht basisvormen in de onderstaande figuur telkens drie versies, met name de JK-, de D- en de T-uitvoering: dit geeft 24 mogelijkheden.



Soorten FF's

- Merk op dat de level triggered 'flipflop' eigenlijk niet echt thuis hoort in dit lijstje, omdat hij qua naamgeving tot de categorie van de 'latches' moet gerekend worden.
- In de praktijk is het assortiment van in de handel verkrijgbare flipflops echter nogal beperkt.
 - Er bestaan bijvoorbeeld geen IC's met aparte T-flipflops (wel als groep, in frequentiedelers).
 - Als losse component is enkel de D- en de JK-flipflop beschikbaar.
 - De 'D-type' flipflops blijken altijd positive edge-triggered te zijn (vb. 74HC273).
 - Van de JK-flipflop bestaan er niet zoveel uitvoeringen, en die zijn meestal negative edge-triggered (vb. 74HC112).
 - Sommige flipflops die wel bestonden in de LS-familie komen niet meer voor in het HC-assortiment (vb. 74LS72).
- **Indien men een flipflop wilt van het tegengestelde trigger-edge type, dan kan het volstaan om de klokingang door een inverter te laten voorafgaan.**
- De pulse-triggered flipflop wordt als zodanig niet langer ondersteund. Deze master-slave versie (zie verder) wordt als minderwaardig beschouwd ten opzichte van de moderne edge-triggered types, en is daarom in onbruik geraakt.
- De letters J en K werden gekozen als eerbetoon aan Jack Kilby, die niet alleen dit type flipflop uitvond, maar omtrent 1958 ook mee aan de wieg stond van de moderne IC-technologie.

Principe flanktriggering: via tijdsvertraging met OR-poort

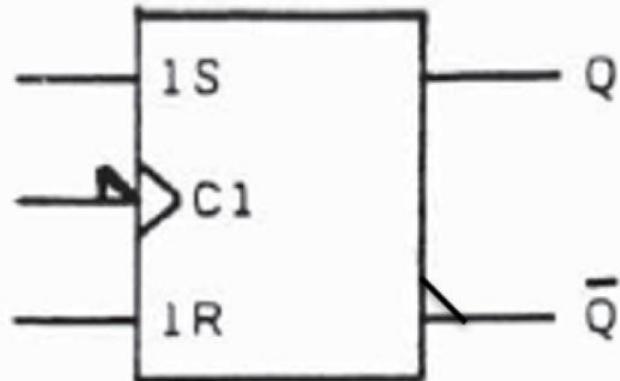


- Invertor zorgt voor tijdsvertraging, dit geeft een reactie aan de dalende flank.
- Vergelijk met flankdetectie met inverter en AND-poort!

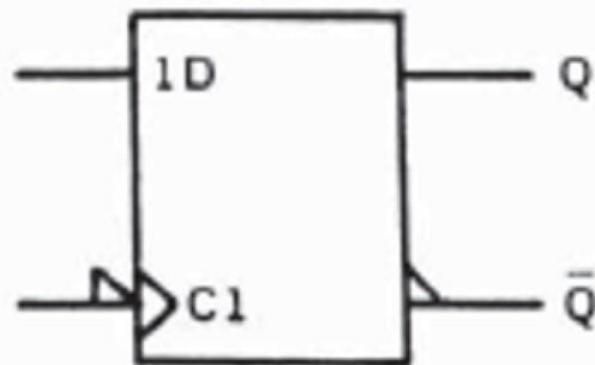
Flankgetriggerd (of flankgestuurd): IEC symbool

Flanktriggering op dalende flank

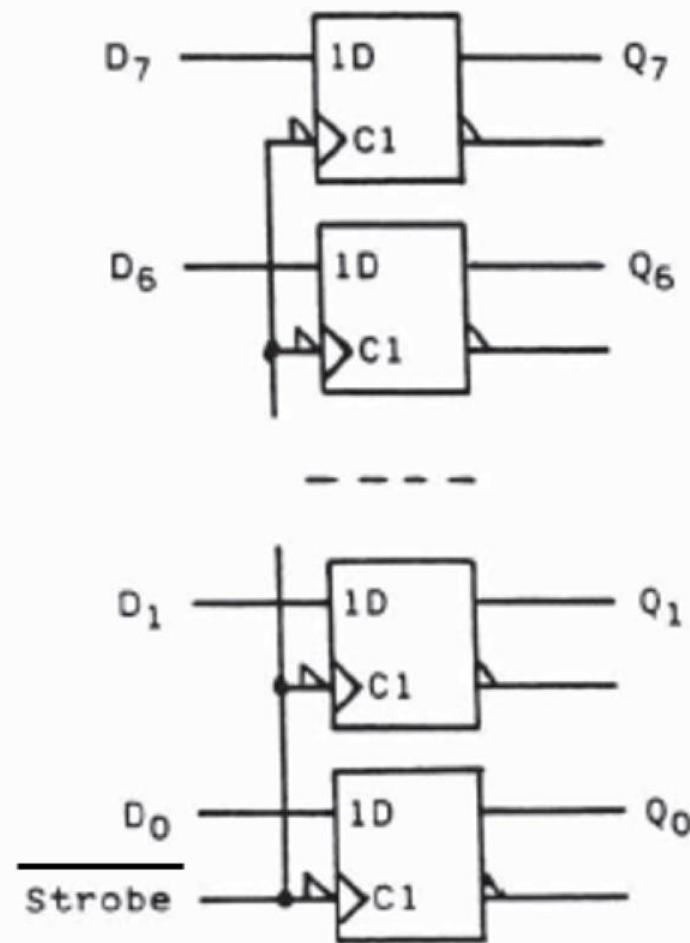
- SR-FF



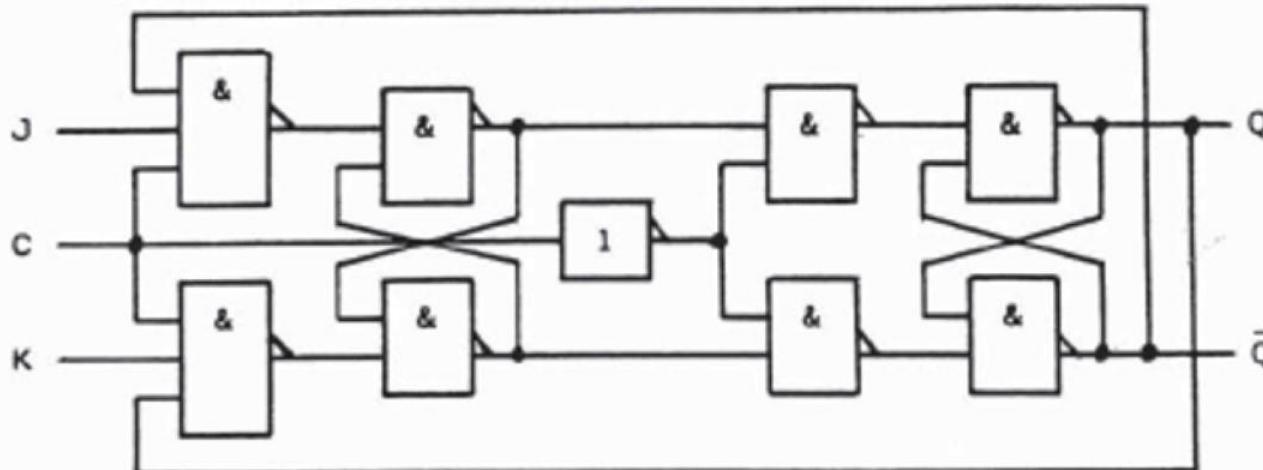
- D-FF



Toepassing met D-FF: 8-bit register



JK-flipflop

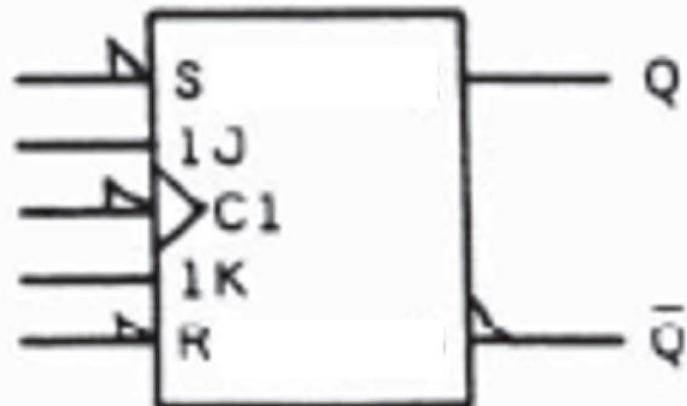
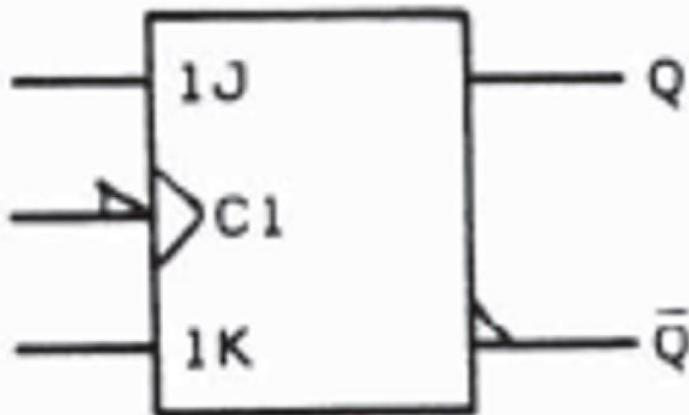


Bemerk de 2 terugkoppelingen (schema niet kennen).

- $J \approx S$ en $K \approx R$
- geen verboden toestand meer door 2 terugkoppelingen
→ bij $J = K = 1$ omklappen!

IEC van JK-flankgestuurde FF

Hier dalende flank.



De asynchrone ingangen zijn actief laag.

JK

Toestandentabel

J	K	Q_t	Q_{t+dt}	\bar{Q}_{t+dt}
0	0	0	0	1
0	0	1	1	0
0	1	0	0	1
0	1	1	0	1
1	0	0	1	0
1	0	1	1	0
1	1	0	1	0
1	1	1	0	1

Rusttoestand (geheugen)

Reset

Set

Omklappen

Karakteristieke tabel

J	K	Q_{t+dt}
0	0	Q_t
0	1	0
1	0	1
1	1	Q_t

Rusttoestand

Reset

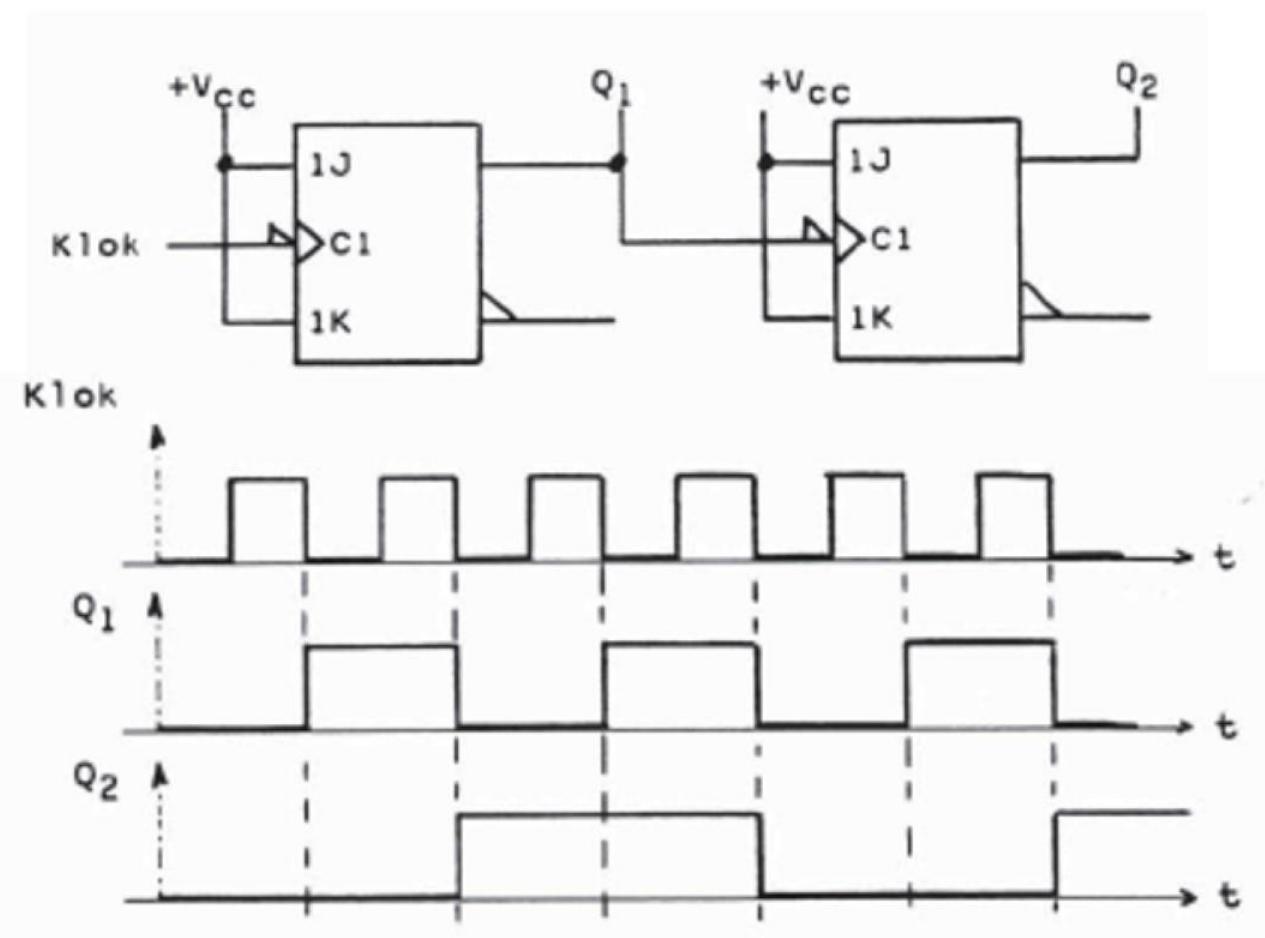
Set

Omklappen

Excitatietabel GOED KENNEN !!!

Q_t	Q_{t+dt}	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

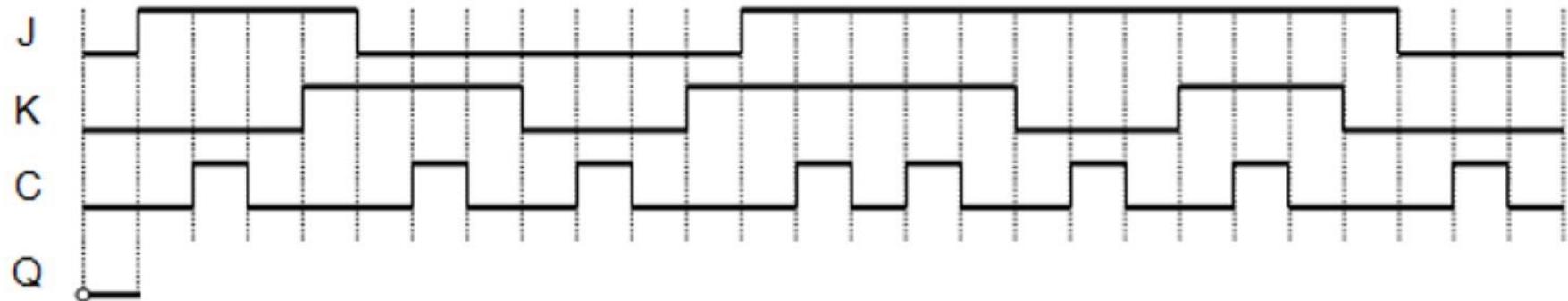
JK toepassing: frequentiedeler



$J = K = 1 \rightarrow$ omklappen op dalende flank

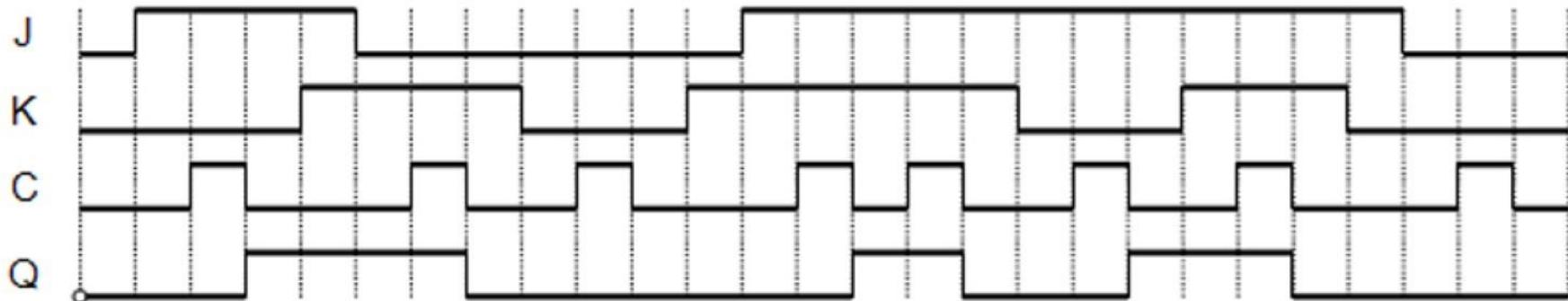
JK-FF op dalende flank: Oefening

Teken het signaal van Q:



JK-FF op dalende flank : Oefening

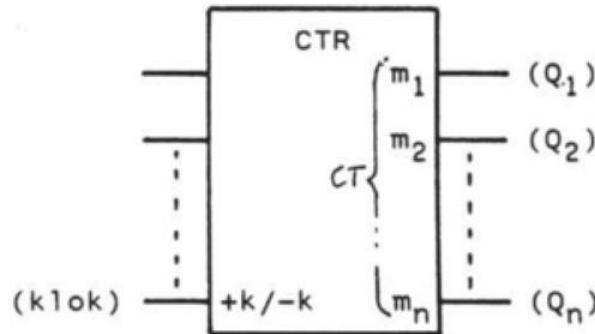
Oplossing



Synchrone Tellers

Inleiding

- **Teller = sequentiële schakeling**
- **IEC symbool**

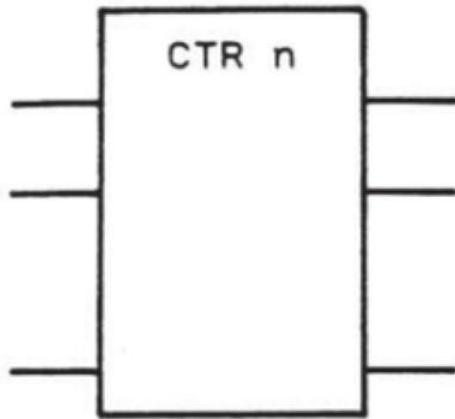


- **Decimale waarde = staat of stand**
- **Klok = telingang → met k vermeerderen of verminderen**
 - +k opwaartse teller (= voorwaartse teller)
 - -k terugwaartse teller (= neerwaartse teller = afteller)

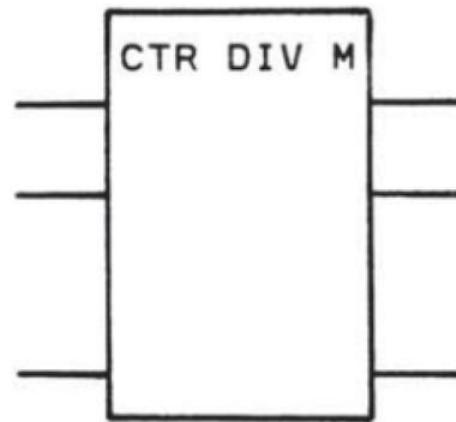
Inleiding

- Aantal staten = modulus M
- Teller met n uitgangen: $M \leq 2^n$
- Aanduiding modulus

$$M = 2^n$$



$$M < 2^n$$



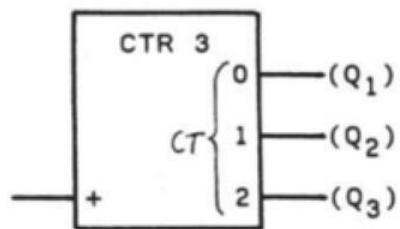
Inleiding

Beschrijving teller:

- IEC symbool
- Statentabel of transitietafel
(≠ “waarheidstabel”)
- Aanschouwelijk via staten- of transitiediagramma

Inleiding

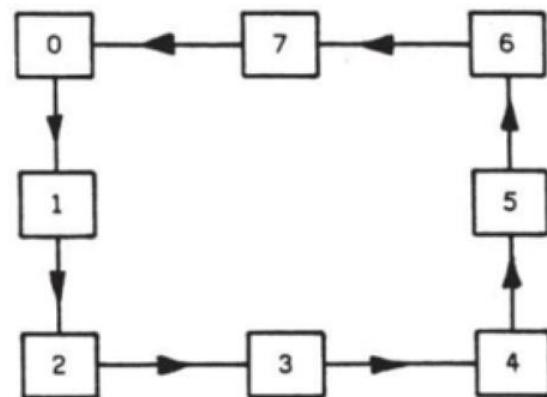
- Voorbeeld 1: binaire voorwaartse opteller met modulus 8



klok	Q_3	Q_2	Q_1
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1

IEC symbool

statentabel

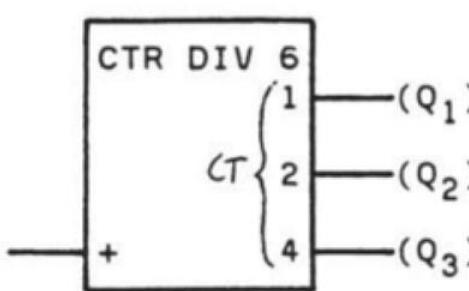


statendiagramma

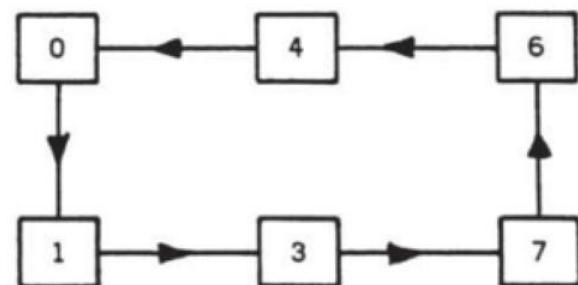
Inleiding

- **Voorbeeld 2: Moëbius-teller**

- elke staat verschilt slechts door 1 bit van de voorgaande
- EN elke bit blijft zolang mogelijk gelijk



klok	Q ₃	Q ₂	Q ₁
0	0	0	0
1	0	0	1
2	0	1	1
3	1	1	1
4	1	1	0
5	1	0	0



IEC symbool

statentabel

statendiagramma

Opm.: statentabel of statendiagramma hier onmisbaar!

Inleiding

Tellers opbouwen met flankgetriggerde FF's

- Asynchrone teller: klokingang van FF verbinden met Q - of \bar{Q} -uitgang van voorgaande FF.
- Synchrone teller: de FF's klappen gelijktijdig om door alle klokpulsingangen van de FF's te verbinden met de ingang van de teller. → **heeft voorkeur op asynchrone teller**
- Instellen van de initiële staat: door een aangepast logisch netwerk om een initiële staat willekeurig in te stellen (voor beide soorten tellers!)
- Frequentiedeler = *scaler*

Synchrone teller

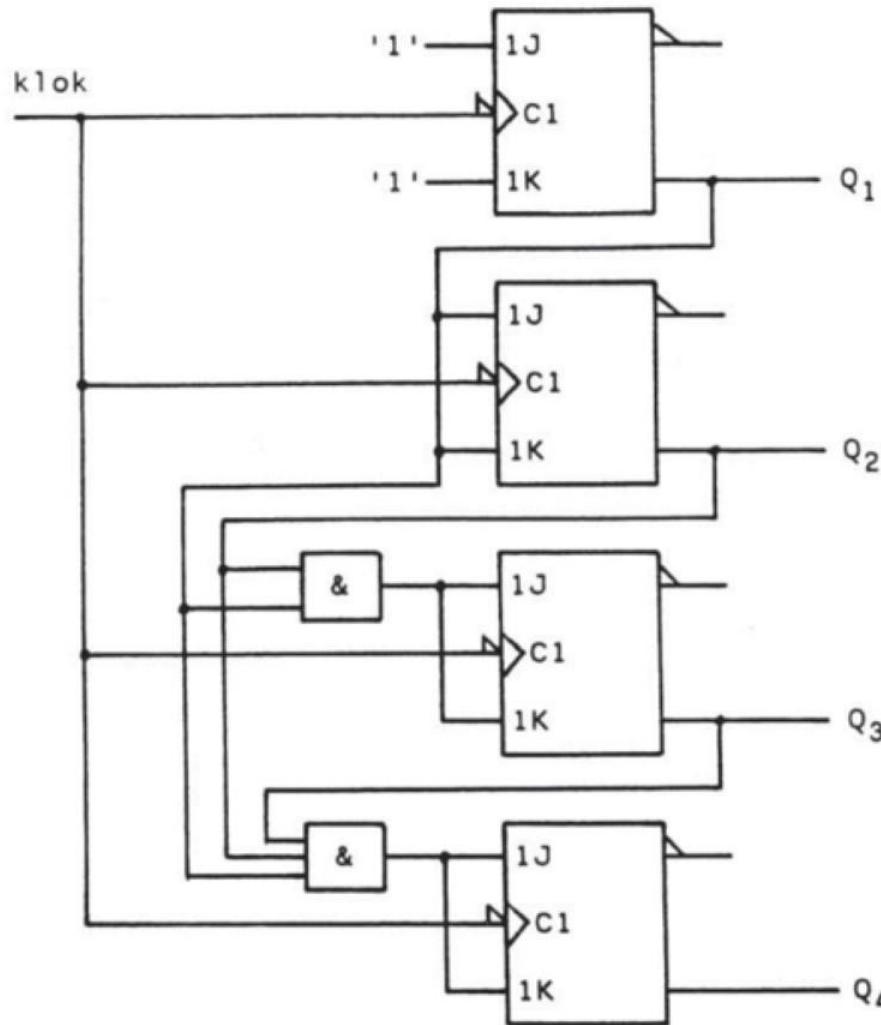
- **Synchrone teller met modulus = 2^n**
→vb.: synchrone binaire voorwaartse teller met modulus 16

Na klokpuls	Q4	Q3	Q2	Q1	Decimaal
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	2
3	0	0	1	1	3
4	0	1	0	0	4
5	0	1	0	1	5
6	0	1	1	0	6
7	0	1	1	1	7
8	1	0	0	0	8
9	1	0	0	1	9
10	1	0	1	0	10
11	1	0	1	1	11
12	1	1	0	0	12
13	1	1	0	1	13
14	1	1	1	0	14
15	1	1	1	1	15
16	0	0	0	0	0

FF1 klapt om bij elke klokpuls. Elke volgende FF klapt om als de Q-uitgangen van alle vorige FF's samen hoog zijn.

Synchrone teller

- Schema



Synchrone teller

- **Synchrone teller met willekeurige modulus**

$$2^{n-1} < M < 2^n$$

→ bestaat uit n FF's

- **Excitatietabel JK-Master-Slave FF**

$Q(t)$	$Q(t+dt)$	J	K
0	0	0	x
0	1	1	x
1	0	x	1
1	1	x	0

Van buiten kennen!

Synchrone teller

Methode:

- Bepalen aantal FF's (hangt af van het aantal combinaties)
- Teken het statendiagramma
- Statentabel opstellen: met huidige en volgende staat.
- Via excitatietabel de niveau's op de J- en K-ingangen bepalen
- De Karnaughkaarten opstellen
- Hieruit de logische vergelijkingen bepalen
- Schema van de teller tekenen
- Eventueel: impulsdiagramma tekenen

Synchrone teller

- **Voorbeeld:** de synchrone binaire voorwaartse modulo-10 opteller (BCD-opteller)

Methode:

- Bepalen aantal FF's: 4 (16 combinaties)
- **Oefening:** teken het statendiagramma
- Statentabel opstellen: met huidige en volgende staat.

Huidige staat				Volgende staat				Niveau's op J- en K-ingangen								
Q ₄	Q ₃	Q ₂	Q ₁	Q ₄	Q ₃	Q ₂	Q ₁	J ₄	K ₄	J ₃	K ₃	J ₂	K ₂	J ₁	K ₁	
0	0	0	0	0	0	0	0	1								
0	0	0	1	0	0	0	1	0								
0	0	1	0	0	0	0	1	1								
0	0	1	1	0	1	0	0	0								
0	1	0	0	0	1	0	0	1								
0	1	0	1	0	1	1	0	0								
0	1	1	0	0	1	1	1	1								
0	1	1	1	1	0	0	0	0								
1	0	0	0	1	0	0	0	1								
1	0	0	1	0	0	0	0	0								
1	0	1	0	?	?	?	?	?								
1	0	1	1	?	?	?	?	?								
1	1	0	0	?	?	?	?	?								
1	1	0	1	?	?	?	?	?								
1	1	1	0	?	?	?	?	?								
1	1	1	1	?	?	?	?	?								

Synchrone teller

Methode:

...

- Via excitatietabel de niveau's op de J- en K-ingangen bepalen

$Q(t)$	$Q(t+dt)$	J	K
0	0	0	x
0	1	1	x
1	0	x	1
1	1	x	0



Huïdige staat				Volgende staat				Niveau's op J- en K-ingangen							
Q_4	Q_3	Q_2	Q_1	Q_4	Q_3	Q_2	Q_1	J_4	K_4	J_3	K_3	J_2	K_2	J_1	K_1
0	0	0	0	0	0	0	1	0	x	0	x	0	x	1	x
0	0	0	1	0	0	1	0	0	x	0	x	1	x	x	1
0	0	1	0	0	0	1	1	0	x	0	x	x	0	1	x
0	0	1	1	0	1	0	0	0	x	1	x	x	1	x	1
0	1	0	0	0	1	0	1	0	x	x	0	0	x	1	x
0	1	0	1	0	1	1	0	0	x	x	0	1	x	x	1
0	1	1	0	0	1	1	1	0	x	x	0	x	0	1	x
0	1	1	1	1	0	0	0	1	x	x	1	x	1	x	1
1	0	0	0	1	0	0	1	x	0	0	x	0	x	1	x
1	0	0	1	0	0	0	0	x	1	0	x	0	x	x	1
1	0	1	0	?	?	?	?	x	x	x	x	x	x	x	x
1	0	1	1	?	?	?	?	x	x	x	x	x	x	x	x
1	1	0	0	?	?	?	?	x	x	x	x	x	x	x	x
1	1	0	1	?	?	?	?	x	x	x	x	x	x	x	x
1	1	1	0	?	?	?	?	x	x	x	x	x	x	x	x
1	1	1	1	?	?	?	?	x	x	x	x	x	x	x	x

Synchrone teller

Methode:

- ...
- De Karnaughkaarten opstellen (zie extra hulpkaart op Toledo)
- Bij manueel invullen: **huidige staat** (= 'oude staat') gebruiken
- Hieruit de logische vergelijkingen bepalen

nota: rij 3 en 4 omwisselen,
Vergelijkingen zijn juist

$Q_2 Q_1$	00	01	11	10
$Q_4 Q_3$	00	x	x	1
	01	x	x	1
	11	x	x	x
	10	x	x	x

$$J_1 = 1$$

$Q_2 Q_1$	00	01	11	10	
$Q_4 Q_3$	00	0	1	x	x
	01	0	1	x	x
	11	0	0	x	x
	10	x	x	x	x

$$K_1 = 1$$

$Q_2 Q_1$	00	01	11	10	
$Q_4 Q_3$	00	x	x	1	0
	01	x	x	1	0
	11	x	x	x	x
	10	x	x	x	x

$Q_2 Q_1$	00	01	11	10	
$Q_4 Q_3$	00	0	0	1	0
	01	x	x	x	x
	11	0	0	x	x
	10	x	x	x	x

$$J_2 = Q_1 \bar{Q}_4$$

$Q_2 Q_1$	00	01	11	10	
$Q_4 Q_3$	00	x	x	x	x
	01	0	0	1	0
	11	x	x	x	x
	10	x	x	x	x

$$K_2 = Q_1$$

$Q_2 Q_1$	00	01	11	10	
$Q_4 Q_3$	00	0	0	0	0
	01	0	0	1	0
	11	x	x	x	x
	10	x	x	x	x

$$J_3 = Q_1 Q_2$$

$Q_2 Q_1$	00	01	11	10	
$Q_4 Q_3$	00	x	x	x	x
	01	x	x	x	x
	11	0	1	x	x
	10	x	x	x	x

$$K_3 = Q_1 Q_2$$

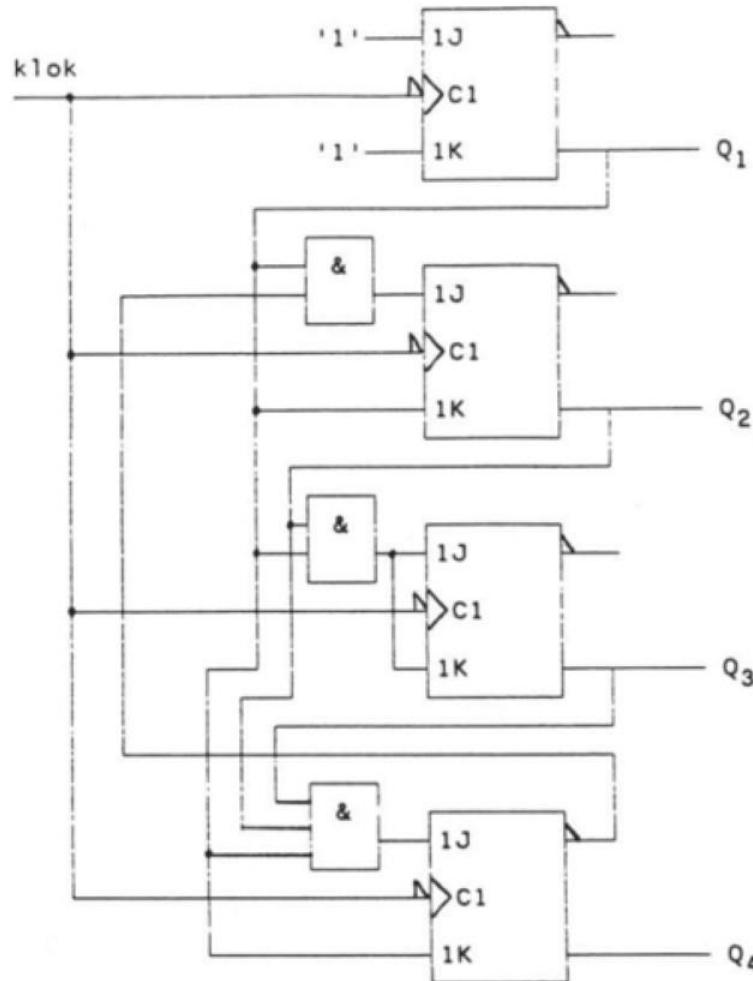
$$J_4 = Q_1 Q_2 Q_3$$

$$K_4 = Q_1$$

Synchrone teller

Methode:

- ...
 - Schema van de teller tekenen

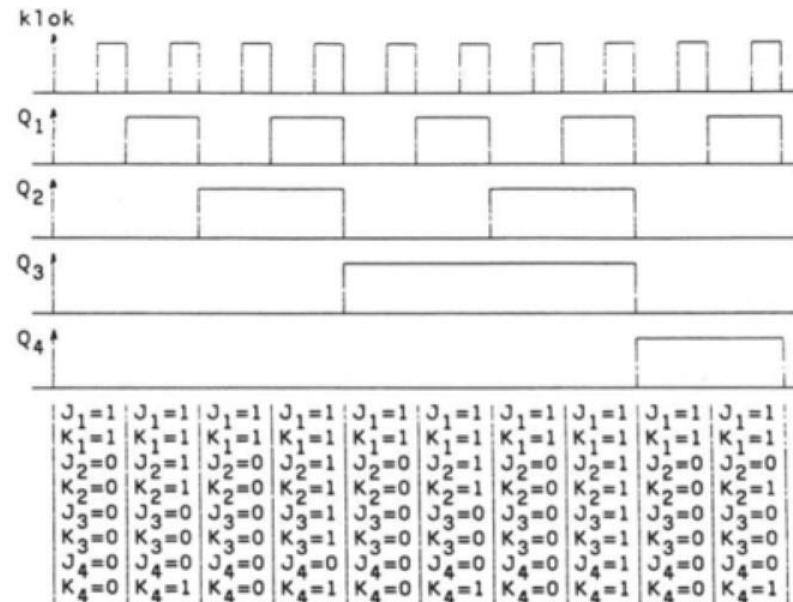


Synchrone teller

Methode:

...

- Eventueel: impulsdiagramma tekenen



Bemerk dat J en K vastliggen (na het bepalen van de vergelijkingen via Karnaugh) ≠ statentabel

Tegen volgende les:

- deze les studeren
- 5 keer het document afdrukken op Toledo

'Ontwerp van een synchrone 4-bit teller met JK-flipflops'