



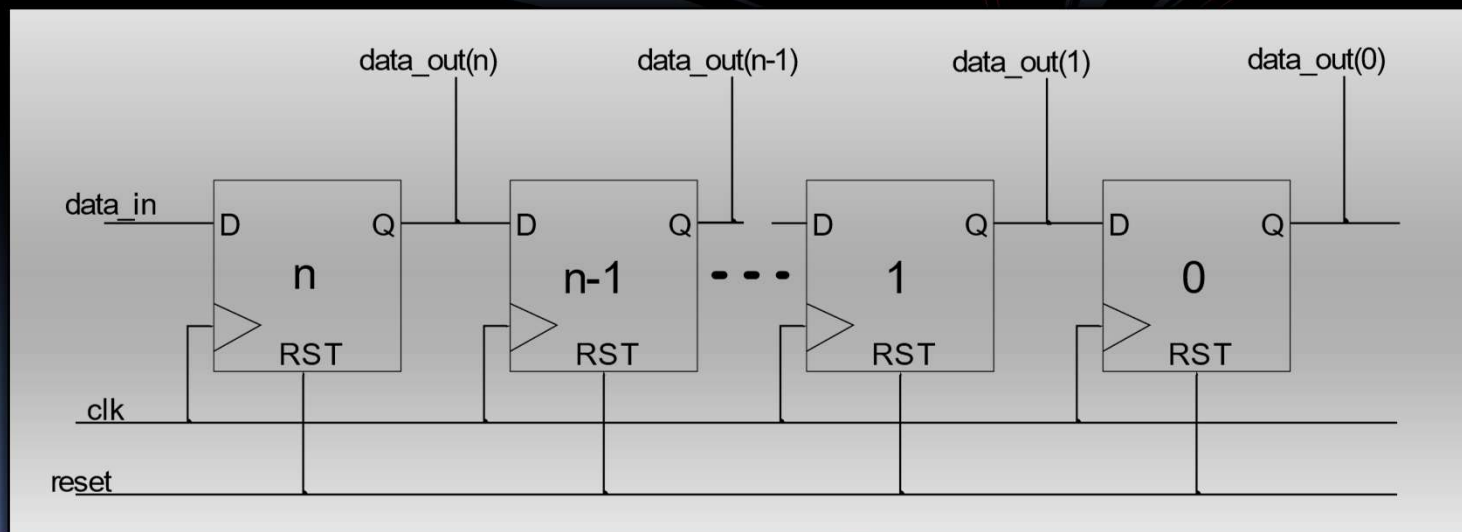
VHDL

SR SIPO V2 - EXE

Testo

Creare uno Shift **Register Serial Input Parallel Output**.

- L'uscita è un «**unconstrained array**»
- Scrivere il file VHDL con metodologia «**behavioural**»
- Scrivere un file di simulazione top_sim.vhd
- Simulare il design e verificare il corretto funzionamento



top entity

Struttura della top Entity:

```
entity ShiftRegisterSIPO is
  Port(
    reset      : in std_logic;
    clk        : in std_logic;

    data_in    : in std_logic;
    --data_out range is (X DOWNTO 0) where X >0
    data_out   : out std_logic_vector
  );
end ShiftRegisterSIPO;
```

CONSIGLIO: Iniziare con un data_out fisso (3 DOWNTO 0)