



# VHDL

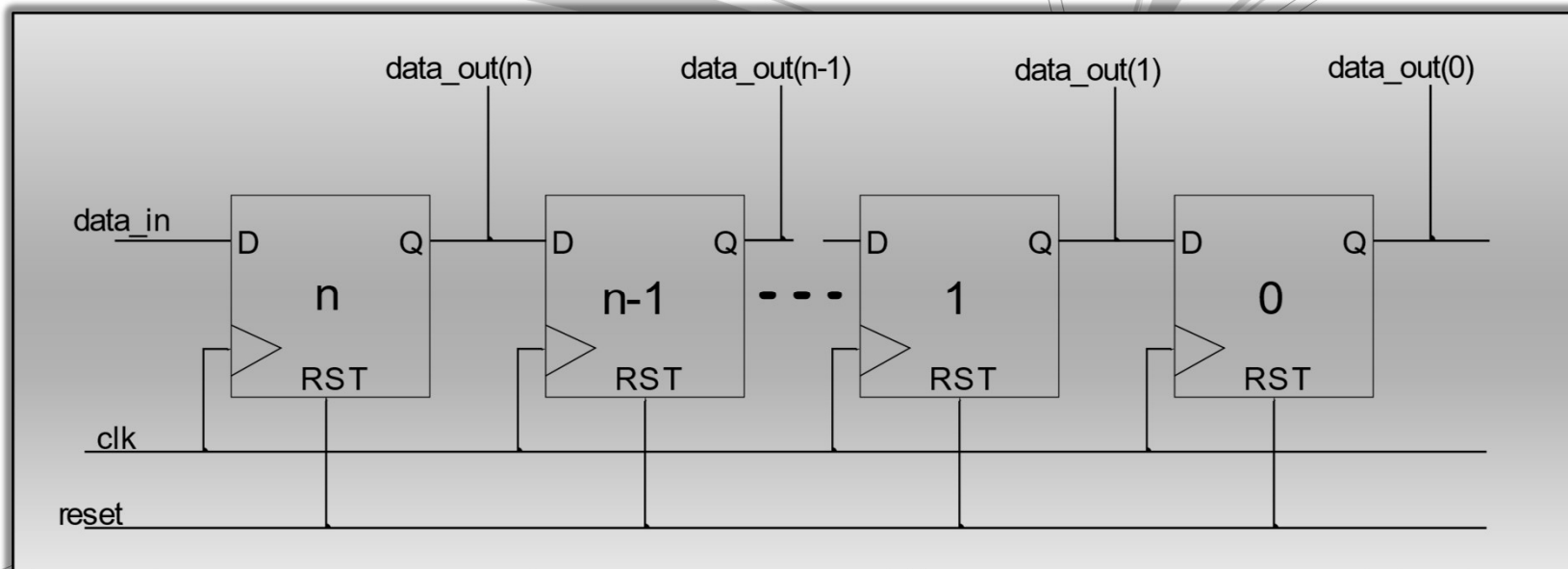
SR SIPO - EXE



# Testo

Creare uno Shift Register Serial Input Parallel Output.

- La larghezza della parola d'uscita deve avere larghezza generica
- Utilizzare l'*entity* *ff\_d* (fornita) per istanziare i Flip Flop D necessari
- Simulare il tutto con il file fornito *sim\_top.vhd*
- Gli indici in questo schema sono solo indicativi



# top entity

Struttura della top Entity (SR\_WIDTH indica il numero di stadi di flip-flop):

```
entity ShiftRegisterSIPO is
  Generic(
    SR_WIDTH : integer := 4
  );
  Port(
    reset      : in std_logic;
    clk        : in std_logic;

    data_in    : in std_logic;

    data_out   : out std_logic_vector(SR_WIDTH-1 DOWNTO 0)

  );
end ShiftRegisterSIPO;
```

CONSIGLIO: Iniziare con un data\_out fisso (3 DOWNTO 0)