



VHDL

EXE - ADDER



Testo

Lo scopo dell'esercizio è costruire un *adder* a quattro bit tramite composizione di *Full-Adder* e *Half-Adder*.

Successivamente simulare tramite file di simulazione fornito.

Come organizzare il lavoro:

1. Scrivere la *entity HalfAdder*
2. Scrivere la *entity FullAdder* come composizione di *HalfAdder*
3. Scrivere la *entity Adder_4bit* istanziando e collegando:
 - 1 Modulo *HalfAdder*
 - 3 Moduli *FullAdder*
4. *Controllare lo schematico RTL*
5. *Provare a lanciare una simulazione tramite la entity top_sim (file fornito insieme a questo testo)*



Testo

```
library IEEE;
    use IEEE.STD_LOGIC_1164.ALL;

entity Adder_4bit is
    Port(
        --All ports are encoded as unsigned
        a    : in std_logic_vector(3 DOWNTO 0);
        b    : in std_logic_vector(3 DOWNTO 0);

        sum  : out std_logic_vector(3 DOWNTO 0)
    );
end Adder_4bit;
```