(Subgrupos A) CUESTIONARIO PREVIO PARA ENTREGAR ANTES DE LA SESIÓN SESIÓN PRÁCTICA 8: Jerarquía de Memoria IV — Cachés unificadas y separadas

Apellidos	Nombre	DNI	Fecha (dd/mm/aaaa)	Hora	Grupo

1. Dado el siguiente programa en ensamblador para MIPS con direcciones de 16 bits y sabiendo que las instrucciones están siempre almacenadas de forma consecutiva en memoria:

Realice los siguientes apartados teniendo en cuenta lo siguiente:

Dirección de la primera instrucción	0x0160
Valor de la contante V	0x10D8

Sea un computador con un procesador <u>secuencial</u> con cachés <u>separadas</u> de correspondencia directa CB-WA de 32 Bytes con líneas de 8 Bytes cada una.

a) Represente la decodificación de la dirección que realiza el controlador de caché:

<i>ETIQUETA</i>	ÍNDICE	DESPLAZAMIENTO		
BITS	BITS	BITS		

b) Muestre la memoria principal una vez cargada las instrucciones y los datos en memoria. Detalle aquellos bloques que contienen instrucciones o elementos del vector. En su parte derecha muestre de forma simplificada la estructura de ambas cachés y utilícela en el apartado siguiente para indicar la carga de bloques que se realiza.

Memoria Principal	Memoria Caché de Instrucciones
Y The second sec	
	Memoria Caché de Datos
· ·	

c) Realice la traza de accesos de las <u>2 primeras</u> iteraciones y simultáneamente rellene la caché del apartado anterior según los bloques a los que se acceden:

	Instrucción o Elemento del Vector	Dirección de Memoria	Dirección de Bloque	Línea	Acierto o Tipo de Fallo
	addi \$2, \$0, V				
	addi \$3, \$2, 20				
	addi \$5, \$0, 0				
	lw \$10, 0(\$2)				
	v[0]				
Iteración 1	add \$5, \$5,\$10				
[tera	addi \$2,\$2,4				
	slt \$4, \$2,\$3				
	bne \$4,\$0, loop				
	lw \$10, 0(\$2)				
2	v[1]				
Iteración 2	add \$5, \$5,\$10				
	addi \$2,\$2,4				
	slt \$4, \$2,\$3				
	bne \$4,\$0, loop				

2. Calcule la frecuencia de fallos que se obtendría tras la ejecución completa del programa.