

HOJA DE EJERCICIOS

PRÁCTICA 9: JERARQUÍA DE MEMORIA V

ESTA SESIÓN NO TIENE EVALUACIÓN, PERO DISPONE DE ESTUDIO PREVIO Y TEST FINAL

DINÁMICA DE LA SESIÓN:

En esta sesión, se pretende finalizar el bloque de Jerarquía de Memoria mediante la realización de ejercicios que integren los aspectos de Memoria Virtual y Memoria Física.

Así pues, esta hoja de ejercicios se divide en dos partes:

- Parte 1 – Ejercicio a realizar por el profesor en pizarra.
- Parte 2 – Ejercicio a realizar por el alumno a mano.

PARTE 1: EJERCICIO DEL PROFESOR

Dispone de un computador con el siguiente sistema de memoria:

Dirección Virtual:

Núm. Pág. Virtual (20 bits)					Desplazamiento de Pág. (8 bits)						
TLB:											
V0					V1						
	V	D	R	Etiqueta	MM		V	D	R	Etiqueta	MM
C0											
C1											
C2											
C3											

TP (proceso 0)

	V	D	MM
E0			
E1			
E2			
E3			
E4			

TP (proceso 1)

	V	D	MM
E0			
E1			
E2			
E3			
E4			

Dirección Física (MP):

Núm. Bloq. (19 bits)	D. Bloq. (5 bits)
----------------------	-------------------

MC:

	V	Etiqueta	Bloque
L0			
L1			
L2			
L3			
L4			
L5			
L6			
L7			
L8			
L9			
L10			
L11			
L12			
L13			
L14			
L15			

Se suponen dos procesos ("P0" y "P1") iniciados por el Sistema Operativo, cuyas páginas están inicialmente en MS y los marcos donde se ubican son consecutivos y comienzan a partir del 0x1A1. La ubicación de dichas páginas en MP se realiza a partir del marco 0x0A por orden de acceso. Si se posee la siguiente secuencia de direcciones virtuales por parte de ambos procesos, determine el Miss Rate de la TLB, de la MC y de las TPs (indique cómo quedarían finalmente todos esos componentes). Accesos:

Proc.	DV	TLB	TP	DF _{MP}	MC	MP
P0	0x000000A					
P0	0x000042F					
P1	0x000022C					
P1	0x000024C					
P0	0x000001F					
P0	0x0000108					

MR_{TLB}:

MR_{MC}:

MR_{TP0}:

MR_{TP1}:

PARTE 2: EJERCICIOS A REALIZAR POR EL ALUMNO

Ejercicio 1: Se posee un computador con las siguientes características:

- Un procesador de 32 bits de palabra.
- Una Memoria Principal máxima direccionable de 4MBytes, con bloques de 16 Bytes.
- Una Memoria Caché de Mapeado Directo, Unificada, WT-NWA de tamaño 512Bytes.
- Una asignación de Memoria Virtual por cada proceso de 128MBytes, con páginas de 64Bytes de tamaño.
- Una TLB de 2 conjuntos y 2 vías
- El SS00 asigna marcos de MP a partir del 0x08.

a) Represente la tabla de página de un proceso cualquiera, la TLB y la memoria caché; así como la decodificación de las direcciones para cada componente.

Dirección Virtual:

Dirección TLB:

TLB:

TP:

Dirección Física MP:

Dirección Física interpretada en MC:

MC:

b) Un proceso ejecuta el siguiente código en C, accediendo mediante direcciones virtuales. Suponiendo que las instrucciones (de una palabra cada una) se encuentran al inicio de la página virtual 2 y los datos (vectores de 4 elementos double: 2 palabras por elemento) al inicio de la página virtual 4 (primero x y luego y), rellene la tabla donde debe indicar la dirección en la que se encuentra la instrucción leída y el dato accedido (si procede).

		Dir. de la Instrucción	Dir. de los Datos			
I0	i=0;					
I1	while(i<4){					
I2	y[i] = x[i]*2;		i=0	i=1	i=2	i=3
			x[i]:			
			y[i]:			
I3	i++; }					

c) Siguiendo el orden de accesos del código indicado y las direcciones calculadas, rellene la siguiente tabla:

Iteración	Accesos	Dir. Virtual	TLB	TP	DF _{MP}	MC	MP
0	Instr. 0						
	Instr. 1						
	Instr. 2						
	Dato x[0] _L						
	Dato y[0] _E						
	Instr. 3						
1	Instr. 1						
	Instr. 2						
	Dato x[1] _L						
	Dato y[1] _E						
	Instr. 3						
2	Instr. 1						
	Instr. 2						
	Dato x[2] _L						
	Dato y[2] _E						
	Instr. 3						
3	Instr. 1						
	Instr. 2						
	Dato x[3] _L						
	Dato y[3] _E						
	Instr. 3						
	Instr. 1						

d) Indique cómo quedarían finalmente la TLB, la TP y la MC en la página anterior. Calcule a continuación el Miss Rate de MC, TP y TLB

Ejercicio 2: Se divide la ejecución anterior en dos procesos. El código ejecutado ahora sería el siguiente:

	Proceso 0	Proceso 1
I0	<i>i=0;</i>	<i>i=2;</i>
I1	<i>while(i<2){</i>	<i>while(i<4){</i>
I2	<i>y[i] = x[i]*2;</i>	<i>y[i] = x[i]*2;</i>
I3	<i>i++; }</i>	<i>i++; }</i>

Las instrucciones y datos para cada proceso se ubican en las siguientes posiciones de sus espacios virtuales:

	Proceso 0	Proceso 1
Comienzo de las instrucciones	<i>Pág. Virtual 2</i>	<i>Pág. Virtual 1</i>
Comienzo de los datos	<i>Pág. Virtual 4</i>	<i>Pág. Virtual 3</i>

a) Rellene la siguiente tabla de accesos en base a la ejecución paralela de dichos procesos:

Proceso	Accesos	Dir. Virtual	TLB	TP	DF _{MP}	MC	MP
0	Instr. 0						
	Instr. 1						
	Instr. 2						
	Dato x[0] _L						
1	Instr. 0						
	Instr. 1						
	Instr. 2						
	Dato x[2] _L						
0	Dato x[0] _E						
	Instr. 3						
	Instr. 1						
	Instr. 2						
1	Dato x[2] _E						
	Instr. 3						
	Instr. 1						
	Instr. 2						
0	Dato x[1] _L						
	Dato x[1] _E						
	Instr. 3						
	Instr. 1						
1	Dato x[3] _L						
	Dato x[3] _E						
	Instr. 3						
	Instr. 1						

b) Indique cómo quedarían finalmente la TLB, la TP y la MC.

TLB:

TP₀:

TP₁:

MC:

c) Calcule a continuación el Miss Rate de MC, TP₀, TP₁ y TLB