



UNIVERSIDADE FEDERAL DE CAMPINA GRANDE  
CENTRO DE ENGENHARIA ELÉTRICA E INFORMÁTICA  
DEPARTAMENTO DE ENGENHARIA ELÉTRICA  
DISCIPLINA: LABORATÓRIO DE ARQUITETURA DE SISTEMAS DIGITAIS

## DOCUMENTAÇÃO DAS NOVAS FUNCIONALIDADES

Professor: Rafael Bezerra Correia Lima

Discente: Luiz Felipe Barros Alves

Campina Grande – PB  
11 de novembro de 2023

# Sumário

<b>1</b>	<b>Novas Instruções</b>	<b>2</b>
<b>2</b>	<b>Novas funcionalidades</b>	<b>3</b>
2.1	Alterações na Unidade de Controle . . . . .	3
2.2	Função <i>OR</i> . . . . .	3
2.3	Novo <i>Mux_jr</i> . . . . .	3
2.4	Nova entrada no <i>MuxImmSrc</i> . . . . .	4
2.5	Novo <i>MuxResSrc</i> . . . . .	4
<b>3</b>	<b>Novo <i>datapath</i></b>	<b>5</b>

# 1 Novas Instruções

Novas instruções foram implementadas no processador. A Tabela 1 apresenta a descrição de cada instrução.

Tipo	Instrução	Descrição
<b>R</b>	xor	Realiza a operação xor bit a bit entre dois registradores
	mul	Realiza a multiplicação entre dois registradores
	divisão	Executa a divisão inteira entre dois registradores
<b>I</b>	andi	Operação and bit a bit entre um registrador e um imediato
	ori	Operação or bit a bit entre um registrador e um imediato
	xori	Realiza a xor bit a bit entre um registrador e um imediato
	slti	Verifica se o valor de um registrador é menor que um imediato
	jalr	Realiza um salto para um endereço especificado e armazena o endereço de retorno em um registrador destino
<b>B</b>	bne	Executa um desvio se os registradores forem diferentes
<b>J</b>	jal	Realiza um salto incondicional para um endereço especificado e armazena o endereço de retorno no registrador destino.

Tabela 1: Tabela de novas instruções

## 2 Novas funcionalidades

Para implementar novas funcionalidades ao processador RISC-V desenvolvido ao longo do semestre no laboratório, necessitou-se de mudanças no *datapath* do processador. As principais modificações são apresentadas e discutidas a seguir.

### 2.1 Alterações na Unidade de Controle

A Unidade de Controle sofreu mudanças significativas a fim de que o processador suportasse as novas instruções implementadas. A Figura 1 mostra o processador após as alterações.

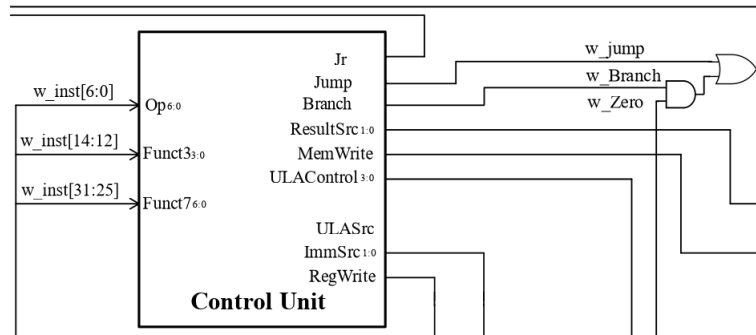


Figura 1: Unidade de Controle

O barramento de saída *ULAControl* foi ajustado para 4 bits, pois dado a implementação de novas instruções a *ULA* deve realizar novas operações lógicas. Portanto, necessita-se de um barramento com mais bits para selecionar todas as novas operações possíveis. Outro barramento modificado foi o *ResultSrc* pois o *MuxResSrc* passou a ser  $4 \times 1$  para comportar as funções *jal* e *jalr*.

Para o processador comportar as instruções *jal* e *jalr* foi preciso implementar duas novas saídas de 1 bit na Unidade de Controle, as saídas *Jump* e *Jr*.

### 2.2 Função OR

Por meio da Figura 1 nota-se que a saída da porta lógica *AND* é conectada a uma porta *OR* para ser possível a instrução *jal*. Assim quando uma instrução *beq* ou *jal* forem passadas para a CPU o *Mux\_jal\_beq* de seleção terá a segunda entrada selecionada.

### 2.3 Novo Mux\_jr

Quando a instrução *jalr* é passada para o processador o próximo *PC* deve ser igual ao resultado de saída da *ULA*, logo, um *mux*  $2 \times 1$  seleciona se o próximo *PC* será referente a saída da *ULA*. O pino de seleção desse *mux* é conectado a nova saída *Jr* da Unidade de Controle. A Figura 2 apresenta o novo *mux*.

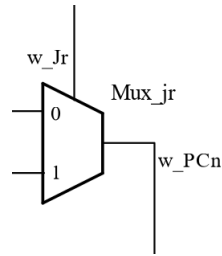


Figura 2: Novo *mux*

## 2.4 Nova entrada no *MuxImmSrc*

Para que a instrução *jal* fosse implementada foi necessário acrescentar mais uma nova entrada ao *MuxImmSrc*. Essa modificação ocorre porque o imediato da função *jal* é diferente dos demais immediatos das funções implementadas, seu imediato tem o formato:  $w\_inst[31]$ ,  $w\_inst[19:12]$ ,  $w\_inst[20]$ ,  $w\_inst[30:21]$ ,  $1'b0$ . A Figura 3 apresenta o *mux* modificado.

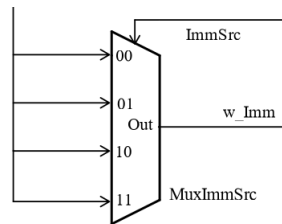


Figura 3: Novo *MuxImmSrc*

## 2.5 Novo *MuxResSrc*

Como as funções *jal* e *jalr* guardam em um registrador de destino o valor do próximo *PC* o *MuxResSrc* deve possuir mais uma entrada para selecionar se o resultado a ser gravado em um registrador será *ULAResult*, *RegData* da entrada paralela ou  $PC + 4$ . O pino de seleção é conectado à saída modificada *ResultSrc* da Unidade de Controle. A Figura 4 mostra o novo *mux*.

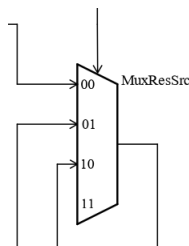


Figura 4: Novo *MuxResSrc*

### 3 Novo *datapath*

