

3° Projeto

Lab. de Arquitetura de Computadores

Descrição do Projeto

Grupos: 2(dois) integrantes

Projetar uma CPU capaz de executar as seguintes instruções:

Instrução	Significado	Descrição
NOP	NO OPERATION	NO OPERATION
LW <code>rt,offset end(rs)</code>	<code>Rt <- MEM[rs+offset end]</code>	Load (MEM)
SW <code>rt,offset end(rs)</code>	<code>MEM[rs+offset end] <- Rt</code>	Store (MEM)
ADD <code>rd,rs,rt</code>	<code>Ri <- Rj + Rk</code>	Add (R)
SUB <code>rd,rs,rt</code>	<code>Ri <- Rj - Rk</code>	Subtract (R)
BEQ <code>rt,rs,offset end</code>	<code>PC <- end se Ri=Rj</code>	Salto condicional (COND)
JMP <code>END</code>	<code>PC <- PC₁₅₋₁₃ concatena com end</code>	Salto incondicional (J)

OPCODES

Instrução	OPCODE
NOP	000
LW <code>rt,offset end(rs)</code>	001
SW <code>rt,offset end(rs)</code>	010
ADD <code>rd,rs,rt</code>	011
SUB <code>rd,rs,rt</code>	011
BEQ <code>rt,rs,offset end</code>	100
JMP <code>END</code>	101

FORMATOS DAS INSTRUÇÕES

TIPO R

3 bits	4 bits	4 bits	4 bits	1bits
OP	RS	RT	RD	ADD/SUB

OBS: O bit menos significativo é o function – indica se a operação será uma soma ou uma subtração

TIPO COND

3 bits	4 bits	4 bits	5 bits
OP	RS	RT	Offset end

TIPO MEM

3 bits	4 bits	4 bits	5 bits
OP	RS	RT	Offset end

TIPO J

3 bits	13 bits
OP	Offset end

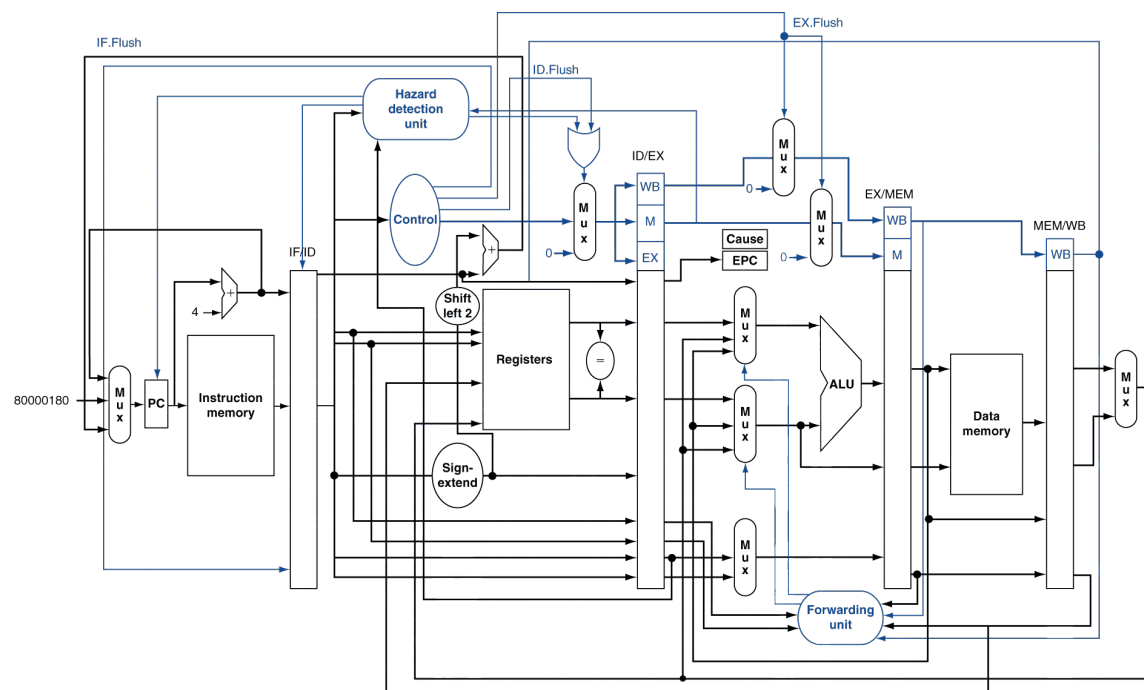
Onde:

- CPU utiliza palavra de 8 bits
- Ri, Rj, Rk: registradores de 16 bits (pertencentes a um banco de registradores com 16 registradores de 16 bits cada)
- A CPU deverá resolver hazard de dados, pelo menos entre instruções tipo R

EXTRAS DO PROJETO:

- Data hazard para o LW
- Tratamento de exceção para overflow
- Tratamento de control hazard (estático - previsão not taken)

Arquitetura da CPU com os EXTRAS:



Referências:

- 1 – BROWN, Stephen e VRANESIC, Svonko – Fundamentals of Digital Logic with VHDL Design.
- 2 - PATTERSON, David A. e HENNESSY, John L. – Computer Organization and Design – The Hardware and Software Interface

Entrega do Projeto

Na data definida deve ser entregue um documento de especificação organizado da seguinte forma:

1. Descrição textual do projeto com a topologia da CPU
 2. Especificação
 - 2.1 Registradores (quantidade, endereço e tamanho)
 - 2.2 Formato das instruções (OPCODE)
 - 2.3 Unidade de Controle: diagrama e tabela de estados, sinais e seus significados
 3. Resultados
 - 3.1 Descrição dos testes realizados
 - 3.2 Resultados e discussão
 4. Bibliografia
- ANEXO - Código VHDL produzido

Cada integrante do grupo deverá **postar na tarefa “Projeto2” no CANVAS, informando em comentários quem é seu parceiro de projeto:**

1. O documento de especificação em formato digital (.pdf)
2. O código VHDL produzido (.vhd)
3. Também deverão ser apresentados na data definida o código VHDL desenvolvido, o funcionamento da CPU e os testes realizados (simulações e vídeo da placa funcionando).

EXTRAS DO PROJETO:

- 1 – Data hazard para o LW
- 2 – Tratamento de exceção para overflow
- 3 – Tratamento de control hazard (estático – previsão not taken)

Código de conduta

A interação entre os alunos é estimulada, no entanto qualquer tentativa de plágio de trabalhos será punida com a **nota zero nos trabalhos para todos os envolvidos**.