



PEC3 - Tercera prueba de evaluación continua

Presentación

Esta PEC se focaliza en los circuitos secuenciales. Los circuitos combinacionales nos permiten describir funcionalidades de un circuito, pero no nos permiten guardar información. Mediante biestables y registros podemos guardar información en memoria y hacer circuitos más complejos. En esta PEC practicaremos con este tipo de circuitos.

Competencias

- Entender el funcionamiento de los circuitos lógicos secuenciales y conocer y saber aplicar técnicas de diseño de sistemas secuenciales.

Objetivos

- Saber discernir, a partir de la funcionalidad que se quiere que tenga un circuito lógico, si el circuito tiene que ser de tipo secuencial o combinacional.
- Conocer el funcionamiento del biestable D y de todas las entradas de control que puede tener.
- Saber analizar un circuito secuencial.
- Saber realizar un cronograma a partir de un circuito digital secuencial.
- Saber analizar un grafo de estados.
- Saber diseñar un circuito cualquiera a partir de la descripción de su funcionalidad mediante el modelo de Moore.

Recursos

Los recursos que se recomienda usar para esta PEC son los siguientes:

Básicos: El módulo 4 de los materiales.

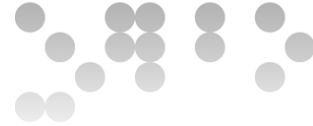
Complementarios: VerilCIRC, VerilCHART y el Wiki de la asignatura.

Criterios de valoración

- Razonad la respuesta en todos los ejercicios. Las respuestas sin justificación no recibirán puntuación.
- La valoración está indicada en cada uno de los subapartados.

Formato y fecha de entrega

- Para dudas y aclaraciones sobre el enunciado, dirigíos al consultor responsable de vuestra aula.

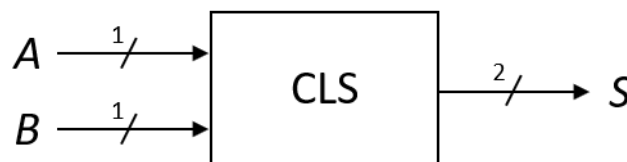


- Hay que entregar la solución en un fichero PDF usando una de las plantillas entregadas juntamente con este enunciado.
- Se tiene que entregar a través de la aplicación de **Entrega y registro de EC** del apartado Evaluación de vuestra aula.
- La fecha límite de entrega es el **24 de noviembre** (a las 24 horas).

Enunciado de la PEC

Ejercicio 1 [25%]

Se quiere diseñar el grafo de estados de un circuito lógico secuencial (CLS) con dos entradas, A y B , de un bit cada una, y una salida S de dos bits. El circuito tiene la estructura siguiente:



El funcionamiento del circuito es el siguiente. El circuito debe ir leyendo bits de las dos entradas hasta que detecte un cero, tanto en A como en B , durante dos ciclos consecutivos. A partir de ese momento, por cada entrada, se leerá un valor en secuencia durante dos ciclos (en el primer ciclo tendremos el bit de más peso y en el segundo ciclo el de menos peso). Una vez leídos los dos valores de dos bits, el circuito indicará en el ciclo siguiente por qué entrada se ha introducido el valor máximo: si el valor introducido por la entrada A es más grande que el de la entrada B , entonces la salida S será 10 durante un ciclo; si el valor de B es más grande que el de A , la salida S será 01; finalmente si los valores de A y B son iguales entonces la salida S será 11 durante un ciclo. Durante el resto de los ciclos la salida será siempre 00.

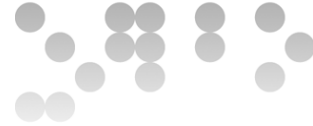
Una vez detectada y analizada una secuencia (dos ceros por las dos entradas seguido de dos bits), el circuito vuelve a buscar la siguiente secuencia.

Ejemplo de funcionamiento:

Entrada A	0	0	0	0	0	1	0	1	0	0	1	0	1	...
Entrada B	0	1	0	0	1	0	0	0	0	0	0	0	1	...
Salida S	00	00	00	00	00	00	01	00	00	00	00	00	10	00

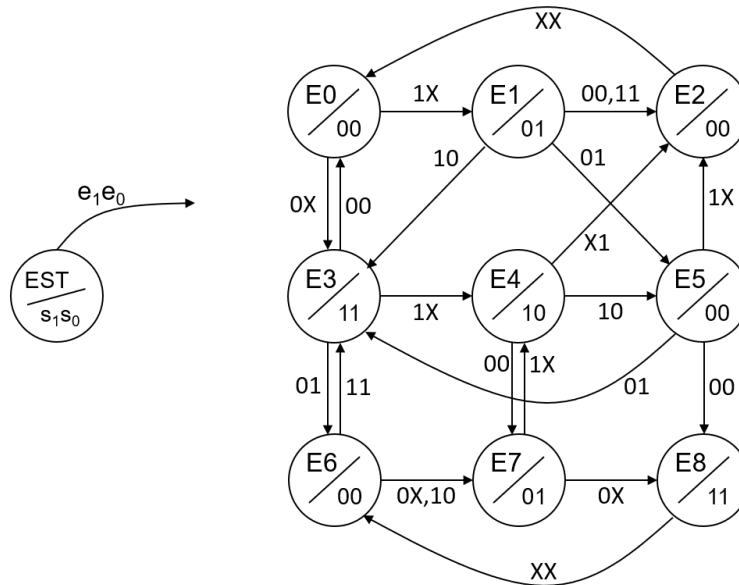
Fijaos que en los ciclos 3-4 se detectan los dos ciclos de ceros (en negrita) y, a partir de ese instante, se lee por A el valor 01 y por B el valor 10, así que en el siguiente ciclo S valdrá 01 (en negrita). Similarmente, en los ciclos 9-10 se detectan dos ciclos de ceros (también en negrita) y, a partir de ese instante se lee por A el valor 10 y por B el valor 00, así que en el siguiente ciclo S valdrá 10.

Se pide que diseñéis el grafo de estados del circuito CLS, especificando claramente la leyenda del mismo.



Ejercicio 2 [25%]

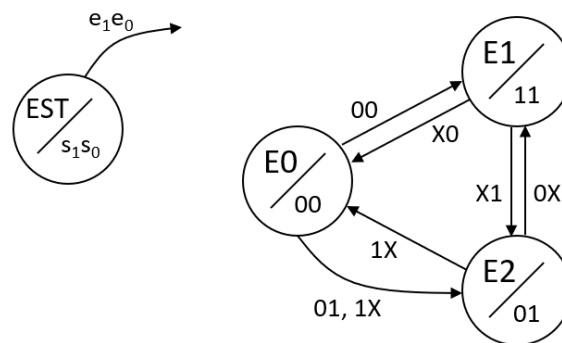
Dado el grafo de estados siguiente:



Se pide:

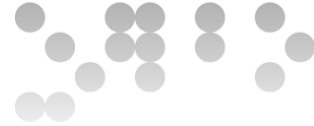
- a) [5%] ¿Cuántos bits de entrada tiene el circuito que implementa este grafo? ¿Cuántos bits de salida? ¿Cuál será el número mínimo de biestables para implementarlo? Si lo implementamos usando una memoria ROM, ¿cuántos bits de direcciones y cuántos bits de datos necesitará esta memoria?

Dado el grafo de estados siguiente:



Se pide:

- b) [10%] Rellenad la tabla de transiciones y salidas siguiente (fijaos que se han unificado en una única tabla de excitaciones), codificando los estados según su índice asociado.

[illegible]

Nota: Tenéis disponible el ejercicio en VerilCHART. Para poder probar este ejercicio en VerilCHART tenéis que reemplazar, si fuera el caso, los bits *don't care* por valores 0.

- c) **[5%]** Si implementamos el circuito representado por la tabla de salidas y excitaciones del apartado anterior usando una memoria ROM, especificad en binario y en hexadecimal el contenido de todas las posiciones de la memoria ROM.

Nota: Tenéis disponible el ejercicio en VerilCIRC. Para poder probar este ejercicio en VerilCIRC tenéis que reemplazar, si fuera el caso, los bits *don't care* por valores 0.

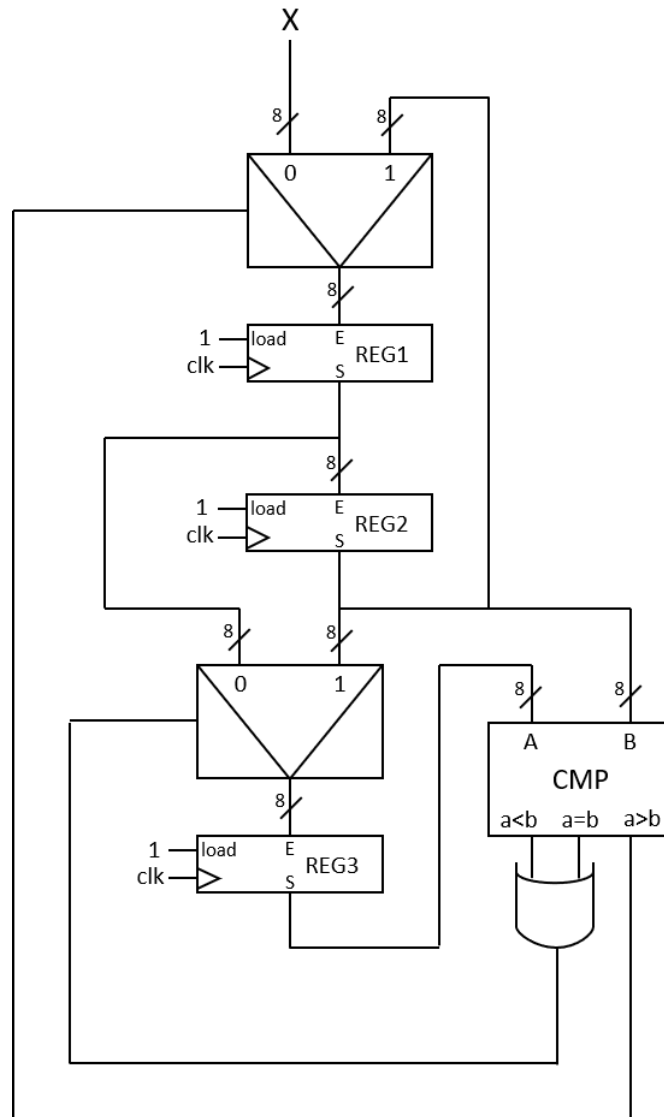
- d) **[5%]** Implementad el circuito representado por el grafo usando la memoria ROM propuesta en el apartado anterior.

Nota: Tenéis disponible el ejercicio en VerilCIRC. Para poder probar este ejercicio en VerilCIRC tenéis que reemplazar, si fuera el caso, los bits *don't care* por valores 0.

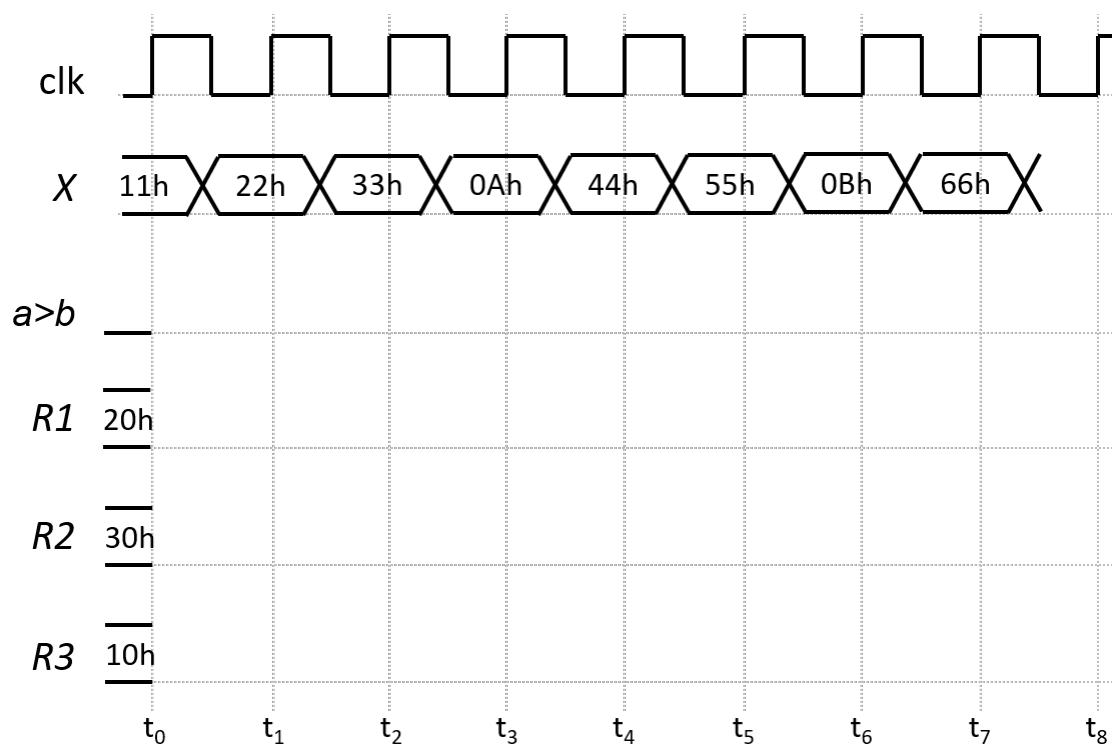
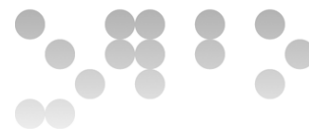


Ejercicio 4 [25%]

Dado el circuito siguiente:



Completad el cronograma siguiente, poniendo los valores de los registros en hexadecimal.



Nota: Tenéis disponible este ejercicio en VerilCHART.