

AIC8800M80/M80F/M40B Application Note

Revision:1.0

Jul 2023

AIC8800M80/M80F/M40B Application Note.....	1
1 概述.....	3
2 管脚定义.....	3
3 原理图.....	8
3.1 AIC8800M80.....	8
3.2 AIC8800M80F.....	10
3.3 AIC8800M40B.....	12
4 电源.....	14
4.1 数字电源.....	15
4.2 模拟电源.....	15
4.3 VIO.....	17
4.4 PWRKEY.....	17
5 上电时序.....	18
6 晶体.....	19
6.1 Colpitts mode.....	19
6.2 正常模式.....	19
7 I/O 接口及 Flash.....	20
8 射频.....	23
9 PCB 布线.....	25
9.1 电源.....	25
9.2 晶体.....	28
9.3 射频.....	29
9.4 信号.....	30
9.5 接地.....	30

1 概述

AIC8800M80/M80F/M40B 提供了高集成度的 WiFi/Bluetooth Combo 解决方案，支持 2.4/5.8G 双频 WiFi6 和 Bluetooth5.4，采用 4x4mmQFN48 封装，具有高可靠性、高集成度、超低功耗、射频指标优异等特点。

2 管脚定义

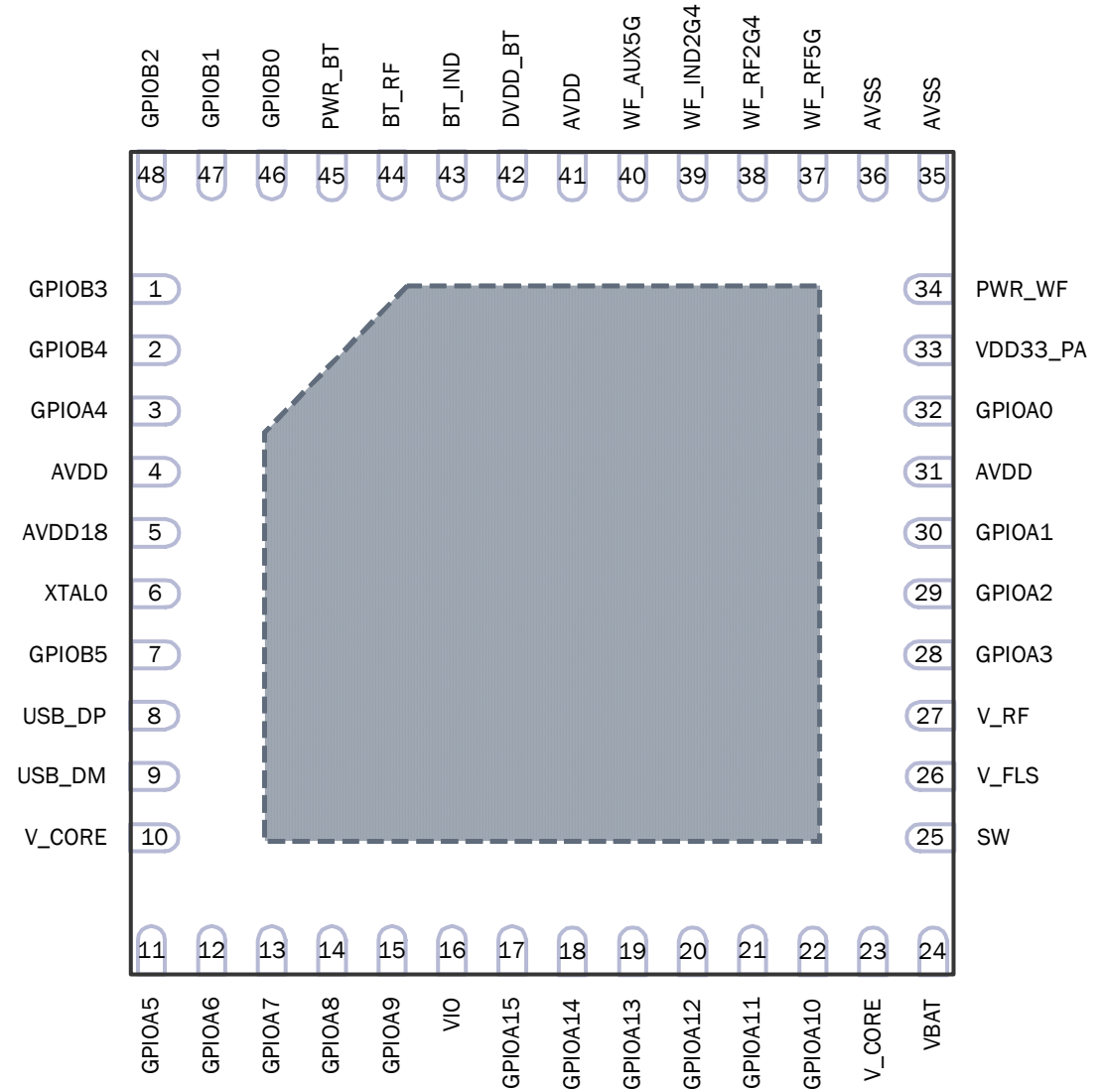


Figure 2-1 AIC8800M80 Pin Map

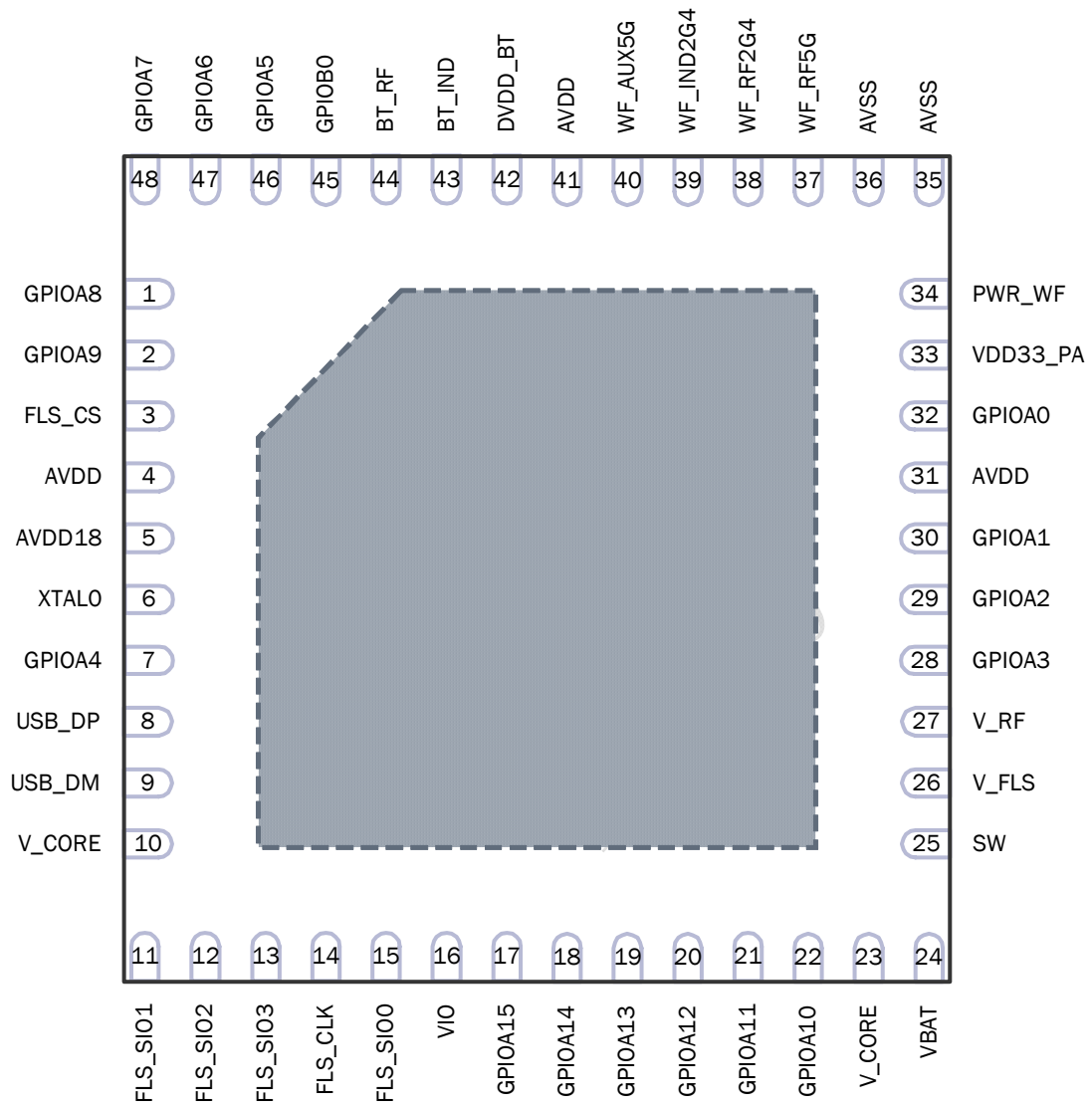


Figure 2-2 AIC8800M80F Pin Map

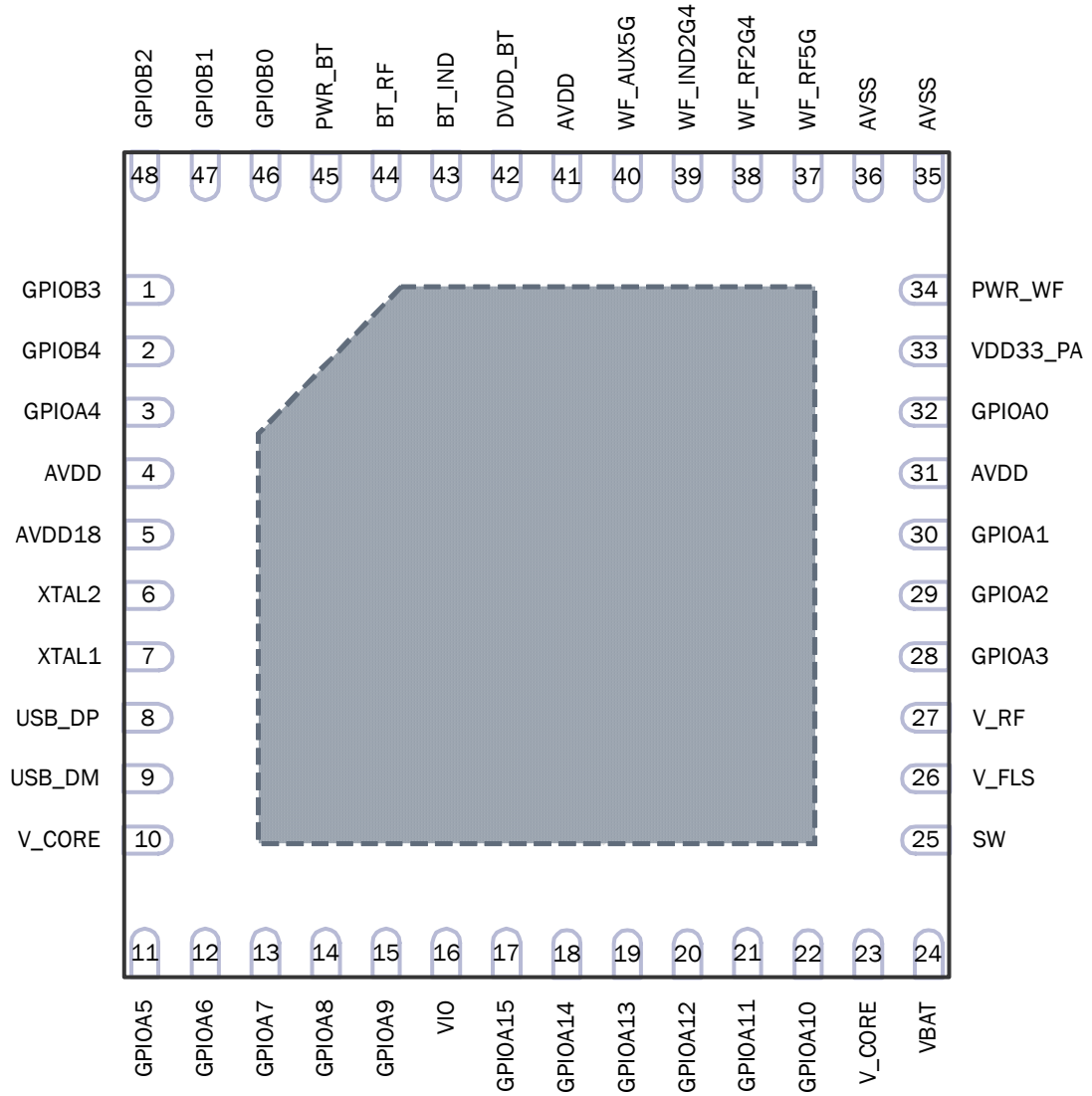


Figure 2-3 AIC8800M40B Pin Map

Table 2-1 AIC8800M80 Pin Description

TERMINAL					DESCRIPTION
AIC8800M80	AIC8800M80F	AIC8800M40B	QFN NO.	I/O	
RF					
WF_RF2G4			38	I/O	WiFi 2.4G RF
WF_IND2G4			39		WiFi 2.4G RF Ground, connect a inductor to ground
WF_RF5G			37	I/O	WiFi 5G RF
WF_AUX5G			40	I	WiFi 5G RX Aux
BT_RF			44	I/O	BT RF
BT_IND			43		BT RF Ground, connect a 1.2nH inductor to ground
AVSS			35		Connect to the ground
AVSS			36		Connect to the ground
PMU					
AVDD			4		Need 1uF decoupling capacitor
AVDD			31		Need 1uF decoupling capacitor
AVDD			41		Need 1uF decoupling capacitor
AVDD18			5		Power output 1.8v, internal Efuse supply voltage, connect a 1uF decoupling capacitor
V_CORE			10		Need 1uF decoupling capacitor, connect to pin23
V_CORE			23		Digital Supply Voltage
VIO			16	I	IO Power Supply, Support 1.8v/3.3v
VBAT			24	I	System power supply
SW			25	O	Power Output For V_RF
V_RF			27	I	RF Supply Voltage
VDD33_PA			33	I	PA Supply Voltage
PWR_WF			34	I	WiFi system enable
PWR_BT			45	I	BT system enable
DVDD_BT			42		Need 1uF decoupling capacitor
V_FLS			26	O	Need 1uF decoupling capacitor, M80F supply voltage for external flash
CLK					
XTAL0			6	I	40M Crystal In(Colpitts mode for M80/M80F)
		XTAL2	6	O	40M Crystal Out(For M40B)

TERMINAL					DESCRIPTION
AIC8800M80	AIC8800M80F	AIC8800M40B	QFN NO.	I/O	
-		XTAL1	7	I	40M Crystal In(For M40B)
GPIO					
GPIOA0			32	I/O	GPIO
GPIOA1			30	I/O	GPIO
GPIOA2			29	I/O	GPIO
GPIOA3			28	I/O	GPIO
GPIOA4	FLS_CS	GPIOA4	3	I/O	GPIO
GPIOA5	FLS_SIO1	GPIOA5	11	I/O	GPIO
GPIOA6	FLS_SIO2	GPIOA6	12	I/O	GPIO
GPIOA7	FLS_SIO3	GPIOA7	13	I/O	GPIO
GPIOA8	FLS_CLK	GPIOA8	14	I/O	GPIO
GPIOA9	FLS_SIO0	GPIOA9	15	I/O	GPIO
GPIOA10			22	I/O	GPIO
GPIOA11			21	I/O	GPIO
GPIOA12			20	I/O	GPIO
GPIOA13			19	I/O	GPIO
GPIOA14			18	I/O	GPIO
GPIOA15			17	I/O	GPIO
GPIOB0	GPIOA5	GPIOB0	46	I/O	GPIO
GPIOB1	GPIOA6	GPIOB1	47	I/O	GPIO
GPIOB2	GPIOA7	GPIOB2	48	I/O	GPIO
GPIOB3	GPIOA8	GPIOB3	1	I/O	GPIO
GPIOB4	GPIOA9	GPIOB4	2	I/O	GPIO
GPIOB5	GPIOA4	-	7	I/O	GPIO
USB_DP			8	I/O	USB
USB_DM			9	I/O	USB

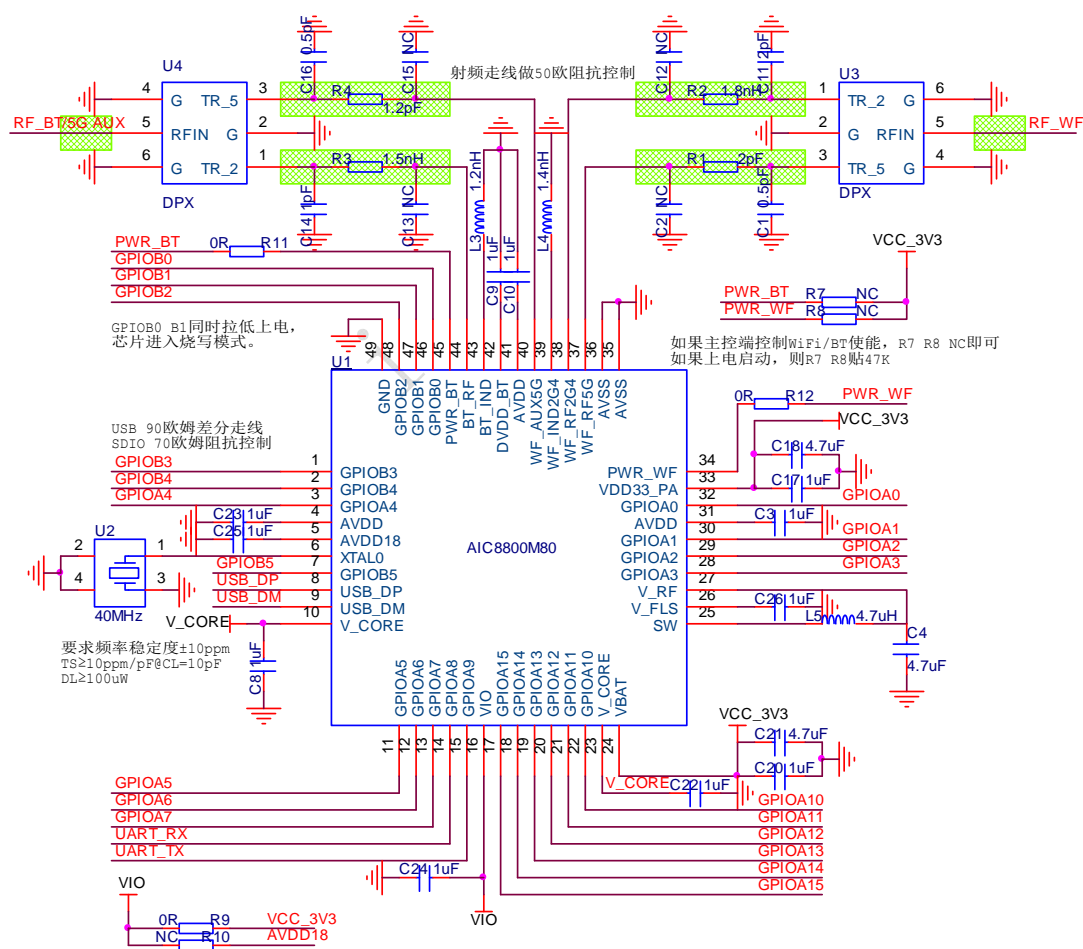
3 原理图

AIC8800M80/M80F/M40B 原理图设计有以下部分注意事项，后面章节分别对这几部分进行描述。

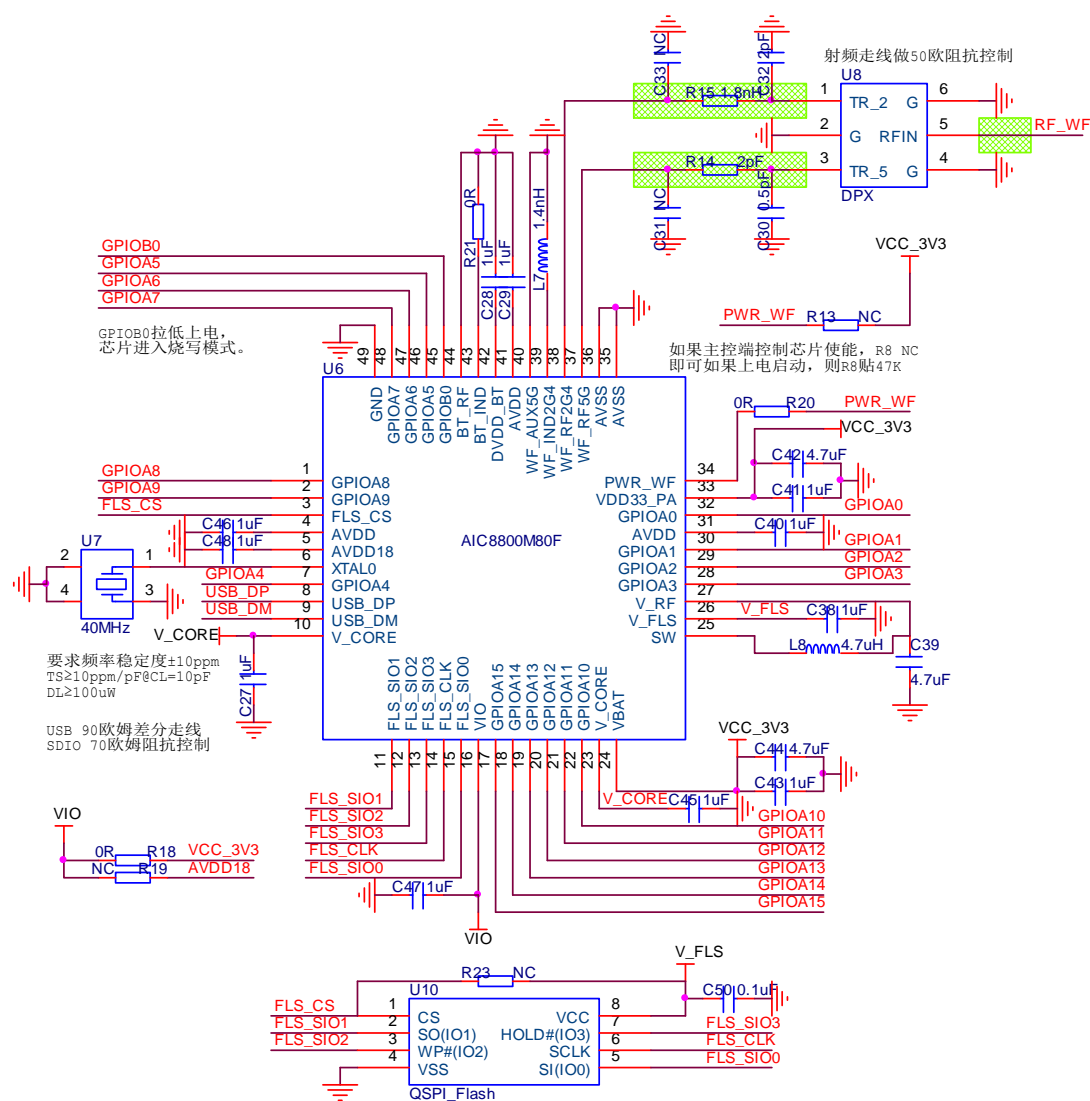
- 电源
- 上电时序
- 晶体
- I/O 接口
- 射频

3.1 AIC8800M80

3.1.1 双天线设计

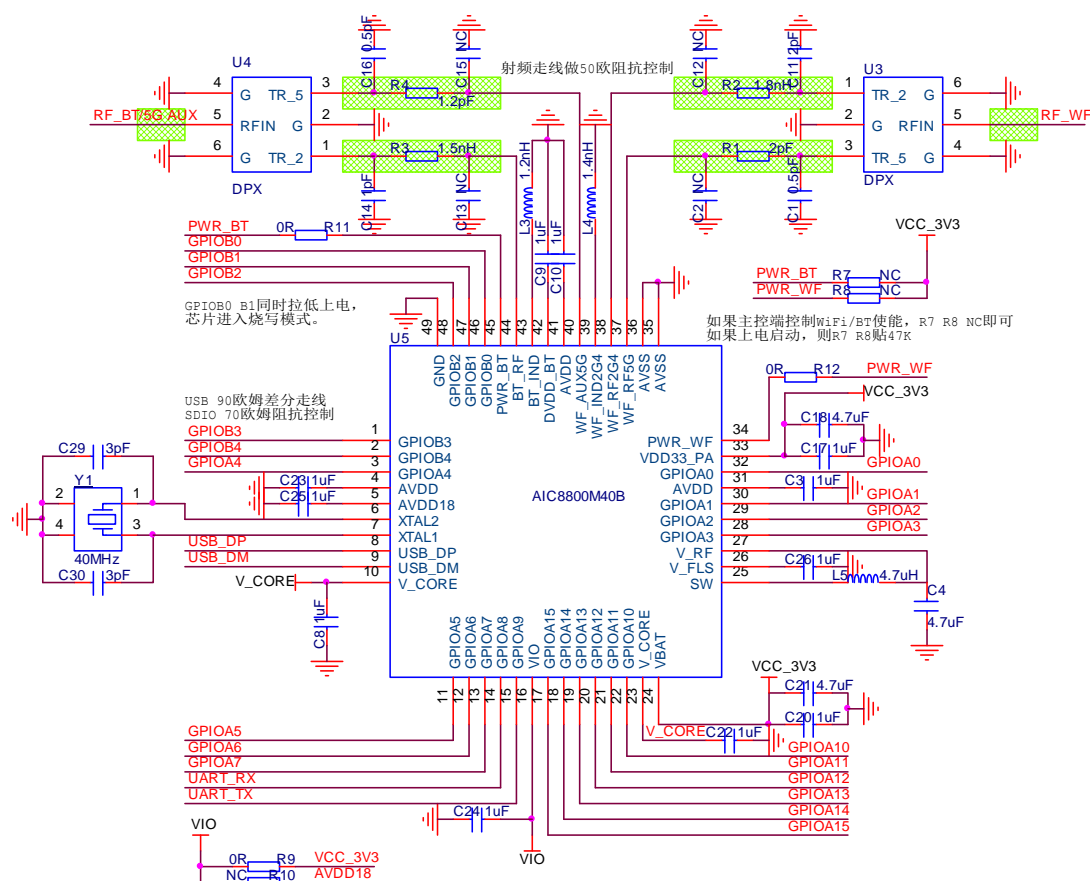


3.2.2 单天线设计

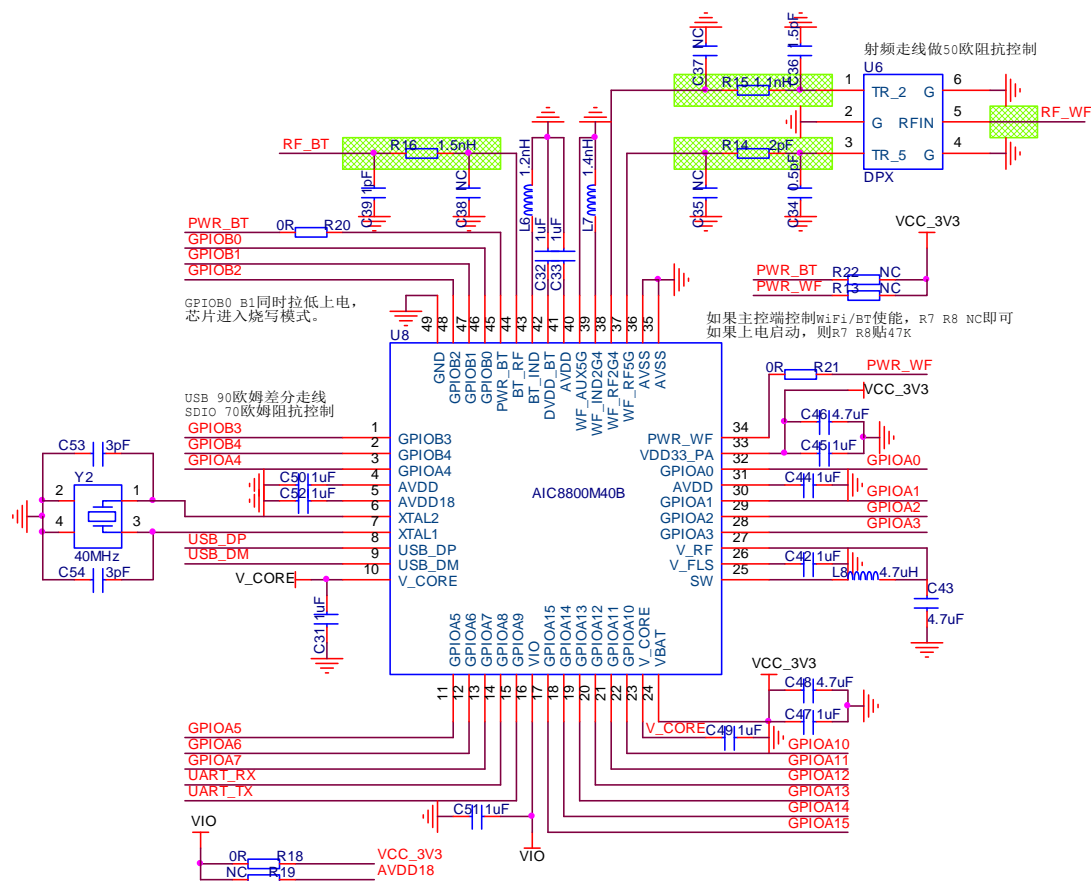


3.3 AIC8800M40B

3.3.1 双天线设计

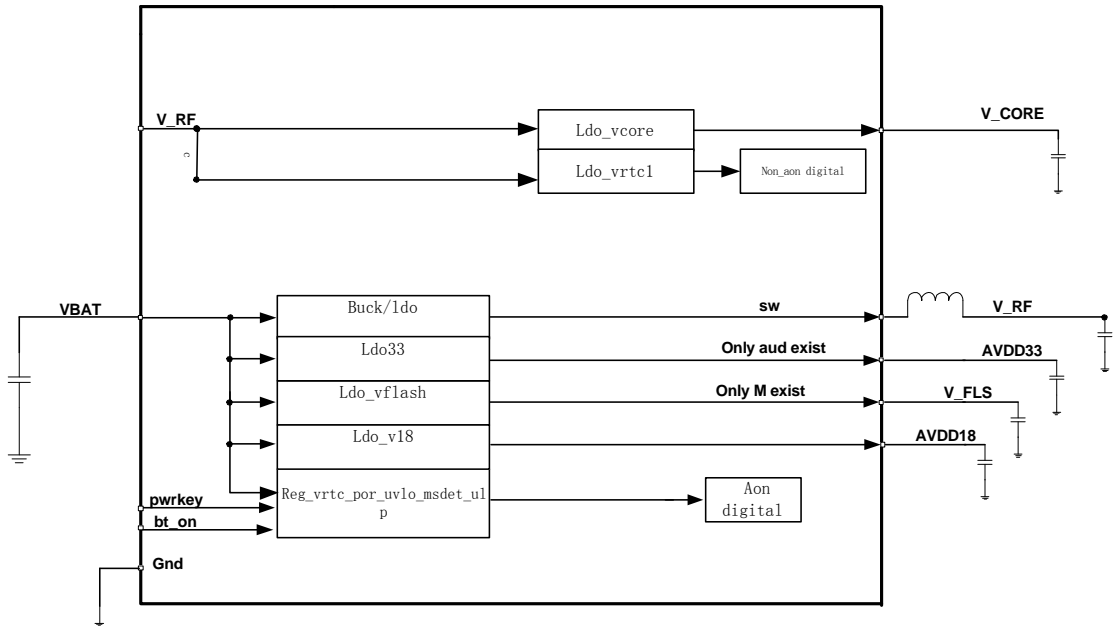


3.3.2 双天线设计



4 电源

AIC8800M80/M80F/M40B 内置 PMU 电源模块，VBAT 输入范围 3.0V~3.6V，推荐使用 1A 驱动能力的电源芯片来供电。



PIN NAME	Support Mode	DESCRIPTION
SW	DC-DC/LDO	输出 1.3V，给 V_RF 供电
V_CORE	LDO	输出 0.9V，给 V_CORE 供电
DVDD_BT	LDO	输出 1.15V，给 BT 内部供电
AVDD18	LDO	输出 1.8V，给内部电路供电
V_FLS	LDO	输出 1.6~3.3V，给内部（M80/M40B）/外接（M80F）flash 供电

对于 SW 管脚，DC-DC 模式下，电感规格要求:电感值 $L=4.7\mu H$ ，饱和电流 $I_{sat} \geq 250mA$ ，直流阻抗 $R_{DC} \leq 300m\Omega$ 。

Table4-1 验证测试电感列表

Manufacturer	Type	Value	Package	Sat Current	DC Resistance
muRata	LQM21PN4R7MGH	4.7uH	0805	270mA	275mΩ

4.1 数字电源

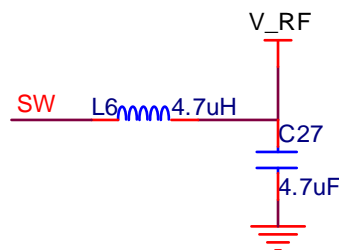
AIC8800M80/M80F/M40B 管脚 10 和 23 即 V_CORE，用来给芯片内核供电，供电方式为使用 LDO 模式内供，管脚需外接 1uF 去耦电容，电容尽可能靠近管脚，外部需要把两个管脚连接，增加电源连接可靠性。

4.2 模拟电源

AIC8800M80/M80F/M40B 管脚 5、25、27、26、33、42 即 AVDD18、SW、V_RF、V_FLS、VDD33_PA、DVDD_BT，其中 V_RF、VDD33_PA 是输入管脚，V_RF 通过 SW 输出来供电，VDD33_PA 需要外部 3.3V 输入，其余均为输出管脚。

4.2.1 V_RF

V_RF 管脚用来给射频模块等电路供电，供电方式为使用 SW 内供，推荐 DC-DC 模式，电感值推荐 4.7uH，饱和电流 $I_{sat} \geq 250\text{mA}$ ，直流阻抗 $R_{DC} \leq 300\text{m}\Omega$ 连接方式见下图。



4.2.2 SW

SW 管脚为输出管脚，支持 DC-DC/LDO 模式，推荐使用 DC-DC 模式输出，按上图电路连接，给芯片 V_RF 管脚供电，电感选择需要满足前述指标要求。

4.2.3 VDD33_PA

VDD33_PA 管脚用来给 WiFi PA 模块电路供电，供电范围 3.3V~3.6V，此管脚需要接两个去耦电容，避免电源上干扰信号对 WiFi PA 造成影响。

由于此管脚负责 WiFi PA 供电，最大功率发射时，VDD33_PA 需要满足峰值电流至少 500mA 的供电能力，如果希望比较高的发射功率，建议供电芯片预留 1A 的供电能力。同时

电源纹波建议 10mV 以内，避免纹波过大造成射频性能恶化，采用外供电方案需要考虑电源驱动能力以及纹波。

4.2.4 AVDD18

AVDD18 管脚用来给 EFUSE 模块等电路供电，该管脚为输出管脚。外接 1uF 去耦电容，当 VIO 采用 1.8V 电压时，可以用该电源供电。

4.2.5 DVDD_BT

DVDD_BT 是用来给 BT 射频及 PA 供电，为内部电源管脚，外接 1uF 去耦电容。

4.2.6 V_FLS

V_FLS 用来给 flash 供电，对于 M80 和 M40B，flash 内置，该管脚只需接 1uF 去耦电容。对于 M80F，flash 外置，该管脚用来给外接 flash 供电。电压范围分两个区间 1.6v~2.2v, 2.8~3.3v。

4.3 VIO

VIO 用来选择 IO 管脚电平，AIC8800M80/M80F/M40B 支持 1.8V/3.3V IO 电平，单个 GPIO 最大驱动电流 10mA。管脚附近需加 1uF 去耦电容。VIO 采用外部供电，电压与主控保持一致。

Table 4-3-1 VIO 电压阈值

VIO	电平状态	GPIO 阈值
1.8V	0->1	1.18V
1.8V	1->0	0.59V
3.3V	0->1	2.62V
3.3V	1->0	0.44V

4.4 PWRKEY

AIC8800M80 的 PWRKEY 有两根管脚，分别是 PWR_WF，PWR_BT，二者是或的关系，拉高一根即可实现开机，管脚芯片内部有 200K 下拉电阻，推荐 47K 上拉电阻，管脚阈值如下表：

Table 4-4-1 PWRKEY 阈值

PWRKEY	电平状态	阈值
High	0->1	1.125V
Low	1->0	0.625V

Table 4-4-2 PWRKEY 功能

PWRKEY Function	Discription
开机	关机状态下拉高 8ms 硬件开机，达到开机时间要求后，可以拉低，不影响系统运行
关机	开机状态下拉高一定时间实现软件关机，时间可软件定义，并且关机可选是否关闭 RTC 电路，默认选择关闭 RTC 电路。
长按	开机状态下拉高一定时间硬件 Reset 或硬件关机重启，默认关闭此功能，需要软件配置打开

5 上电时序

AIC8800M80/M80F/M40B 上电时序如下图：

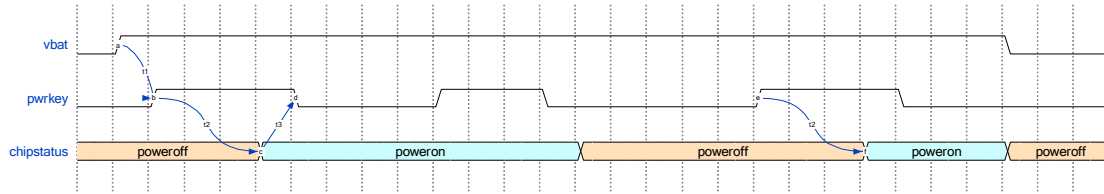


Figure 5-1 AIC8800M80/M80F/M40B 上电时序

t1: VIO's power on time \geq VBAT's

t2: power key's high time \geq VIO's +200us

t3: chip all power on ready time \geq power key high time + 8ms

t4: pwrkey pull low to chip all power off time \geq 6ms

6 晶体

6.1 Colpitts mode

AIC8800M80/M80F 采用 40MHz 晶体提供时钟，内置起振电路，采用的是 Colpitts 模式设计，晶体一根管脚接到 XTAL0，其余管脚接地，该模式下晶体输入管脚不能接负载电容。推荐晶体负载电容 10pf，精度±10ppm，TS≥10ppm/pF。

芯片内部可调电容分为粗调和细调，粗调调节范围是 0x00~0x1F，默认值为 0x18，细调调节范围是 0x00~0x3F，默认值为 0x1F。

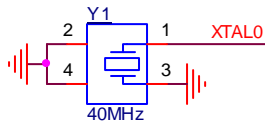
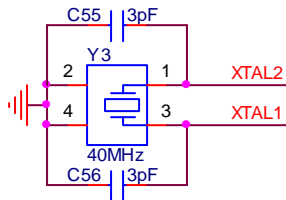


Table6-1 验证晶体列表

Manufacturer	Type	Package	ΔF	TC	CL	ESR	TS
HOSONIC	E1SB40E001H02E	2016	± 10	± 10	10pF	35	11.5
HOSONIC	E3SB40E001H00E	3225	± 10	± 10	10pF	25	18
惠伦	3S40000161	3225	± 10	± 20	10pF	40	13.64
惠伦	9S40000013	2016	± 10	± 15	10pF	60	11.5
扬兴	XL7A4K1MI-111WIF-40M	2016	± 10	± 20	10pF	80	11
扬兴	XL2A4K1MI-111WIF-40M	3225	± 10	± 20	10pF	40	11

6.2 正常模式

AIC8800M40B 采用 40MHz 晶体提供时钟，内置起振电路，推荐使用负载电容 10pf 以内的晶体，晶体连接方式如下图：



7 I/O 接口及 Flash

AIC8800M80/M80F/M40B 支持 1.8V/3.3V 可编程 GPIO，并且支持 USB2.0、SDIO3.0、SPI、I2C、I2S、PCM、UART 等多种接口，支持 PWM 输出，支持外接 LCD。

Table 7-1 管脚复用定义

		Function Mode														
PAD Name	Voltage	Analog Func 0	Ext. Func	Function 0	Function 1	Function 2	Function 3	Function 4	Function 5	Function 6	Function 8	Function 9	Function 10	Function 11	Function 12	Function 13
GPIOA0	1.8/3.3V			swclk	gpioa_0	i2cm_scl	wf_ext_pa_ctl_0	pcm_fsync	pta_ant_sw_0	i2s_lrck_0		spi_lcd_sck	pwm_0	pcm_dout	pcm_clk	bt_uart_cts
GPIOA1	1.8/3.3V			swd	gpioa_1	i2cm_sda	wf_ext_pa_ctl_1	pcm_clk	pta_ant_sw_1	i2s_bck_0		spi_lcd_csn_0	pwm_1	pcm_din	pcm_dout	bt_uart_rts
GPIOA2	1.8/3.3V			gpioa_2	uart0_rx	uart1_rx	wf_ext_pa_ctl_2	pcm_din		i2s_dat_in_0	pta_ant_sw_0	spi_lcd_di	pwm_2	pcm_fsync	pcm_din	bt_uart_rx
GPIOA3	1.8/3.3V			gpioa_3	uart0_tx	uart1_tx	wf_ext_pa_ctl_3	pcm_dout		i2s_dat_out_0	pta_ant_sw_1	spi_lcd_do		pcm_clk	pcm_fsync	bt_uart_tx
GPIOA4	1.8/3.3V			gpioa_4	uart0_cts	uart1_cts	uart1_rx	bt_uart_rx		codec_mclk	i2s_bck_0	spi_lcd_cd				pcm_fsync
GPIOA5	1.8/3.3V			gpioa_5	uart0_rts	uart1_rts	uart1_tx	bt_uart_tx			i2s_lrck_0	spi_lcd_fmark				pcm_din
GPIOA6	1.8/3.3V			gpioa_6	i2cm_scl	uart2_rx	uart1_cts	bt_uart_cts				spi_lcd_csn_1				pcm_dout
GPIOA7	1.8/3.3V			gpioa_7	i2cm_sda	uart2_tx	uart1_rts	bt_uart_rts			aon_pwm_0	spi_lcd_csn_2				pcm_clk
GPIOA8	1.8/3.3V			uart0_rx	gpioa_8	uart2_cts										
GPIOA9	1.8/3.3V			uart0_tx	gpioa_9	uart2_rts		aon_pwm_1				bt_uart_cts				
GPIOA10	1.8/3.3V		sdio_data1	gpioa_10	uart1_rx	bt_uart_rx	spi_lcd_sck	bt_uart_cts		sdmmc_data_2	i2s_bck_1	uart2_rx	bt_uart_cts	bt_uart_rts		
GPIOA11	1.8/3.3V		sdio_data0	gpioa_11	uart1_tx	bt_uart_tx	spi_lcd_csn_0	bt_uart_rts		sdmmc_data_3	i2s_lrck_1	uart2_tx	bt_uart_rts	bt_uart_rx		
GPIOA12	1.8/3.3V		sdio_clk	gpioa_12	uart1_cts	bt_uart_cts	spi_lcd_di	aon_pwm_2	pcm_fsync	sdmmc_cmd	i2s_dat_in_1	uart2_cts	bt_uart_rx	bt_uart_tx		
GPIOA13	1.8/3.3V		sdio_cmd	gpioa_13	uart1_rts	bt_uart_rts	spi_lcd_do	pwm_0	pcm_clk	sdmmc_clk	codec_mclk	uart2_rts	bt_uart_tx	bt_uart_cts		
GPIOA14	1.8/3.3V		sdio_data3	gpioa_14	i2cm_scl		spi_lcd_cd	pwm_1	pcm_din	sdmmc_data_0	i2s_dat_out_1	pta_ant_sw_0	uart0_rx			
GPIOA15	1.8/3.3V		sdio_data2	gpioa_15	i2cm_sda		spi_lcd_fmark	pwm_2	pcm_dout	sdmmc_data_1	i2s_dat_in_0	pta_ant_sw_1	uart0_tx			
GPIOB0	1.8/3.3V			gpiob_0	pcm_fsync	i2cm_scl	spi_lcd_sck	aon_pwm_0	wf_ext_pa_ctl_0							
GPIOB1	1.8/3.3V			gpiob_1	pcm_clk	i2cm_sda	spi_lcd_csn_0	aon_pwm_1	wf_ext_pa_ctl_1							
GPIOB2	1.8/3.3V	adc(0~1.2v)		gpiob_2	pcm_din		spi_lcd_di	aon_pwm_2	wf_ext_pa_ctl_2							
GPIOB3	1.8/3.3V	adc(0~1.2v)		gpiob_3	pcm_dout		spi_lcd_do		wf_ext_pa_ctl_3							
GPIOB4	1.8/3.3V			gpiob_4	pwm_0		bt_uart_rx									
GPIOB5	1.8/3.3V			gpiob_5	pwm_1		bt_uart_tx									
GPIOB6	1.8/3.3V			gpiob_6	pwm_2		bt_uart_cts									
USB_DP	3.3V		gpioa_16													
USB_DM	3.3V		gpioa_17													

注：以上为全部 GPIO IOMUX 分配表，需结合不同型号芯片实际封装情况应用

Table7-1 是 GPIO 的管脚复用定义,可根据需求选择不同 function。其中有几点需要注意:

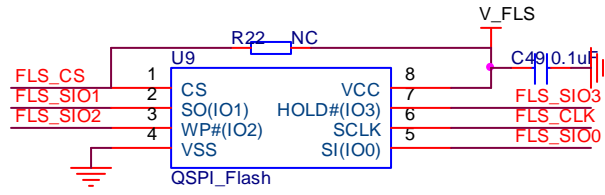
- GPIOA8 只能用作输入,不能用作输出。
- GPIOA8、GPIOA9 默认作为芯片 UART 口,用来烧写程序以及 debug,波特率 921600。
- 芯片 USB 管脚也用作 GPIO, USB_DP USB-DM 分别对应 GPIOA16 GPIOA17, 电压不随 VIO 变化, 固定 3.3V, 因此, 这 2 个管脚也只能用 3.3V, 并且, 这两个 IO 必须设置成同向, 即同时输入或者同时输出。
- GPIO 内置 50K 上拉和 50K 下拉。
- ADC 应用当被测电压低于 1.15V 时, 可直接测量。当被测电压高于 1.15V 时, 需要做分压处理。
- SDIO 应用时, 对吞吐量要求高建议 VIO 用 1.8V, 不仅功耗低, 速度也快。
- 设计中用不到的 IO, 状态不是内部上拉, 可以考虑接地, 增加接地可靠性。

Table 7-3 AIC8800M80 GPIO 上电初始默认功能及状态

GPIO	Function	I/O	PULL
GPIOA0	swclk	I	UP
GPIOA1	swd	I/O	UP
GPIOA2	gpioa_2	I/O	DN
GPIOA3	gpioa_3	I/O	DN
GPIOA4	gpioa_4	I/O	DN
GPIOA5	gpioa_5	I/O	DN
GPIOA6	gpioa_6	I/O	DN
GPIOA7	gpioa_7	I/O	DN
GPIOA8	uart0_rx	I	UP
GPIOA9	uart0_tx	O	OFF
GPIOA10	gpioa_10	I/O	DN
GPIOA11	gpioa_11	I/O	DN
GPIOA12	gpioa_12	I/O	DN
GPIOA13	gpioa_13	I/O	DN
GPIOA14	gpioa_14	I/O	DN
GPIOA15	gpioa_15	I/O	DN
GPIOB0	gpioa_16	I/O	UP
GPIOB1	gpioa_17	I/O	UP
GPIOB2	gpioa_18	I/O	DN
GPIOB3	gpioa_19	I/O	DN
USB_DP	gpioa_16	I/O	OFF
USB_DM	gpioa_17	I/O	OFF

Note: I : 输入 O : 输出 I/O: 输入/输出, 默认输入
 DN: 下拉 UP: 上拉 OFF: 浮空

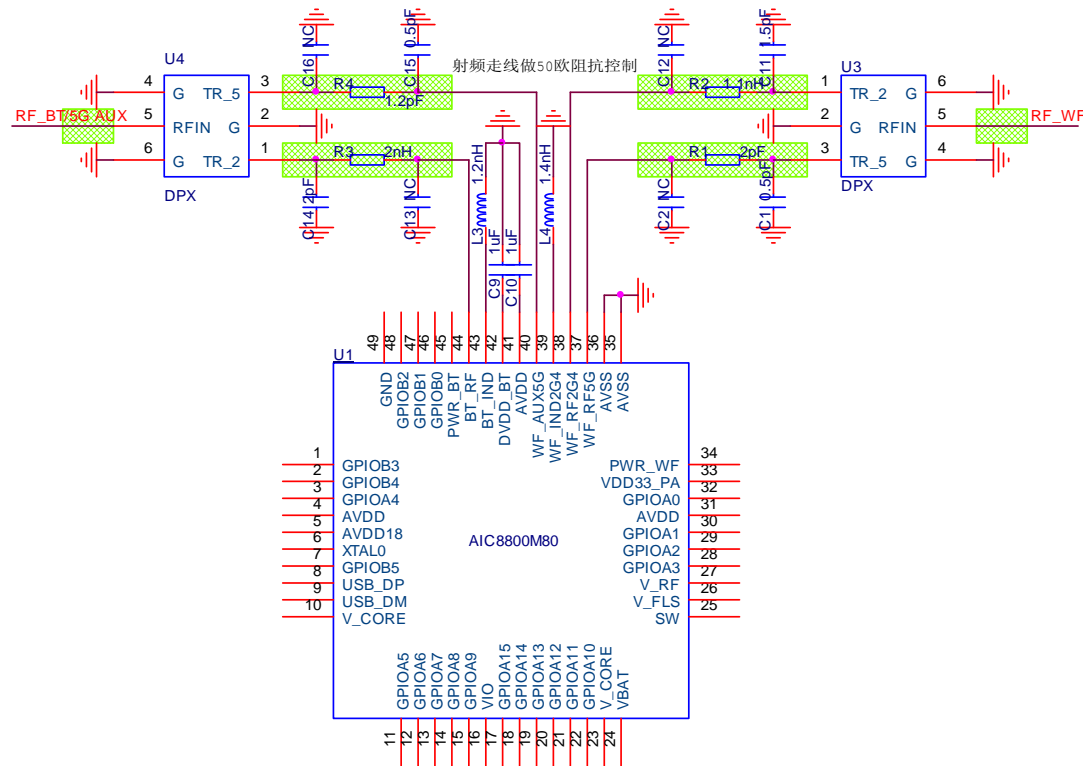
对于 AIC8800M80F，该芯片预留 QSPI 接口，用于外接 flash，以便客户在 flash 容量上有更加灵活的选择。支持 8~128Mbits，flash 供电用芯片 V_FLS 管脚提供，连接方式如下图：



8 射频

射频输出通路需要预留 π 型网络，匹配网络尽可能靠近芯片。

双天线设计推荐如下：2.4G 和 5.8G 通过双工器合成一路，BT 和 WF_AUX5G 通过双工器合成一路，需要做 50ohm 阻抗。BT 也可预留 bypass 双工的选项，以便 WF_AUX5G 不用的情况下节省成本。双天线射频部分连接方式如下图：



单天线设计则是 BT 通过内部开关走到 WF_RF2G4 口，需要 BT_RF 接地，BT_IND 串 0R 接地。单天线设计或者 WF_AUX5G 不考虑预留的情况下，WF_AUX5G 和芯片热焊盘接一起，WF_IND2G4 的电感对地管脚接到 WF_AUX5G。单天线射频连接方式如下图：

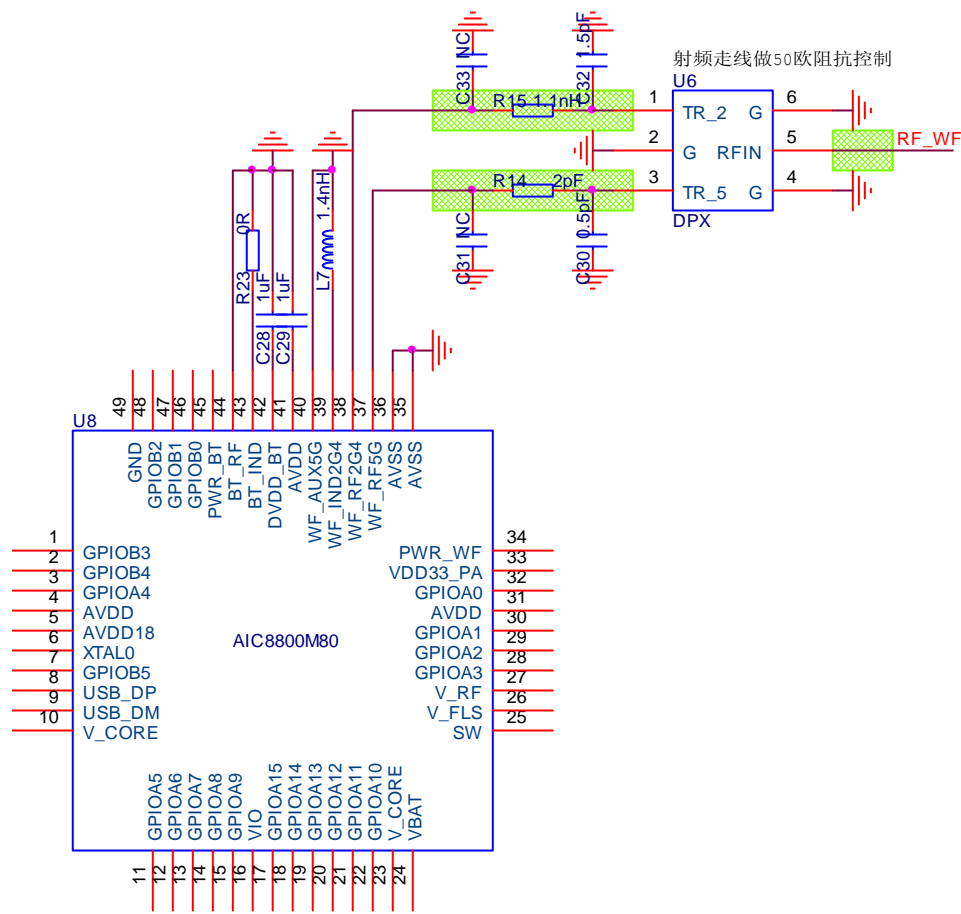


Table 8-1 双工器验证型号

Manufacturer	Type
顺洛	SLFD18-5R950G-07T
飞特尔	FLT18D24254959D-3299A

9 PCB 布线

AIC8800M80 建议采用四层板设计

AIC8800M80 放在 TOP 层设计，层叠结构推荐如下：

- L1-TOP 层 AIC8800M80 所处层及 RF 走线层
- L2-GND 层 完整的 GND 平面参考层
- L3-POWER 层 电源及其他信号走线层
- L4-BOTTOM 层 电源及其他信号走线层

AIC8800M80 放在 BOTTOM 层设计，层叠结构推荐如下：

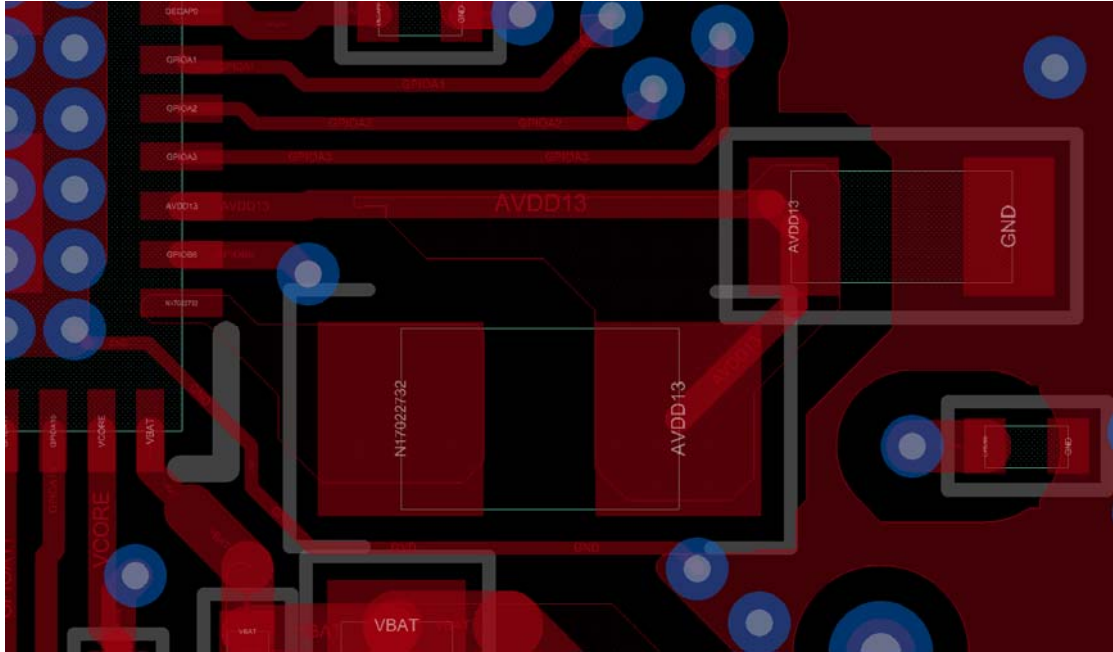
- L1-TOP 层 电源及其他信号走线层
- L2-POWER 层 电源及其他信号走线层
- L3-GND 层 完整的 GND 平面参考层
- L4-BOTTOM 层 AIC8800M80 所处层及 RF 走线层

9.1 电源

- a) 电源相关的 Decap 位置距离芯片 Pin 尽可能近，走线要粗。减少 PCB 上引线的 ESR，可降低电源网络的 IR Drop，为芯片正常工作提供好的供电环境。
- i. VBAT 近端外接 4.7uF+1uF 电容（最少有一个 4.7uF 电容），PCB 走线尽可能粗
 - ii. VDD33_PA 近端外接 4.7uF+1uF 电容（最少有一个 4.7uF 电容），PCB 走线尽可能粗
 - iii. 两个 V_Core 近端各接 1uF 电容，PCB 上引线互联（线宽 $\geq 8\text{mil}$ ）
 - iv. 三个 AVDD 近端各接 1uF 电容，电容 Pin 到芯片 Pin 的线宽 $\geq 8\text{mil}$
 - v. DVDD_BT 近端接 1uF 电容，电容 Pin 到芯片 Pin 的线宽 $\geq 8\text{mil}$
 - vi. AVDD18 近端接 1uF 电容，电容 Pin 到芯片 Pin 的线宽 $\geq 8\text{mil}$
 - vii. VIO 近端接 1uF 电容，电容 Pin 到芯片 Pin 的线宽 $\geq 8\text{mil}$

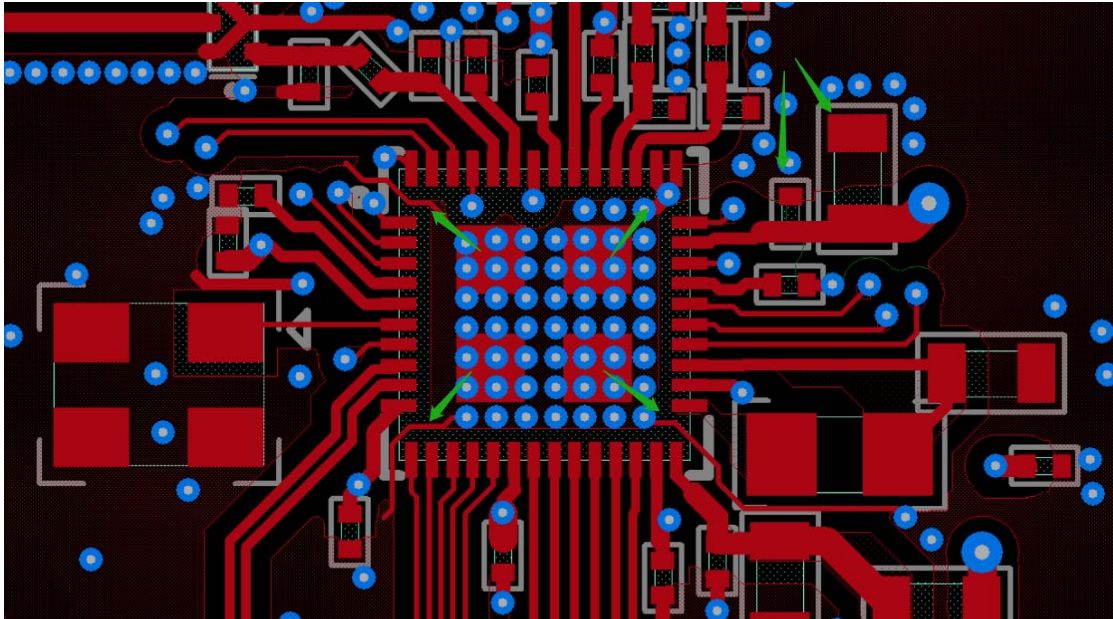


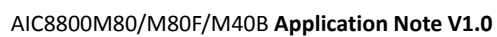
b) DC-DC 电感靠近 SW 引脚放置，电感另一端接 4.7uF 电容，电容走线出来到 V_RF，电感两个 Pin 之间不要有 GND 铜皮，更不要走别的信号线。电感两端的走线要粗，电容到 V_RF 的走线也尽可能粗，也可以用部分铜皮。



c) 电源布线要注意避开开关电源电感，晶体以及射频信号等，避免信号干扰电源造成芯片射频性能恶化。

- d) 芯片下方的 EPAD，需要尽可能多的打地孔连接到地平面，使接地可靠的同时可以增加散热效果。同时要结合生产状况调整热焊盘加工工艺，降低贴片带来的生产不良。EPAD 通过芯片四个角走地线与表层地连接到一起，增加接地可靠性，尤其 pin35 36，这个位置便于热焊盘和表层地做连接，热焊盘通过 35 36Pin AVSS 和同层的 GND 平面互联，可以改善 5G 匹配元件到芯片的地回路，有利于射频性能稳定。VDD33_PA 的去耦电容的 GND 引脚按示例图的方式摆放，同样能改善 VDD33_PA 电源和芯片地的回路，可有效降低电源噪声对射频的影响。



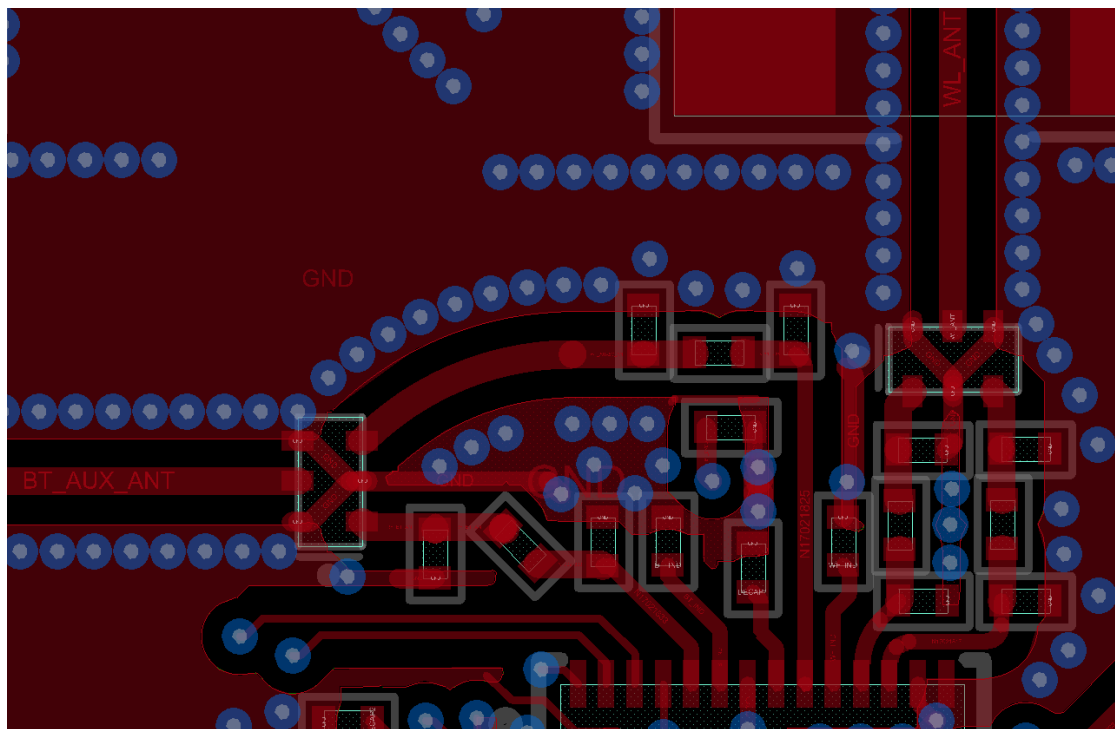


晶体的 XTAL 信号对地电容越小越好，多层板通常在 XTAL Pad 下方无其他信号走线的地方挖空地平面来减小 XTAL 对地的寄生电容，只保留最下边的一层地（或者下方有其他信号线的情况，保留到信号走线的上一层地）。



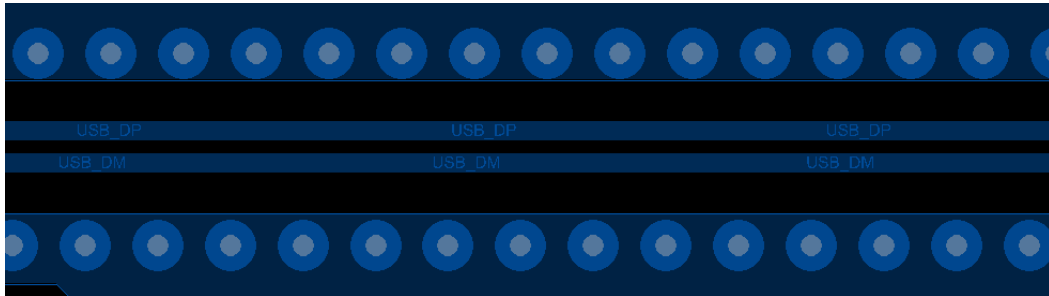
9.3 射频

- 射频走线及器件同层附近及相邻层不要有其他信号，避免射频信号被干扰。
- 射频信号匹配都采用 Pi 型网络匹配，靠近芯片端放置（优先顺序 WF_5G>WF_2G4>WF_AUX5G>BT）。
- 走线单端阻抗控制在 $50\Omega \pm 10\%$ 内，走线采用圆弧走线，不要打孔穿层。避免出现线宽突然变宽变窄情况，可使用渐变线过度。
- BT_IND、DVDD_BT、WF_IND2G4、AVDD 等相关的电容电感靠近芯片端放置。BT_IND、WF_IND2G4 和射频接收相关，走线长一点相应的外接电感的感值就要小一些，芯片所需电感量预估在 2nH 以内，所以这段走线不能太长。DVDD_BT、AVDD 为射频相关电路的 Decap，走线长的话影响 IR Drop，进而影响射频工作的一些性能，相对于外部电感来说，长度上稍微宽松点，尽量还要保证 ESR 小。
- 为了避免 IO 上的干扰影响射频，最好是射频和其他 IO 之间有地隔离，如 D80 芯片 PWR_BT 信号线需要外接时，PWR_BT 从芯片出来最短距离打孔走其他层，并在 PWR_BT 信号中间串一颗 47K 电阻。



9.4 信号

- a) USB 差分走线，差分阻抗控制在 $90 \pm 10\%$ 内，相邻层最好不要走别的信号，做好 ESD 防护。USB 信号走线示意图：



- b) SDIO 做等长处理，走线单端阻抗控制在 $70 \Omega \pm 10\%$ 内，SDIO_CLK 走线量测最好包地处理，面积有限时，保证与旁边线间距 2 倍线宽。

9.5 接地

- a) 芯片中心焊盘下方多打孔，保证接地牢固。
b) 芯片层未用到的 IO（初始状态为下拉）接地处理，增加芯片散热焊盘和同平面地连接可靠性。（二层板时该条尤为重要）