实验四 触发器

一、实验目的

1. 熟悉并掌握R-S、D、J－K触发器的特性和功能测试方法。

2. 学会正确使用触发器集成芯片。

3. 了解不同逻辑功能FF相互转换的方法。

二、实验仪器及材料

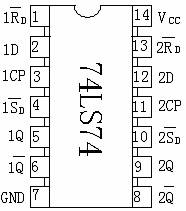
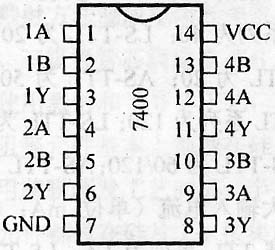
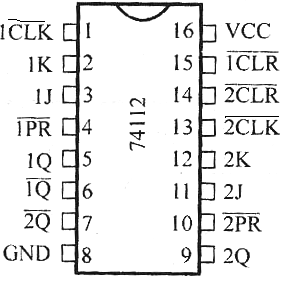
**1. 实验仪器设备：**双踪示波器、数字万用表、数字电路实验箱

**2. 器件**

74LS00 二输入端四与非门 1片

74LS74 双D触发器 1片

74LS112 双J-K触发器 1片



=置位

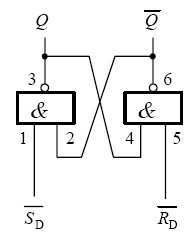
=复位

=CP 时钟

三、实验内容及步骤

**1. 基本RS触发器功能测试**：

两个TTL与非门首尾相接构成的基本RS触发器的电路。如图4.1所示。

（1）试按下面的顺序在S R 端加信号：

=0 =1

=1 =1

=1 =0

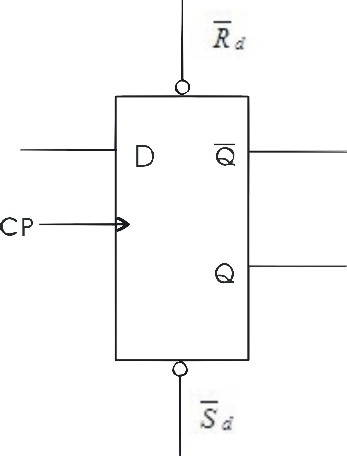
=1 =1

观察并记录触发器的Q、端的状态，将结果填入下表4.1中，并说明在上述各种输入状态下，RS执行的是什么逻辑功能？

图4.1 基本RS触发器电路

表4.1

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  |  | Q |  | 逻辑功能 |
| 0  1  1  0 | 1  1  0  0 | 1  1  0  1 | 0  0  1  0 | 置1  保持  置0  不定 |

（2）当、 都接低电平时，观察Q、 端的状态，当、同时由低电平跳为高电平时，注意观察Q、端的状态，重复3～5次看Q、端的状态是否相同，以正确理解“不定” 状态的含义。

**2. 边沿D触发器功能测试**

双D型正边沿触发器74LS74的逻辑符号如图4.2所示。

图中、端为异步置1端，置0端（或称异步置位，复位端），CP为时钟脉冲端。

试按下面步骤做实验：

（1）分别在、 端加低电平，观察并记录Q、端的状态。

图4.2 D触发器逻辑符号

（2）令、 端为高电平，D端分别接高，低电平，用点动脉冲作为CP，观察并记录Q端状态的变化。

（3）当＝＝1、CP＝0（或CP＝1），改变D端信号，观察Q端的状态是否变化？

整理上述实验数据，将结果填入下表4.2中。

表4.2

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | CP | D | Qn | Qn+1 |
| 0 1 | X | X | X | 1 |
| 1 0 | X | X | X | 0 |
| 1 1 |  | 0 | 0 | 0 |
| 1 | 0 |
| 1 1 |  | 1 | 0 | 1 |
| 1 | 1 |
| 1 1 | 0（1） | X | 0 | 0 |
| 1 | 1 |

**3. 负边沿J-K触发器功能测试**

双J－K负边沿触发器74LS112芯片的逻辑符号如图4.3所示。

自拟实验步骤，测试其功能，并将结果填入表4.3中

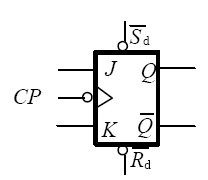


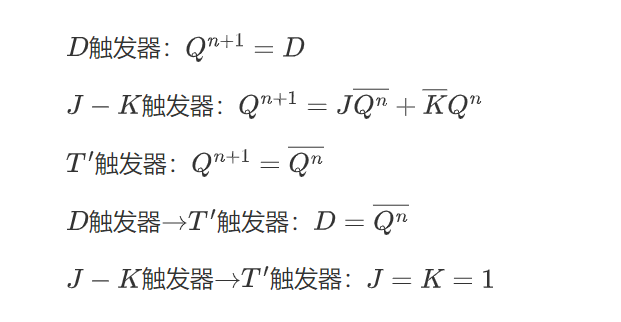
图4.3 J-K触发器逻辑符号

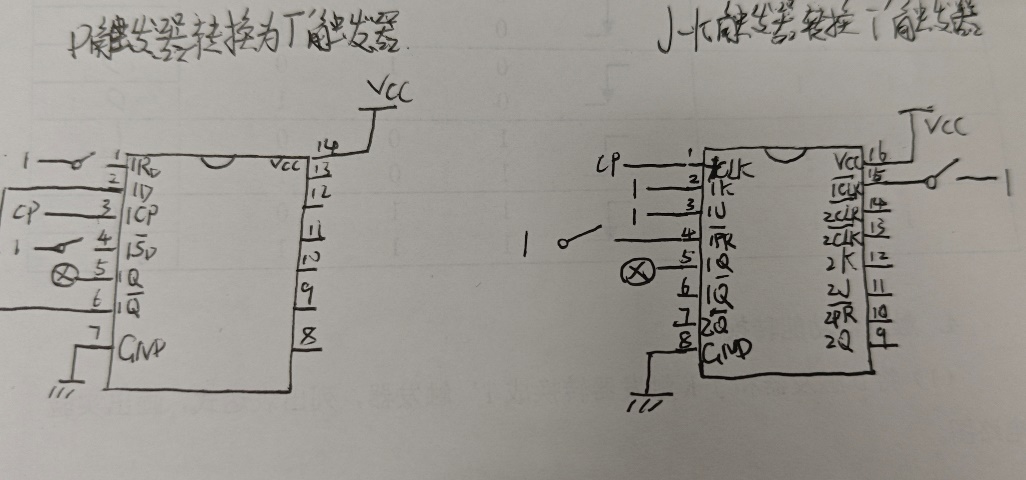
表4.3

|  |  |  |
| --- | --- | --- |
|  | CP J K Qn | Qn+1 |
| 0 1 | X X X X | 1 |
| 1 0 | X X X X | 0 |
| 1 1 | 0 0 0  0 0 1 | 0 |
| 1 |
| 1 1 | 0 1 0  0 1 1 | 0 |
| 0 |
| 1 1 | 1 0 0  1 0 1 | 1 |
| 1 |
| 1 1 | 1 1 0  1 1 1 | 1 |
| 0 |

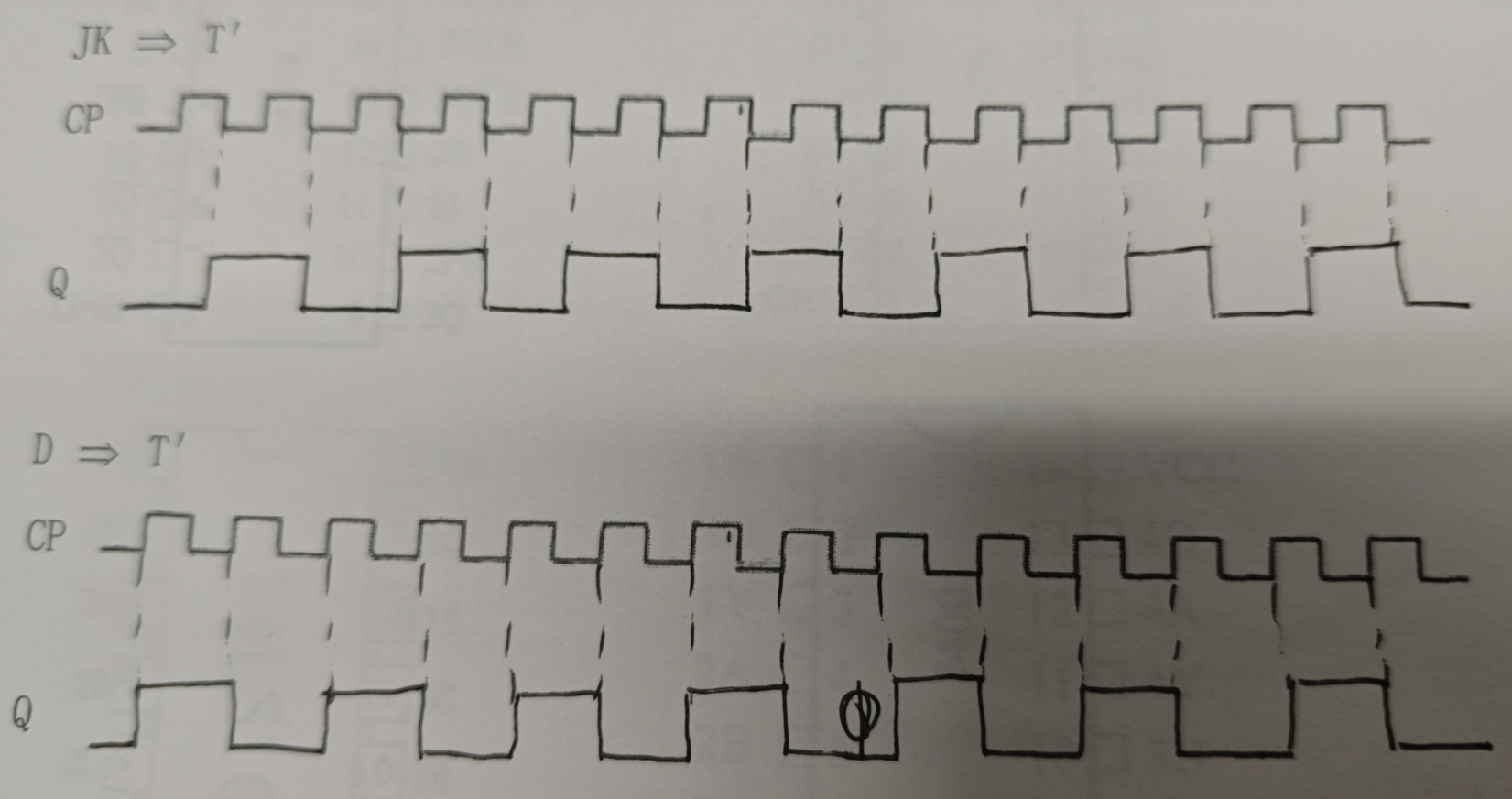
**4. 触发器功能转换**

（1）将D触发器和J-K触发器转换成T’触发器，列出表达式，画出实验电路图。





（2）接入连续脉冲，观察各触发器CP及Q端波形，比较两者关系。



（3）自拟实验数据表并填写之。

四、实验报告

1. 整理实验数据并填表。

2. 写出实验内容3、4的实验步骤及表达式。

3. 画出实验4的电路图及相应表格。

4. 总结各类触发器特点。

1. RS触发器（RS Latch）

特点：

输入信号：两个输入信号，分别为设定（Set, S）和复位（Reset, R）。

输出状态：两个输出状态，Q和反相输出‾Q。

逻辑功能：

当S=1且R=0时，Q被设定为1（‾Q=0）。

当S=0且R=1时，Q被复位为0（‾Q=1）。

当S=0且R=0时，保持当前状态。

当S=1且R=1时，状态不确定（通常避免这种情况）。

应用：用于简单的状态保持和控制电路。

2. D触发器（D Flip-Flop）

特点：

输入信号：一个数据输入（Data, D）和一个时钟信号（Clock, CLK）。

输出状态：一个输出状态，Q和反相输出‾Q。

逻辑功能：

在时钟上升沿（或下降沿）时，Q采样并保持D的值。

在时钟信号不变时，Q保持当前状态。

应用：用于数据同步和寄存器设计。

3. T触发器（T Flip-Flop）

特点：

输入信号：一个切换输入（Toggle, T）和一个时钟信号（Clock, CLK）。

输出状态：一个输出状态，Q和反相输出‾Q。逻辑功能：

在时钟上升沿（或下降沿）时，如果T=1，Q状态反转（Toggle）。

在时钟上升沿（或下降沿）时，如果T=0，Q保持当前状态。

应用：用于计数器和分频器电路。

4. T'触发器（T Prime Flip-Flop）

特点：

输入信号：类似于T触发器，但通过其他触发器（如D触发器）实现T触发器的功能。

输出状态：一个输出状态，Q和反相输出‾Q。逻辑功能：通过组合逻辑将D触发器转换为T触发器，实现切换功能。

应用：用于特定设计要求的计数和控制电路。

5. JK触发器（JK Flip-Flop）

特点：

输入信号：两个输入信号，J和K，以及一个时钟信号（Clock, CLK）。

输出状态：一个输出状态，Q和反相输出‾Q。

逻辑功能：

当J=1且K=0时，Q被设定为1。

当J=0且K=1时，Q被复位为0。

当J=1且K=1时，Q状态反转（Toggle）。

当J=0且K=0时，Q保持当前状态。

应用：用于更复杂的状态控制和计数电路。