单总线结构应用题

图1为某单总线结构的计算机框图， CPU内部采用单总线IBUS将寄存器和算术逻辑运算部件连接起来。图中GR为通用寄存器组，Y和Z为两个暂存器，分别暂存操作数和中间结果。A、B为ALU的两个输入端，并假定具有A＋B、A－B、A＋1、A－1等功能。

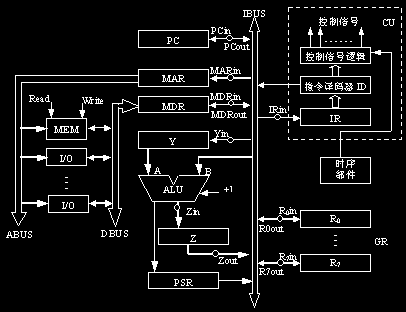


图1

写出执行加法指令 ADD（R2），R3（逗号前为源操作数，逗号后为目的操作数）的指令流程和控制信号序列。

|  |  |
| --- | --- |
| 操作流程 | 控制信号序列 |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |

答： 微程序如下：

|  |  |
| --- | --- |
| ADD (R2)，R3微程序 | |
| 操作流程 | 控制信号序列 |
| (1) (PC)→MAR，Read,PC→Y | PCout、MARin、Read、Yin |
| (2) (MDR)→IR, (Y)+1→Z | MDRout、IRin、A+1、Zin |
| (3) (Z) →PC | Zout、PCin |
| (4) (R2)→MAR，Read | R2out、MARin、Read |
| (5) (MDR)→Y | MDRout、Yin |
| (6) (Y)+(R3)→Z  (7) (Z) →R3 | R3out、A+B、Zin  Zout、R3in |