

Основы проектирования аппаратных ускорителей систем искусственного интеллекта

Лекция 1 - Введение



Лекция 1

План лекции

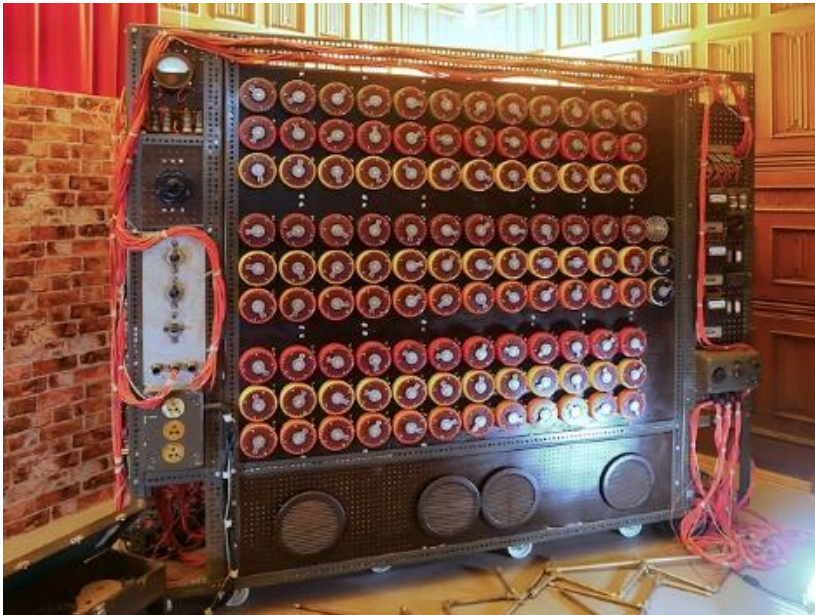
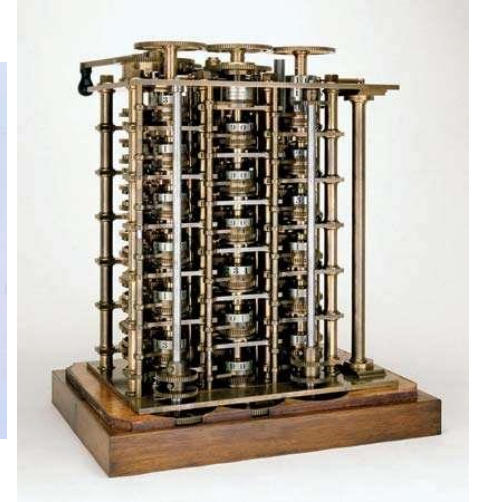
- Общие сведения о проектировании цифровых СБИС, средства автоматизации проектирования.
- Основные стратегии проектирования цифровых СБИС.

Общие сведения о проектировании цифровых СБИС

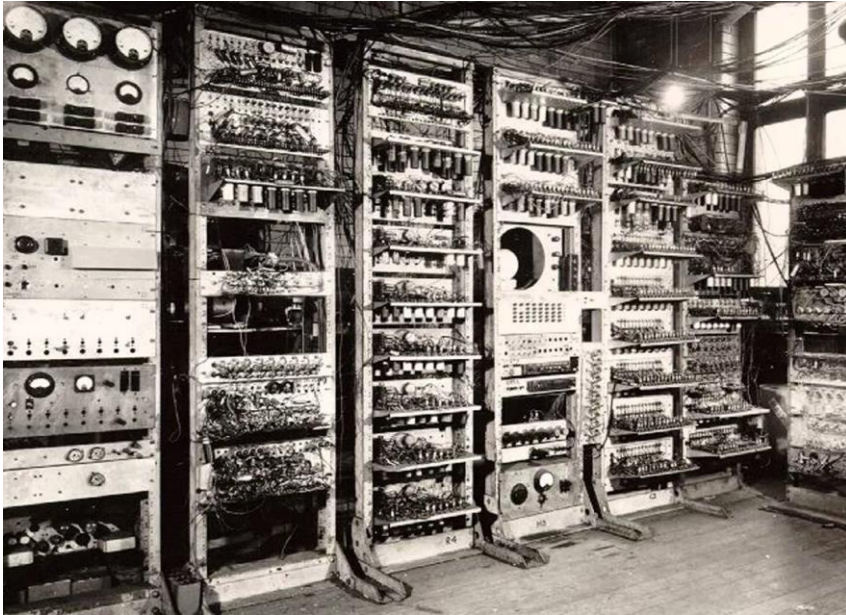
Лекция 1

Вычислительные устройства

Вычислительные устройства - прошлое



Вычислительные устройства - прошлое



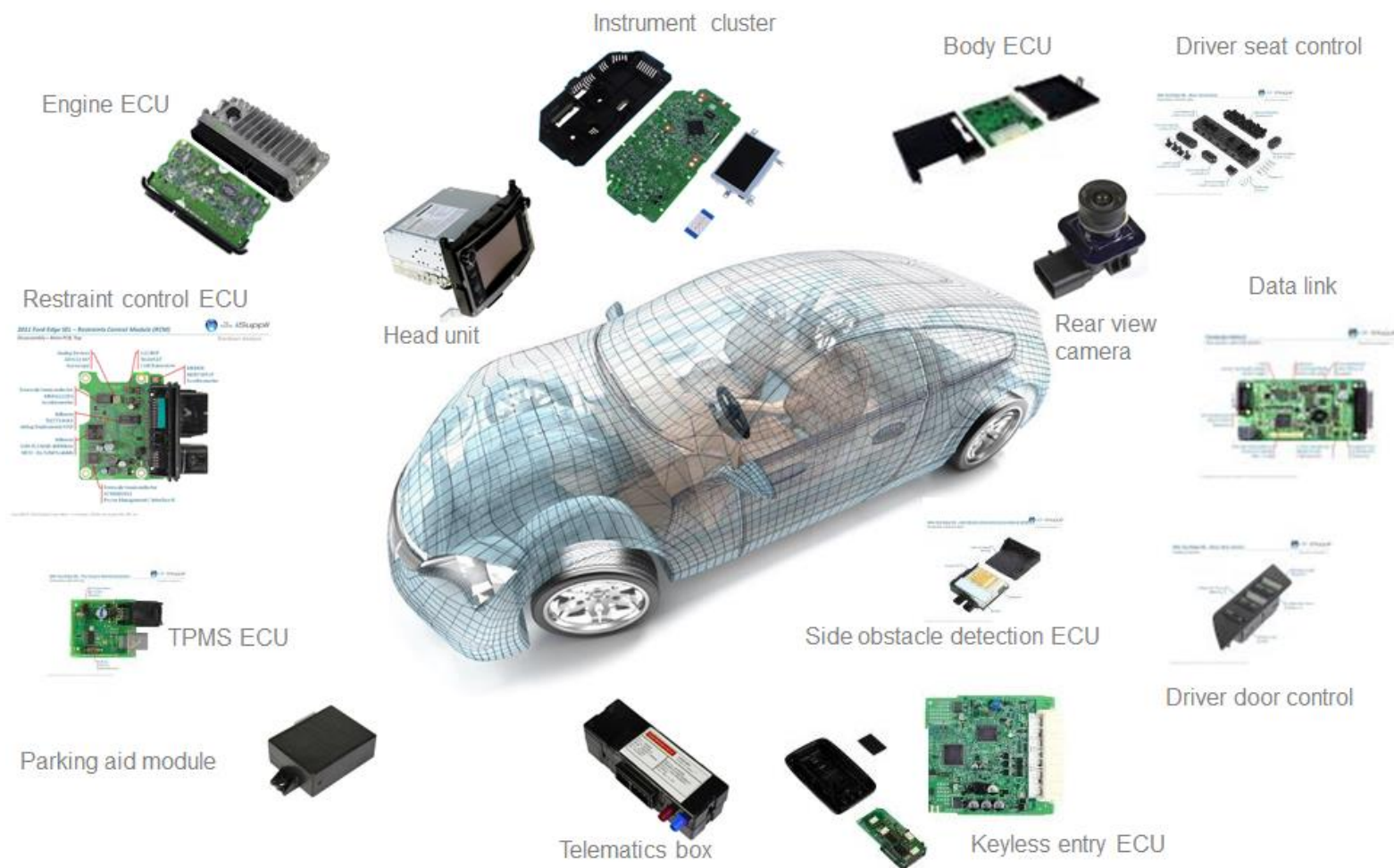
Вычислительные устройства - настоящее



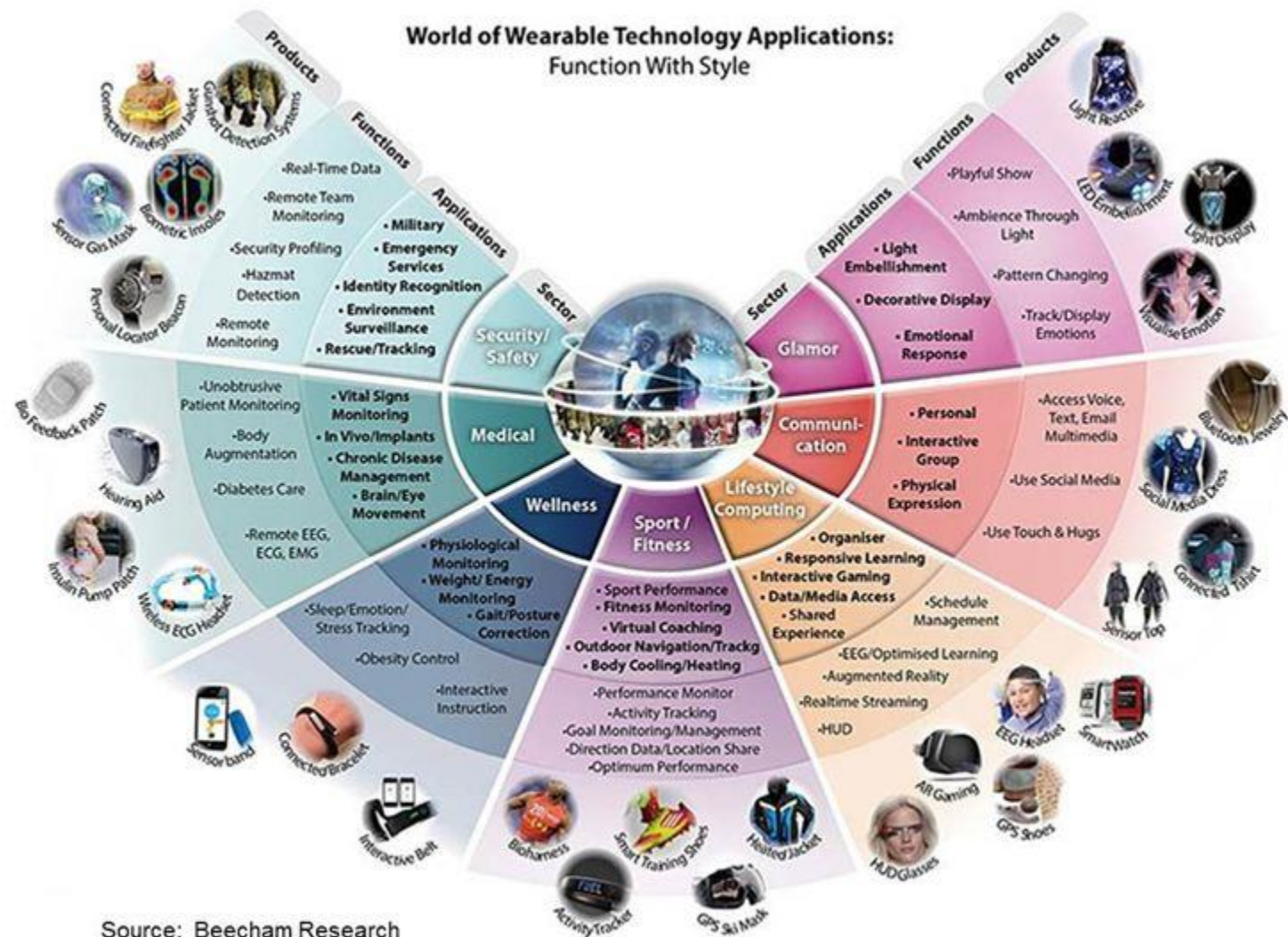
Суперкомпьютеры



Встраиваемые устройства

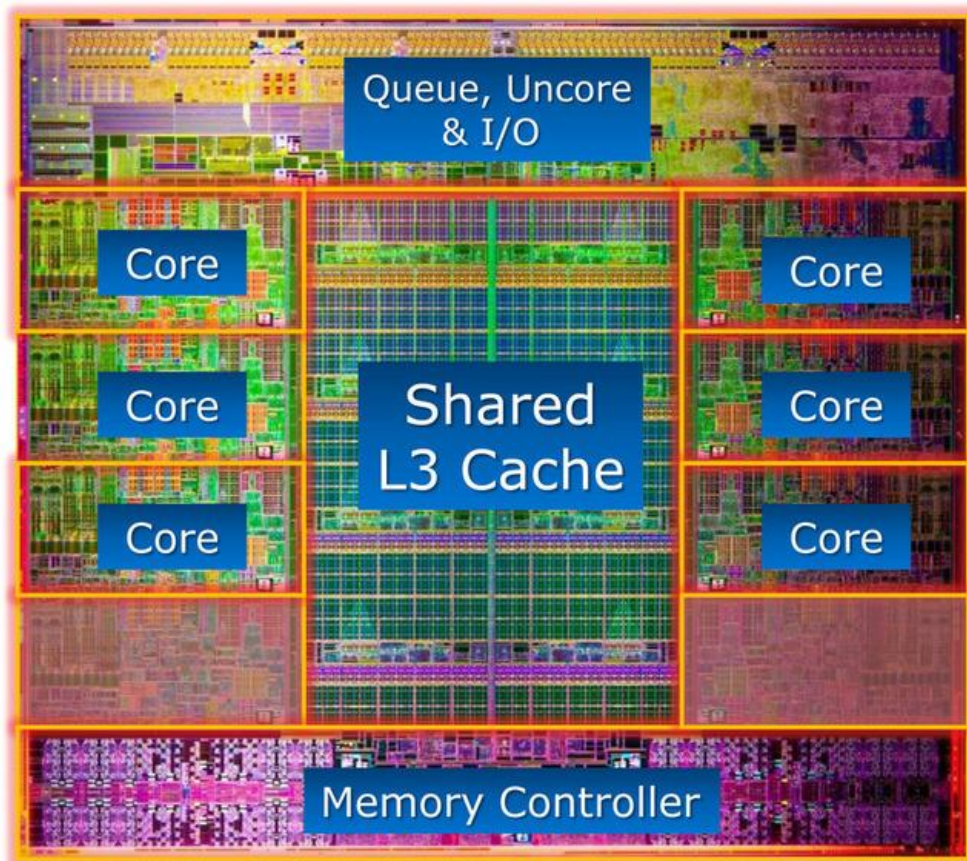


«Носимая» электроника

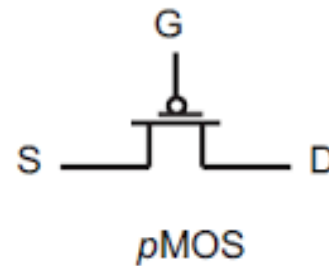
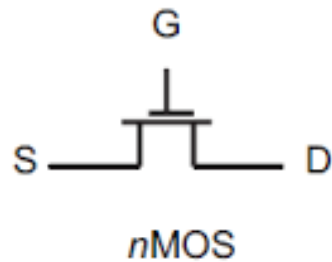
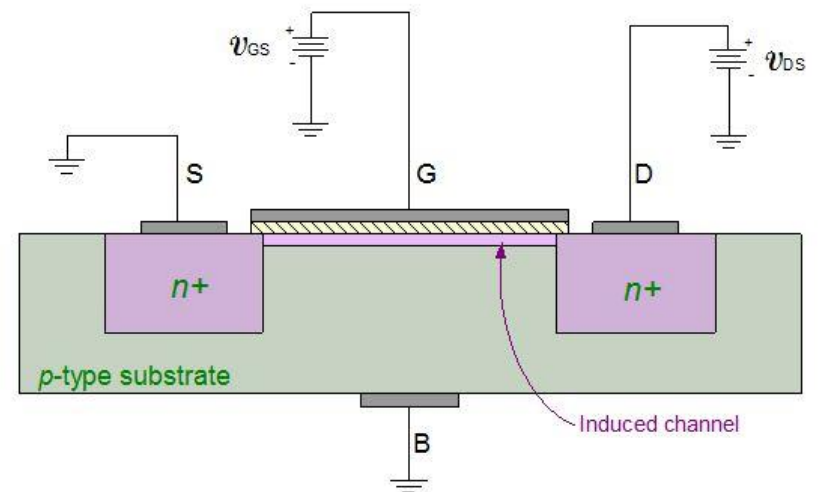
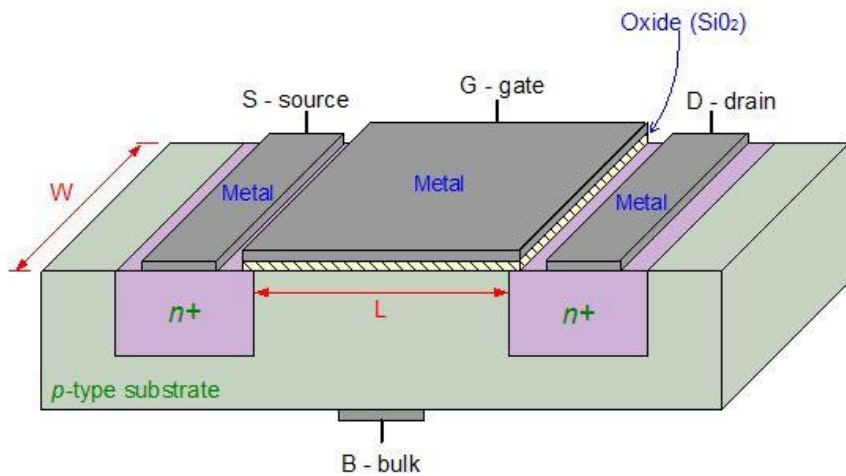


Source: Beecham Research

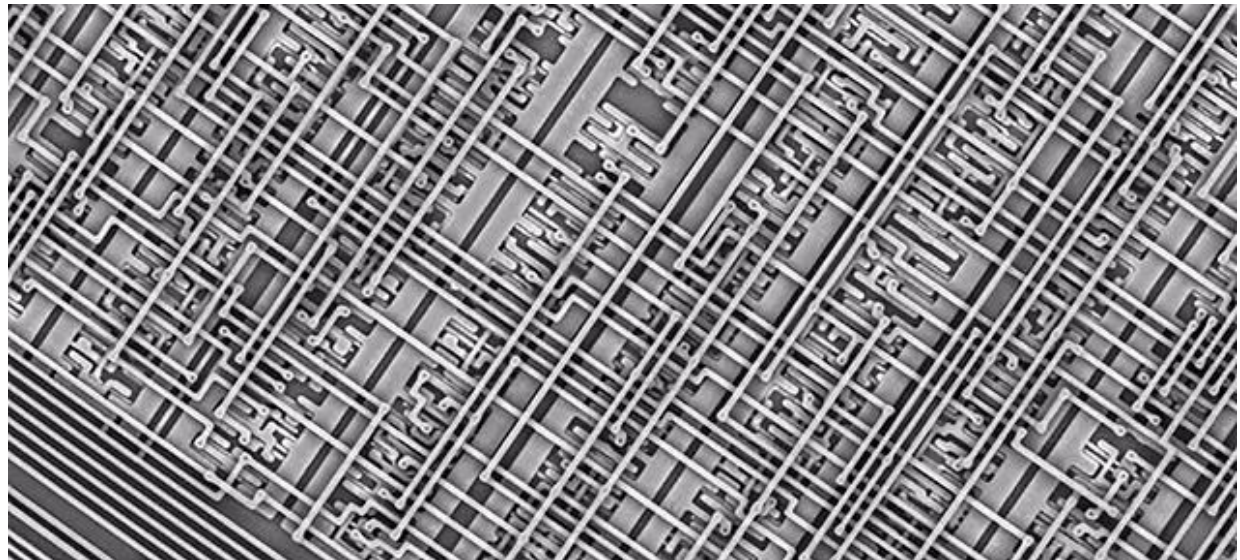
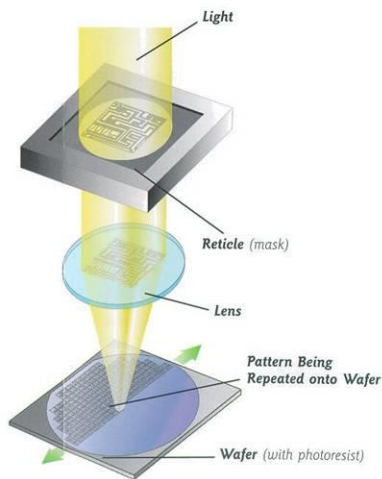
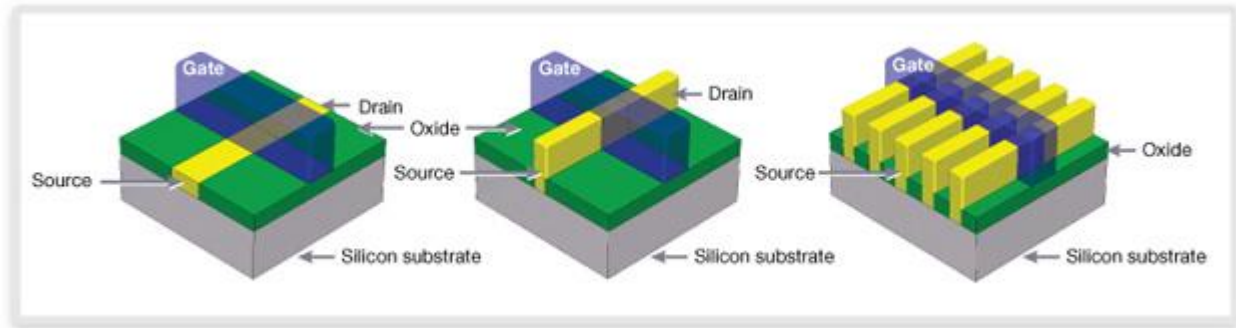
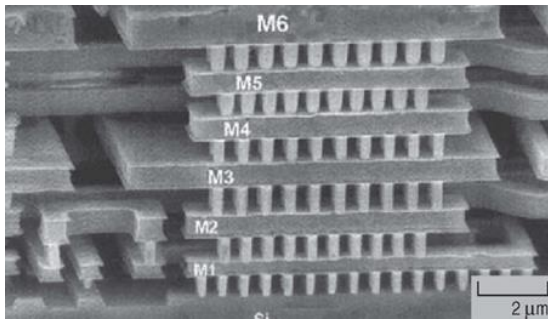
Сверхбольшие интегральные схемы



Транзисторы



Элементная база современных цифровых интегральных схем (ИС)



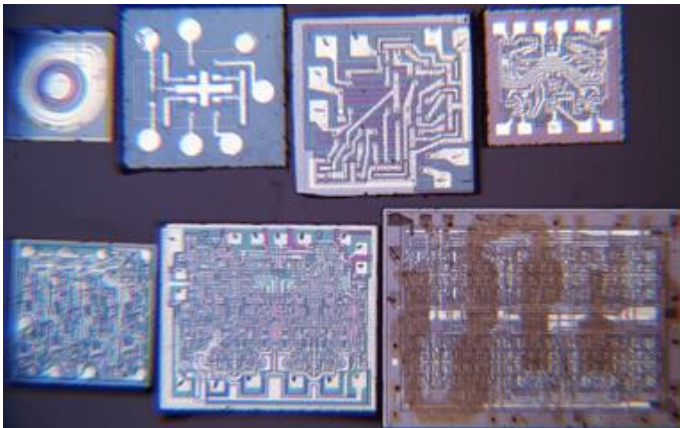
Производство интегральных схем



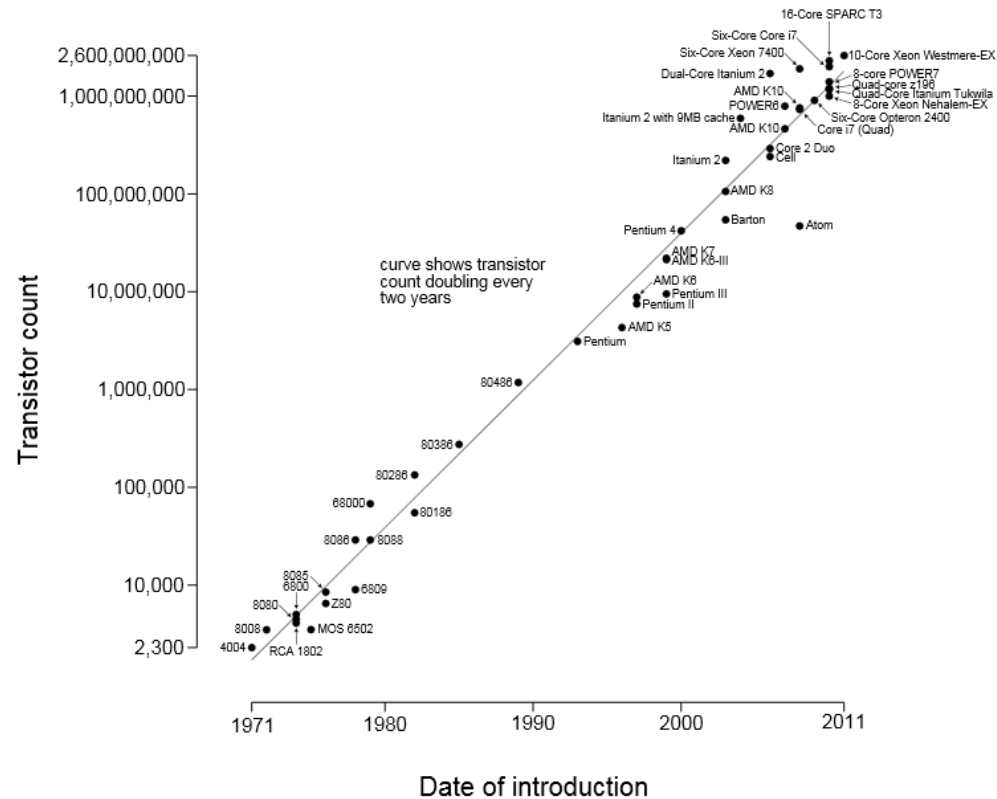
Правило Мура

Правило Мура (Moore's Law)

В 1965 году, Гордон Мур (один из будущих основателей компании Intel) заметил что количество транзисторов на интегральных схемах удваивалось каждый год. Через 10 лет, он поправил это утверждение, отметив удвоение каждые 18 месяцев. Вскоре, эта закономерность называлось правилом (законом) Мура.



Microprocessor Transistor Counts 1971-2011 & Moore's Law



Фундаментальные ограничения

- Транзисторы и провода имеют конечные размеры
- Транзисторы можно расположить только в 2-х и 3-х мерном пространстве
- Скорость света ограничена



Review Article | Published: 13 August 2014

Limits on fundamental limits to computation

Igor L. Markov 

Nature **512**, 147–154 (14 August 2014) | [Download Citation](#) 

Средства автоматизации проектирования цифровых СБИС

- Современные СБИС невозможно спроектировать вручную
- Нужны специальные программы для автоматизации различных этапов проектирования СБИС
- При этом требуется как понимание возникающих при этом математических задач, так и особенностей технологий производства СБИС

Системы автоматизированного проектирования (САПР)

Примерное время	Прогресс в системах проектирования
1950 -1965	Проектирование «руками»
1965 -1975	Редакторы раскладки, средства размещения и трассировки, разработаны сначала для печатных плат.
1975 -1985	Полнее продвинутые средства для кристаллов и плат, с использованием более сложных алгоритмов.
1985 -1990	Методы оптимизации производительности, параллельные алгоритмы для раскладки; понимание теоретических вопросов (теория графов, сложность алгоритмов, и т.д.)
1990 -2000	Трассировка над ячейками, первые методы 3D трассировки. Логический синтез и проектирование с упором на трассировку находят широкое употребление. Появление физического синтеза.
2000 - now	Проектирование для производства (DFM), корректировка для оптической близости (OPC), и прочие методы на пересечении проектирования и производства. Повторное использование блоков, блоки интеллектуальной собственности (IP).

Основные стратегии проектирования цифровых СБИС

Лекция 1

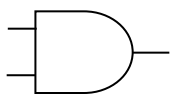
Основные стратегии проектирования цифровых СБИС

- Заказное проектирование
 - Все основные элементы ИС проектируются индивидуально и вручную
 - Высокая стоимость
- Полу-заказное проектирование
 - Использование заранее спроектированных элементов (IP-блоки, библиотечные элементы)
 - Использование средств автоматизации
 - Дополнительные ограничения на различных этапах проектирования
- Программируемые ИС
 - Все основные элементы ИС заранее спроектированы
 - Возможность настраивать устройство во время работы и/или на этапе проектирования

Стили проектирования СБИС

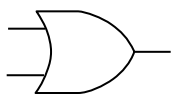
Типичные цифровые вентили

AND



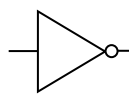
IN1	IN2	OUT
0	0	0
1	0	0
0	1	0
1	1	1

OR



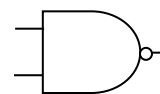
IN1	IN2	OUT
0	0	0
1	0	1
0	1	1
1	1	1

INV



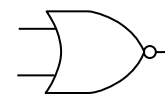
IN	OUT
0	1
1	0

NAND



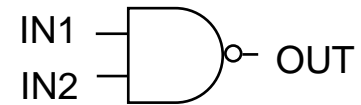
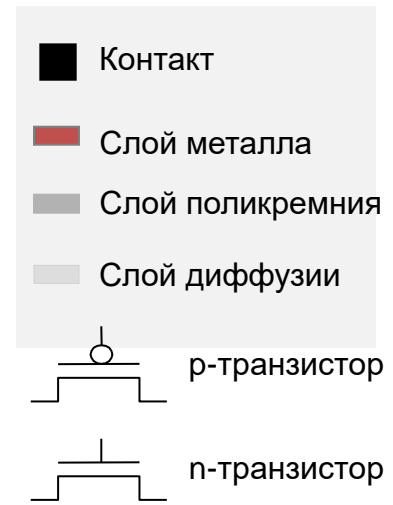
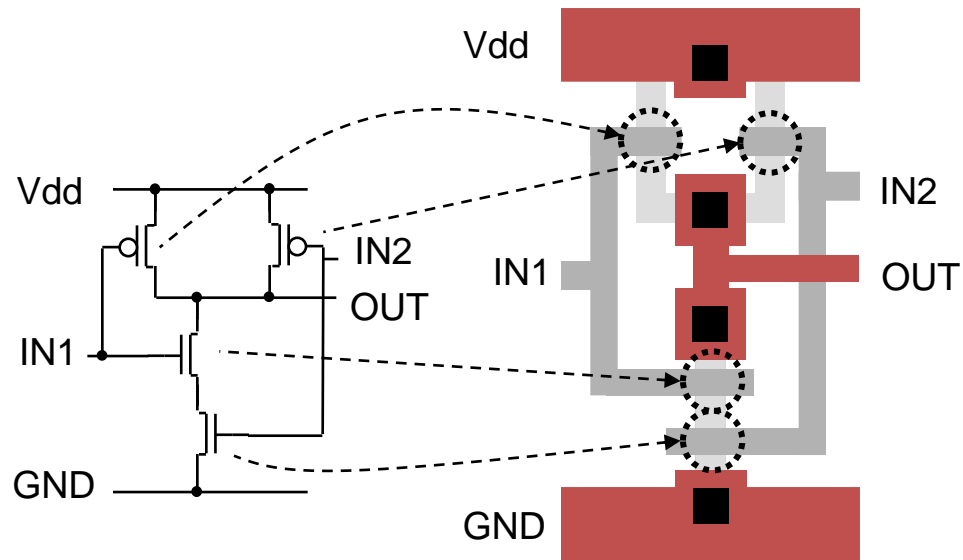
IN1	IN2	OUT
0	0	1
1	0	1
0	1	1
1	1	0

NOR

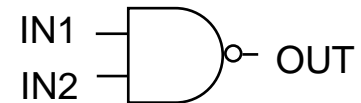
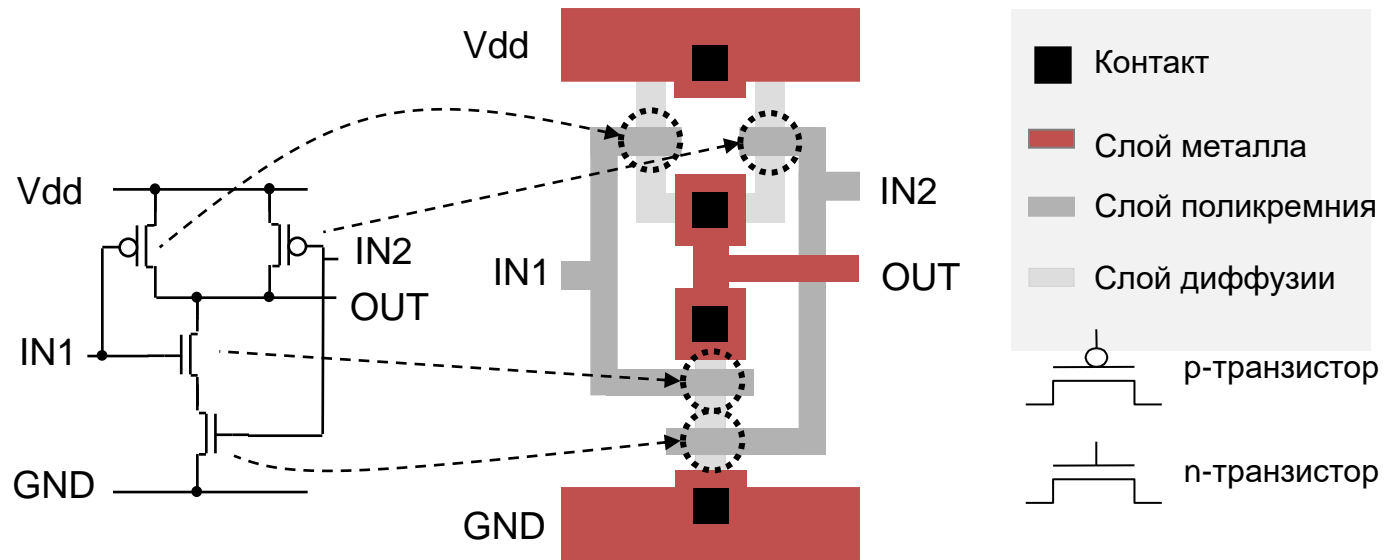


IN1	IN2	OUT
0	0	1
1	0	0
0	1	0
1	1	0

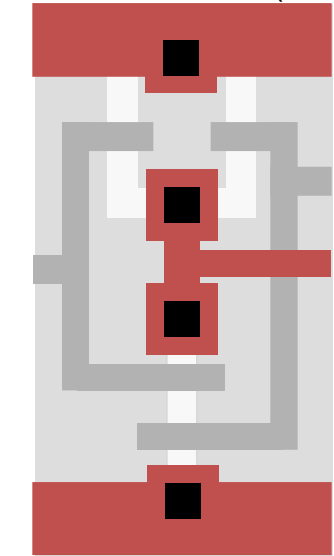
Стандартные ячейки



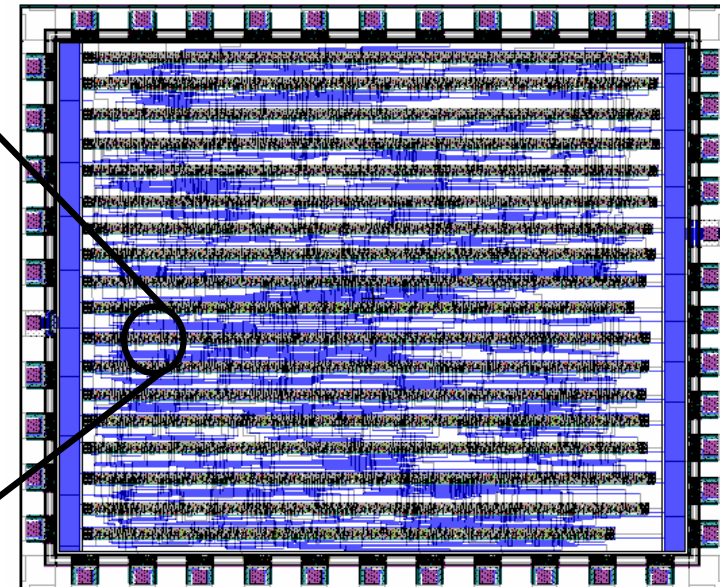
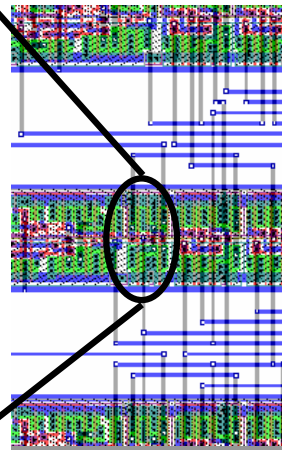
Стандартные ячейки



Шина питания (Vdd)

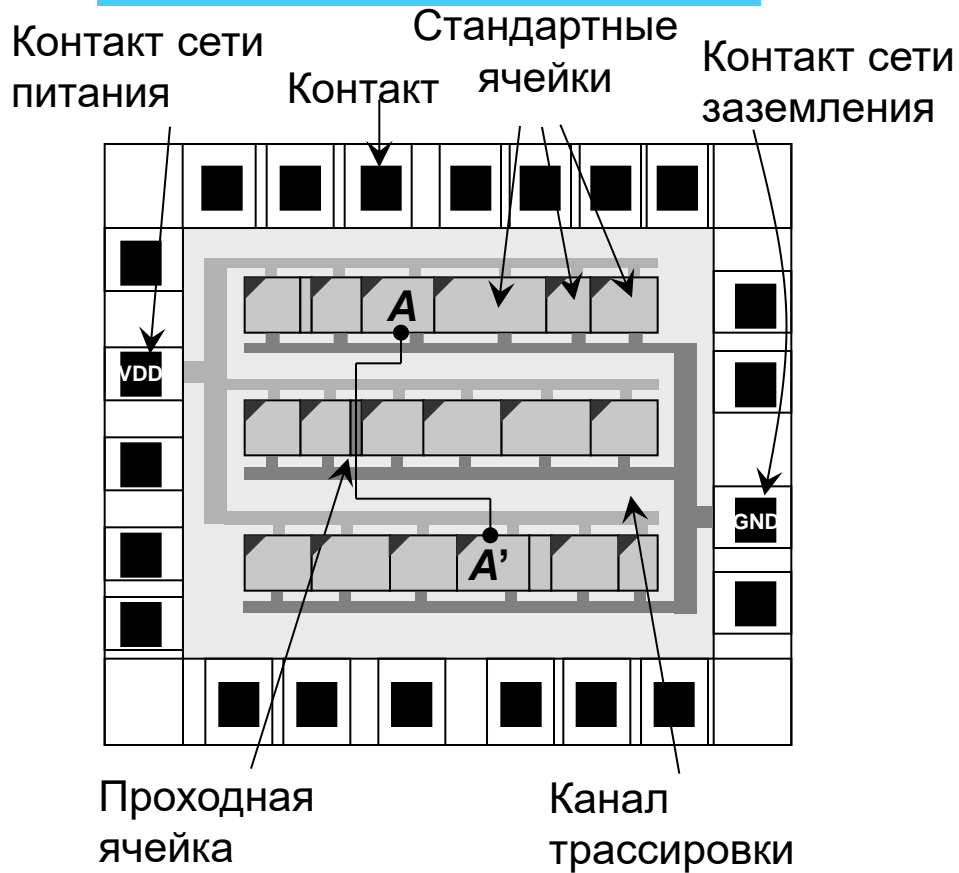


Шина земли (GND)

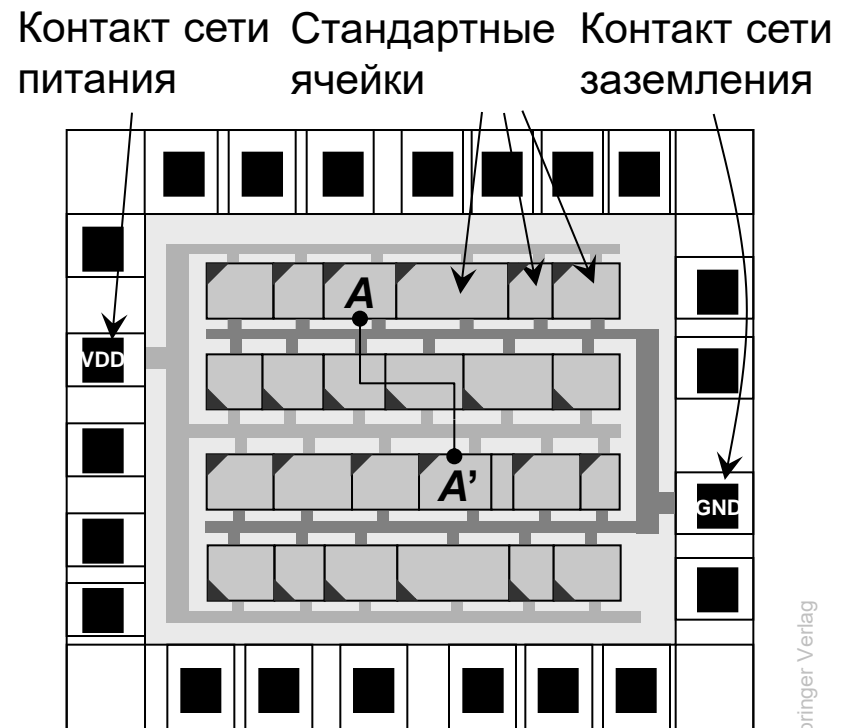


Стандартные ячейки

Раскладка стандартных ячеек с проходными ячейками

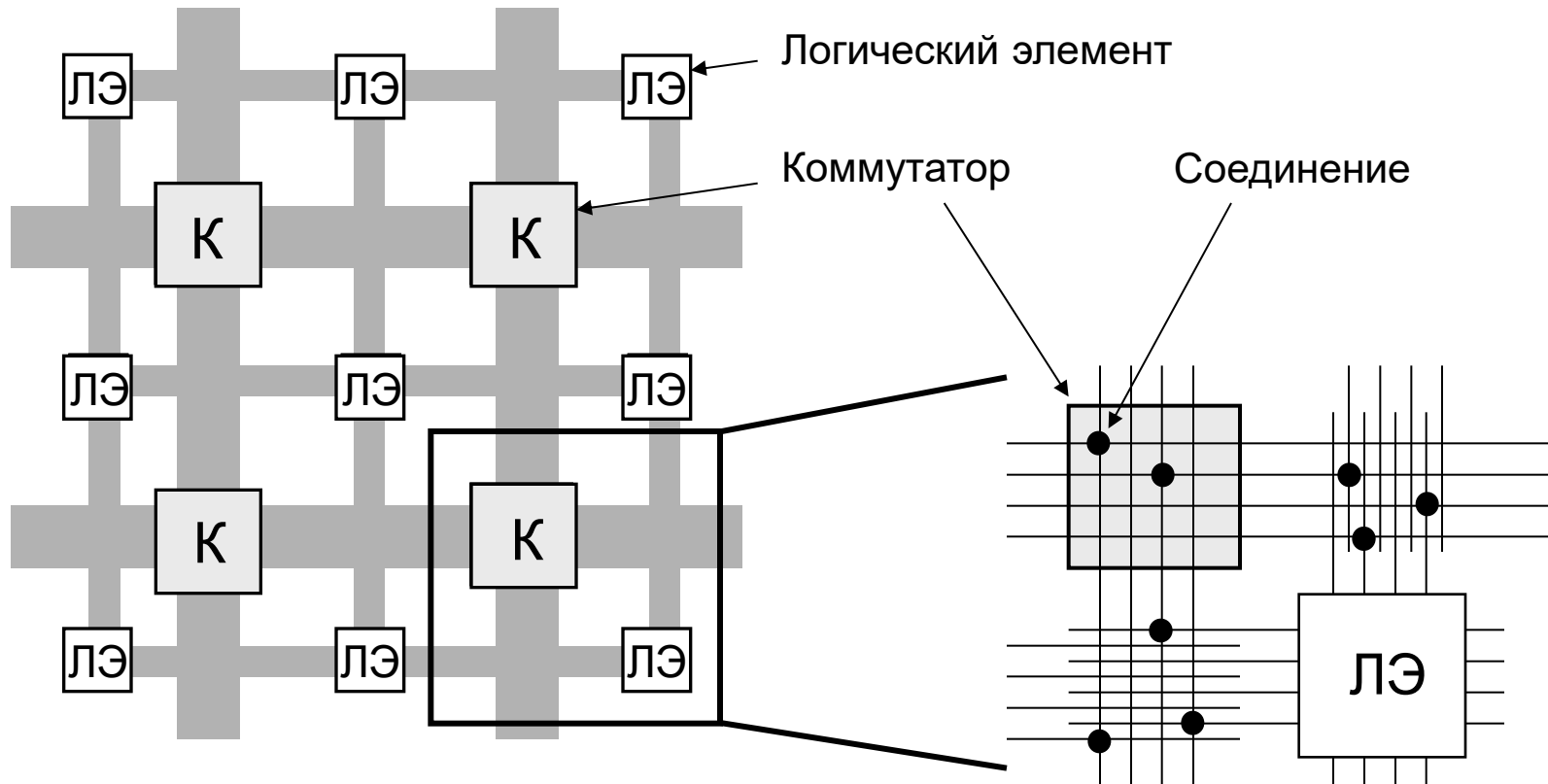


Раскладка стандартных ячеек с трассировкой над ячейками

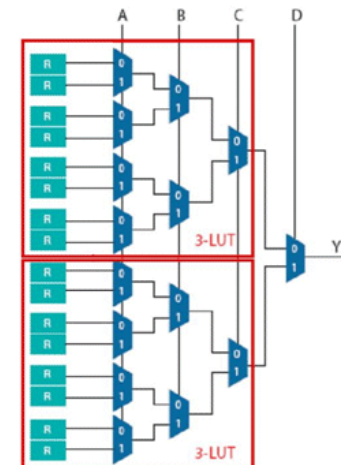
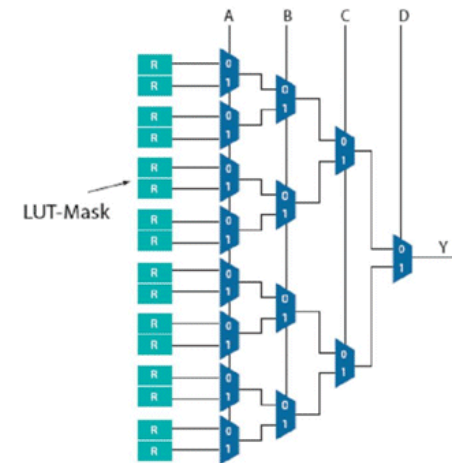
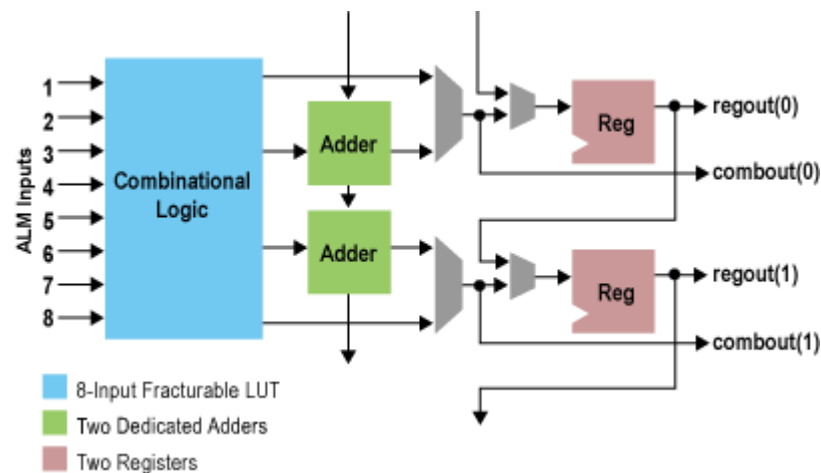


Программируемые матрицы логических элементов (ПЛИС)

Программируемая логическая интегральная схема (ПЛИС)

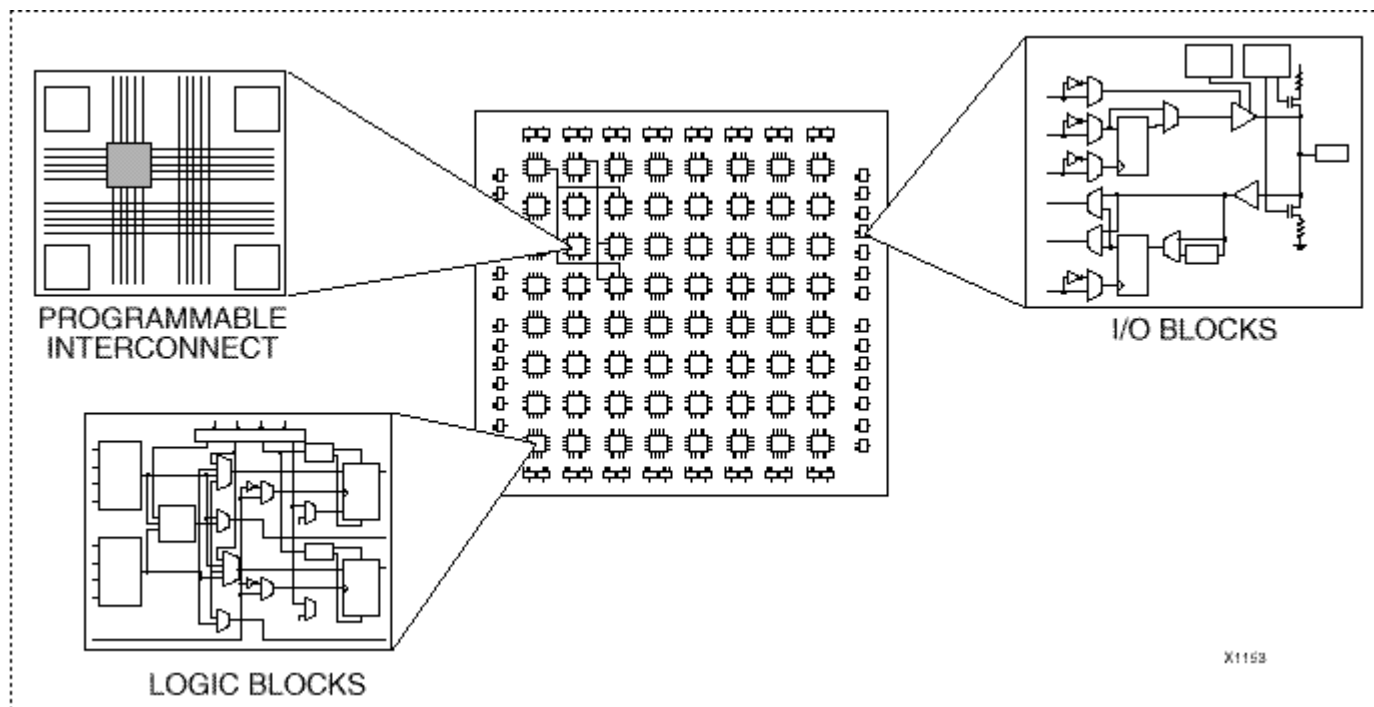


Программируемые матрицы логических элементов (ПЛИС)



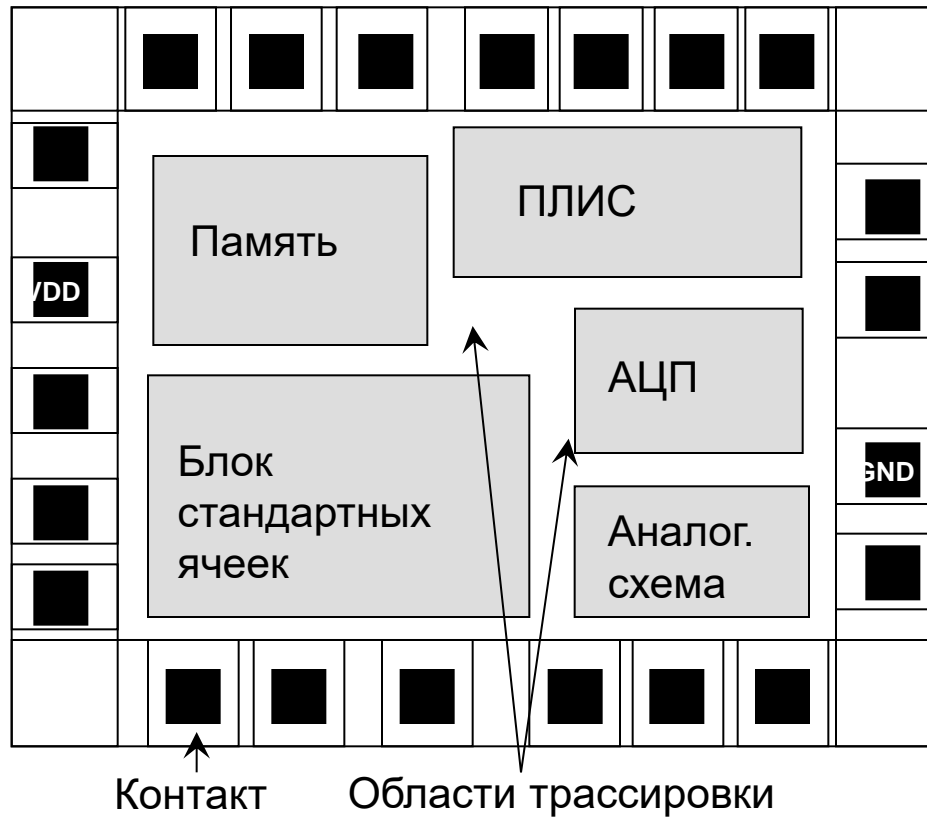
$$a'b'c'd' + abcd + abc'd' = 1000\ 0000\ 0000\ 1001 = 0x8009$$

Программируемые матрицы логических элементов (ПЛИС)

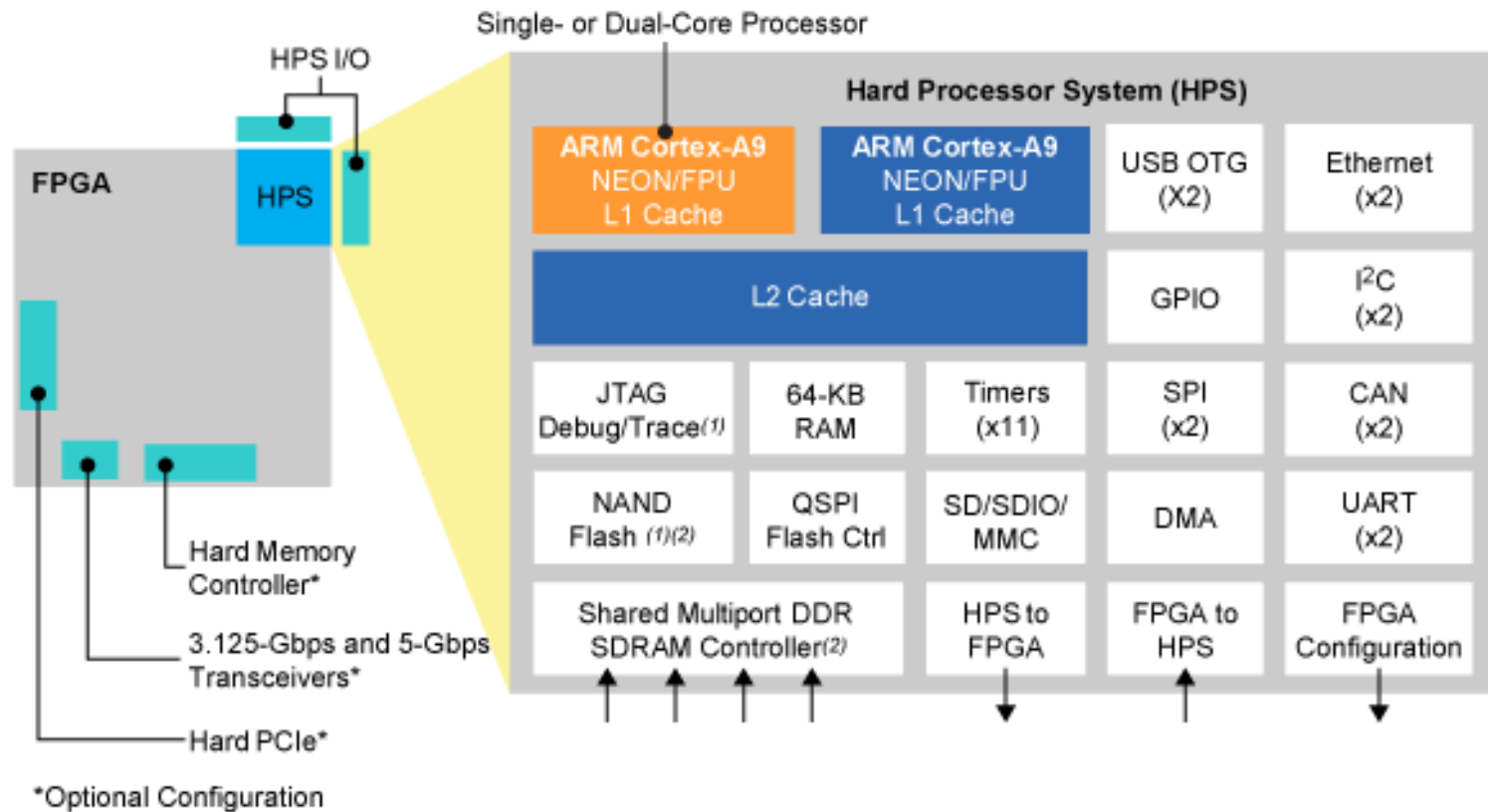


Системы на кристалле

Топология с макро-блоками



Системы на кристалле



Комбинационная и последовательная логика

