UNIVERSITÉ DE SHERBROOKE

Groupe technique

A black background with a black square

Description automatically generated with medium confidence

Compétition de Conception de

Circuits Imprimés

Documentation C3I

Tomato analogique

Rédigé par :

Équipe # 3

Filip Odainic

Personne :(

En date du : 25 avril 2025

Table des matières

[1. Introduction 3](#_Toc175951135)

[1.1. Contexte d’application 3](#_Toc175951136)

[1.2. Contraintes du projet 3](#_Toc175951137)

[1.2.1. Contraintes technologiques 3](#_Toc175951138)

[1.2.2. Contraintes de temps et de budget 3](#_Toc175951139)

[1.3. Description du produit réalisé 3](#_Toc175951140)

[2. Développement 4](#_Toc175951142)

[2.1. Conception électronique 4](#_Toc175951143)

[2.1.1. Choix technologiques 4](#_Toc175951144)

[2.1.2. Schémas électriques et conception PCB 4](#_Toc175951145)

[2.3. Gestion 6](#_Toc175951149)

[2.3.1. Temps 6](#_Toc175951150)

[2.3.2. Budget 6](#_Toc175951151)

[3. Conclusion 7](#_Toc175951152)

[4. Références 8](#_Toc175951153)

# Introduction

## Contexte d’application

La méthode Pomodoro permet une gestion efficace du temps en introduisant des petites pauses de 5 minutes à chaque bloc de 25 minutes de travail. Pour appliquer cette méthode, j’ai conçu un PCB nommé Tomato analogique en forme de tomate permettant à l’utilisateur de connaitre si la période actuelle est de travail ou de pause à l’aide de l’illumination d’une DEL verte(pause) ou d’une DEL rouge(travail). De plus le circuit contient un affichage à 2 chiffres qui montre le temps restant avant le prochain changement de période. De plus un Buzzer est ajouté pour signaler le changement de période.

## Contraintes du projet

### Contraintes technologiques

Les contraintes sont de produire un pcb de taille maximale de 10cm par 10cm permettant de réaliser la méthode Pomodoro. De plus, je désire réaliser toute la logique de manière analogique au lieu d’utiliser un microcontrôleur.

### Contraintes de temps et de budget

Le budget à respecter est de 20$ par pcb avec un budget total de 100$. De plus, je désire compléter la conception pour mars et passer la commande pour la commande de mi-mars afin d’avoir assez de temps pour commander une deuxième version du pcb en avril au besoin.

## Description du produit réalisé

Le contrôle du système réalisé a changé d’analogique à numérique car un timer NE555 ne peut pas avoir une fréquence de 1/30Hz sans une grande incertitude, ce qui est inexcusable, car il faut réaliser une horloge pour pouvoir appliquer la méthode Pomodoro.

Donc, la logique numérique à 5V à l’aide de IC de base et de portes logiques a été utilisé. Le système numérique est fondé par une horloge avec le NE555 d’une fréquence de 1/60Hz qui est enregistré par des conteurs pour allumer les DEL de travail ou de pause et afficher le temps restant sur un affichage de 2 chiffres. Le pcb est alimenté en 0-5V à l’aide d’un connecteur à vis à 2 broches.

Malheureusement, je n’ai pas eu le temps de concevoir le circuit de Buzzer et de finir la conception du PCB.

### Présentation globale

Figure 1 : Schéma bloc du circuit général

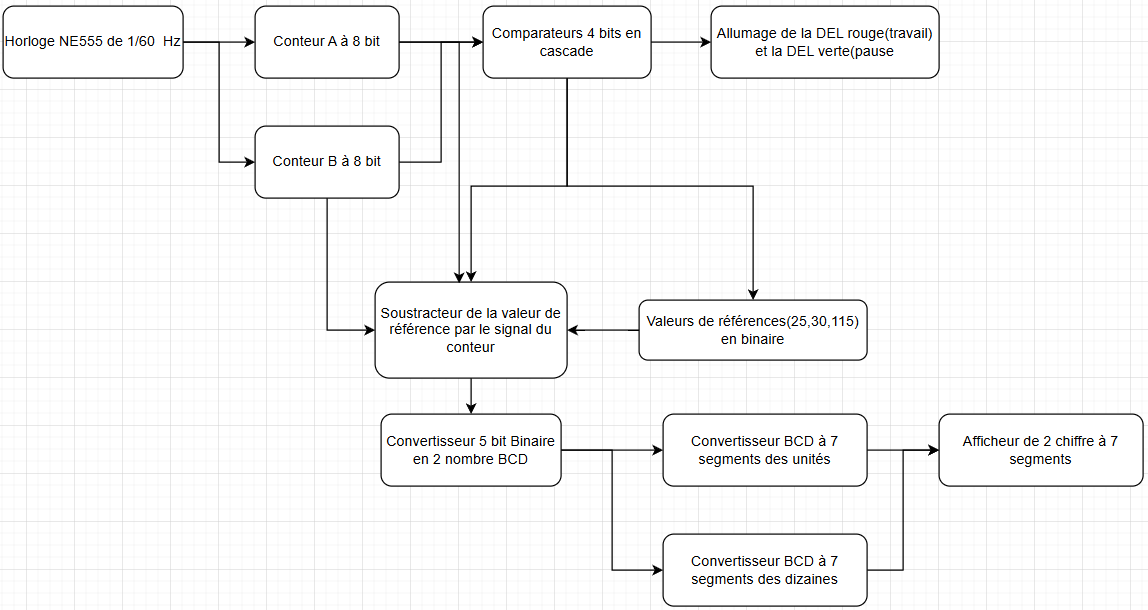


Figure 2 : Schéma bloc de la logique des DEL et des conteurs à l’aide de comparateurs

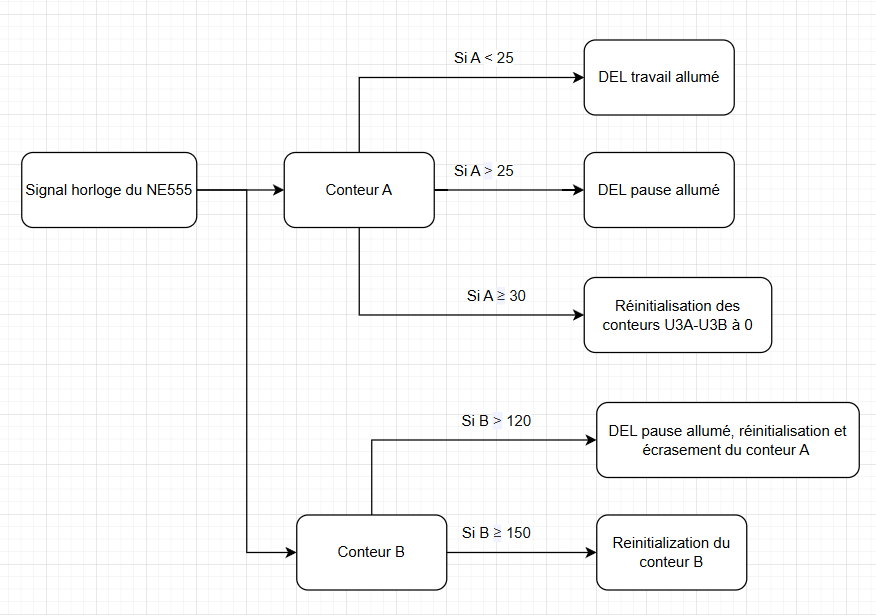


Figure 3 : Schéma bloc de la logique pour afficher les 2 chiffres à 7 segments

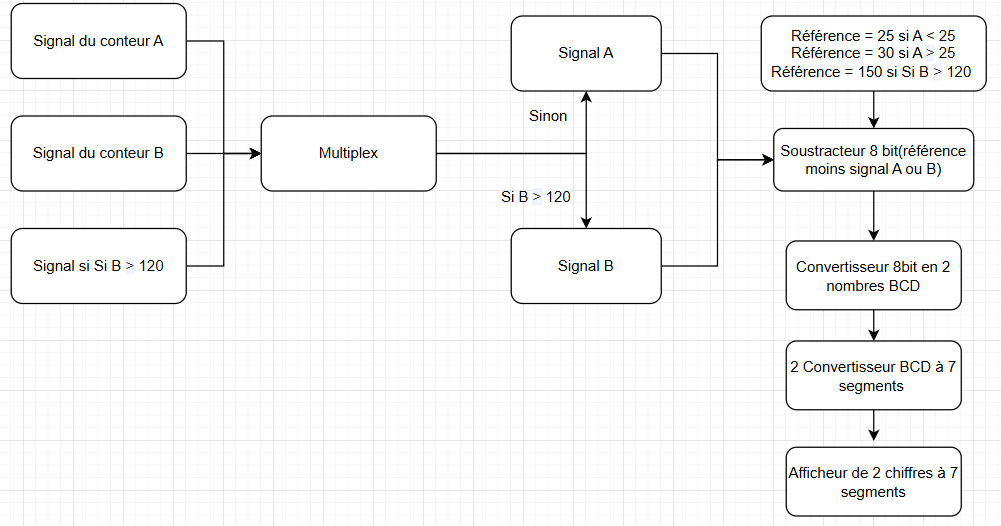
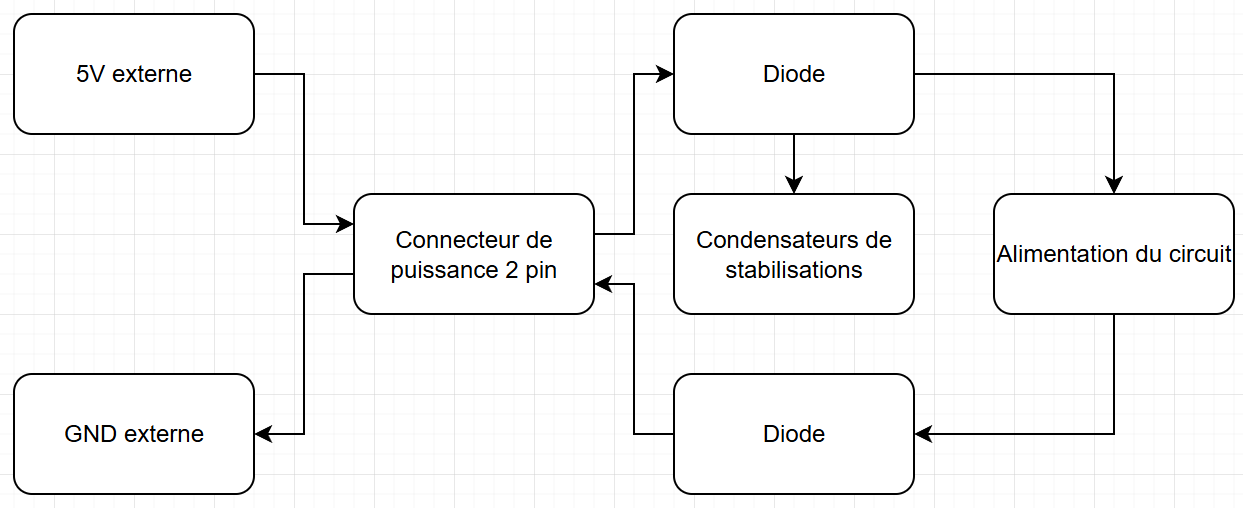


Figure 4 : Schéma bloc de l’alimentation



# Développement

## Conception électronique

### Choix technologiques

Figure 5 : Schéma électrique du premier circuit

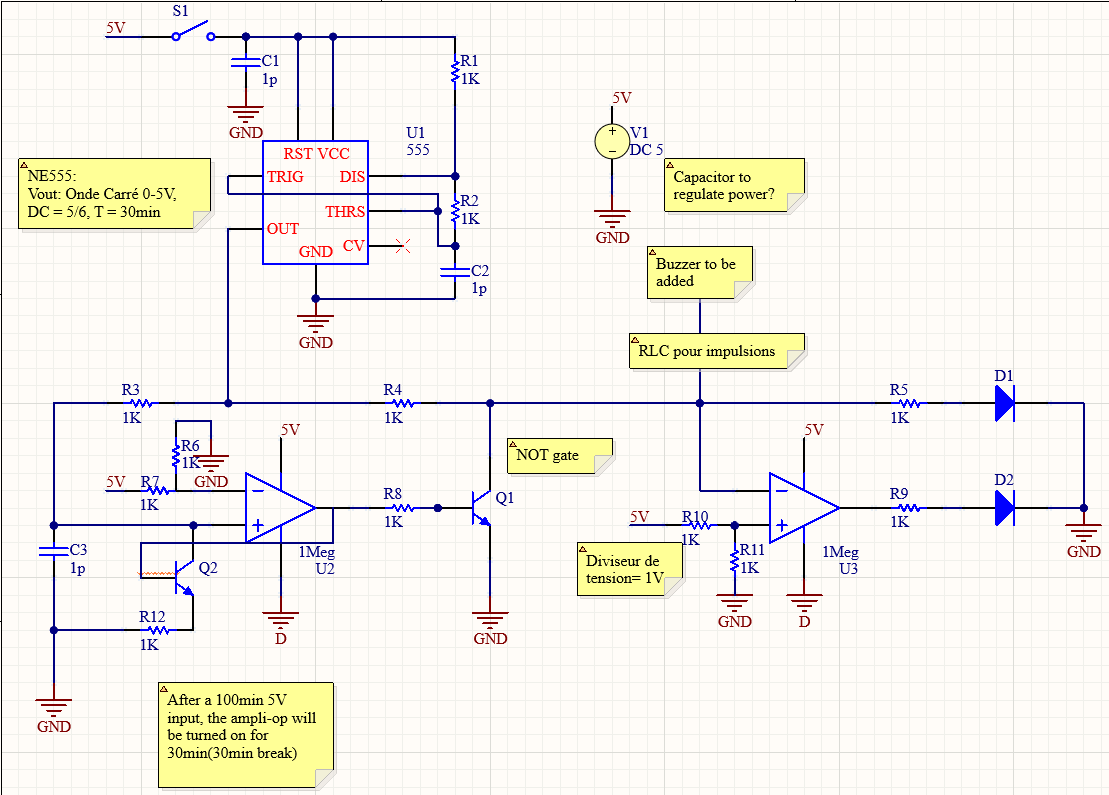


Figure 6 : Schéma du circuit logique avec l’opération 150-120

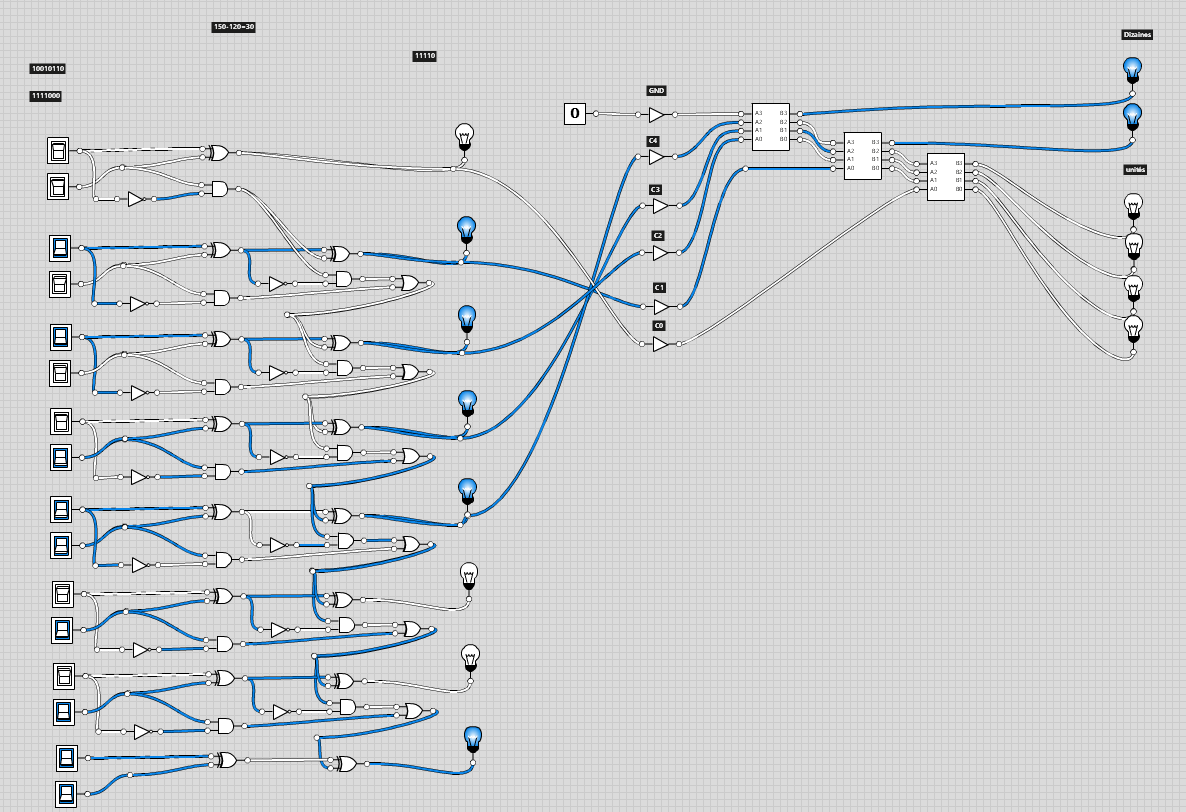
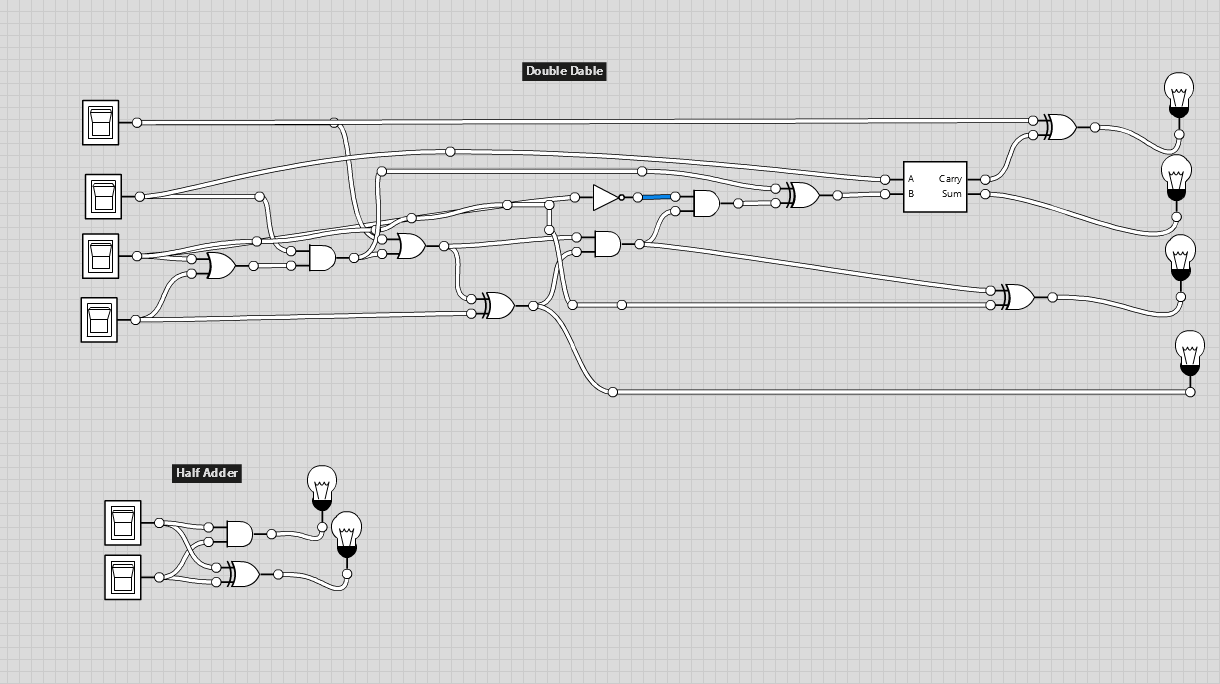


Figure 7 : Schéma du circuit logique de l’algorithme Double Dabble



En premier lieu, j’ai essayé de faire une logique analogue avec un timer 555 qui émet un signal de 0-5V avec un RC de 1/6 et une période de 30minutes(5min de pause et 25 minutes de travail) avec des ampli-op et des transistors(Figure 5). Cependant, comme le NE555 n’était pas assez précis, j’ai dû changer à une logique numérique.

Le système numérique est fondé par une horloge avec le NE555 d’une fréquence de 1/60Hz. Ensuite, le signal du NE555 est enregistré dans 2 conteurs(A et B) de 8 bits(figure 2). Les signaux des conteurs sont ensuite comparés avec 4 comparateurs 8 bits assemblé à partir de 8 comparateurs 4 bits en cascade. Si le signal A < 25(période de travail de 25 minutes), la DEL rouge pour travail est allumée. Si le signal A>25(période de pause de 5 minutes), la DEL verte pour pause est allumée. Si le signal A ≥ 30(Cycle de 30 minutes), le conteur A est réinitialiser à 0.

Pour le signal B, si le signal B > 120(après 4 cycles), la DEL verte pour pause est allumée et le conteur A est remis à 0 et la sortie des comparateurs traitant le signal A est mis à 0. Si le signal A ≥ 150, le conteur B est réinitialisé à 0.

De plus, pour afficher le temps restant, des valeurs 8 bits de référence sont soustraits à un signal provenant d’un des conteur 8 bits à l’aide d’un soustracteur 8 bits composé de 47 portes logiques (figure 3). Le signal de référence est égal à 25 si le signal A < 25, est égale à 30 si le signal A>25 et est égale à 150 si le signal B > 120. Ensuite un multiplex est utilisé pour choisir la sortie à partir du Signal A ou B. Si le signal B > 120 est égale 1, le signal B est choisi comme sortie, sinon le signal A est choisi comme sortie. Le soustracteur à comme sortie, un signal C de 5 bits(figure 6).

Ensuite, il faut le signal C en 2 signaux BCD 4 BIT à l’aide de l’algorithme Double Dabble qui consiste à décaler d’une position le signale entrant et d’ajouter 3 pour chaque bit plus grand que 3. Ce processus est réalisé à l’aide de 36 portes logiques. Les signaux BCD sont ensuite acheminé à 2 convertisseurs BCD à 7 segments et finalement active les DEL des 2 affichages à 7 segments.

### Schémas électriques et conception PCB

Comme le schéma du circuit imprimé est très grand, l’image obtenu est illisible, veuillez-vous referez au PDF dans le dossier de remise.

La majorité des composants choisi sont des surface mount de taille de 1400 à 3216 métriques pour que le circuit soit le plus compacte possible en restant possible à être souder par un débutant.

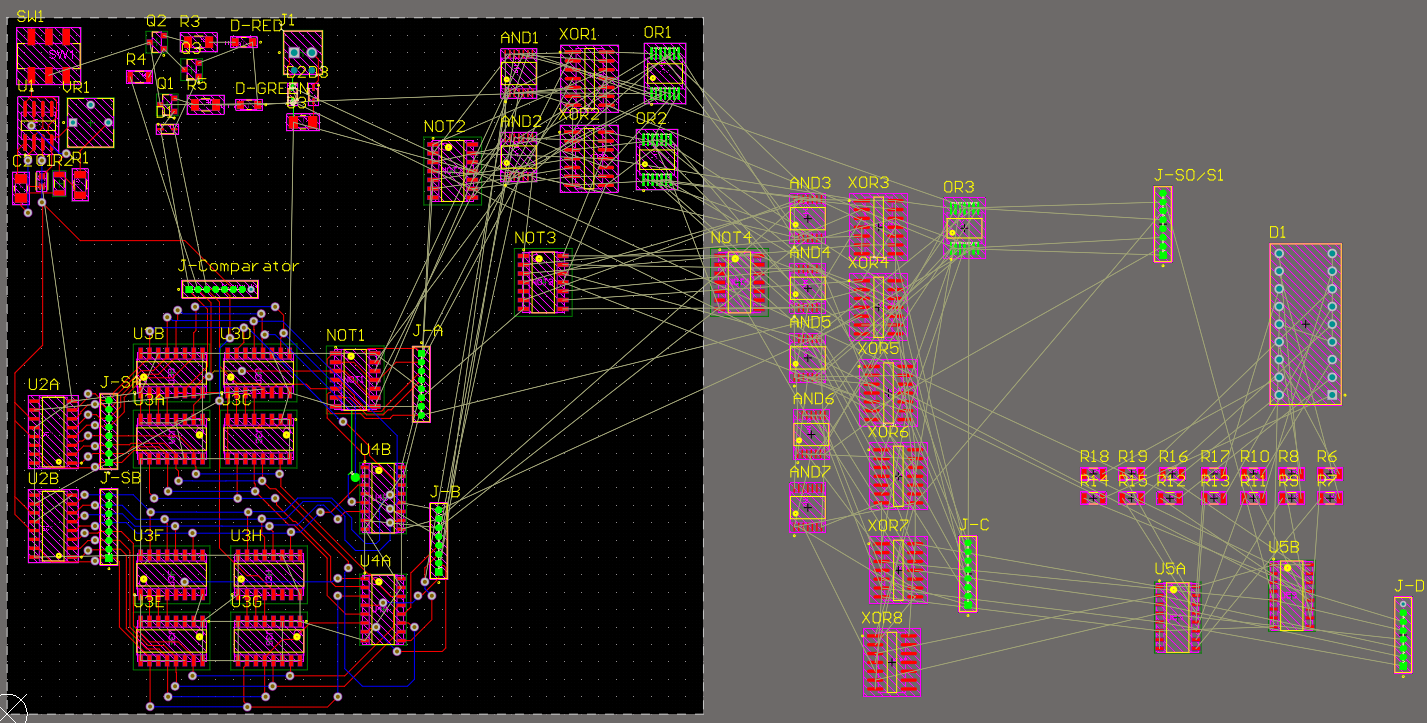
Pour le circuit du NE555, l’interrupteur à glissière à 4 positions JS202011SCQN a été choisi à cause du bas prix et de la disponibilité d’une footprint. Le NE555 choisi est le NE555DR à cause de sa petite taille et de son prix abordable. Ensuite le circuit composé d’une résistance A de 417kΩ en série avec un potentiomètre 100kΩ, une résistance B de 220KΩ et un condensateur de 100uF ont été choisi pour atteindre la fréquence désirée d’un 1/60Hz. De plus, pour stabiliser la source de courant, un condensateur de 10nF a été rajouter.

Le circuit LED est actionné par la sortie des comparateurs à l’aide de transistors. Le circuit de puissance est composé d’un connecteur pour pouvoir brancher le circuit et de 2 diodes et un condensateur pour stabiliser le courant et éviter que la source soit branchée à l’envers.

Ensuite, pour le circuit des conteurs 8 bits et comparateurs, le signal entrant est celui du NE555 et le compte accroit à chaque front montant du signal. Le conteur U2A sort le signal SA et le conteur U2B sort le signal SB. Les comparateurs de 4 bits sont mis en cascades pour créer des comparateurs de 8 bits. Ceci est utilisés pour émettre les conditions comme mentionné antérieurement. Il y a également 3 connecteurs à 8 broches pour pouvoir mesurer les signaux des comparateurs, SA et SB.

Après, à l’aide de quelques portes logiques NOT, le signal de référence est émis. Pour le multiplex, si le signal SB\_BREAK a la valeur 1, le signal SB va être choisi, sinon le signal SA est choisi. Par la suite, le signal de référence est soustrait au signal SA ou SB à l’aide d’un soustracteur 8 bit composé de portes logiques. Les circuits intégrés choisi contiennent 4 portes logiques ou 6 pour les portes NOT. Il y a également 3 connecteurs à 8 broches pour pouvoir mesurer le signal de référence, le signal choisi et le signal de sortie. Ensuite il y a le convertisseur binaire à BCD toujours avec des portes logiques et des connecteurs pour tester les signaux. Finalement, les signaux BCD sont convertit en 7 segments et transmis à l’affichage de 2 chiffres à 7 segments.

Figure 8 : schéma du PCB non terminé



Un des grands défauts d’utiliser 80 portes logiques est le spaghetti de connections résultant. Combiné à une taille maximale du pcb de 10cm par 10 cm, cela m’a obligé à concevoir un pcb 4 couches donc 1 couche de GND très compacte, de plus pour que tous les composants entrent sur le PCB, il faut qu’ils soient soudés des 2 côtés du PCB. À cause de ces défis et d’un manque de temps, je n’ai pas réussi à concevoir le PCB. Cependant, avec 40h-60h de plus, je pense que j’aurais eu le temps de terminer et d’annoter le PCB.

## Gestion

### Temps

Comme il fallait que j’apprenne la logique numérique en cours de route et comme je suis tout seul, j’ai eu à peine le temps de terminer le schéma électrique et je n’ai pas eu le temps de temps de finir le pcb.

### Budget

Au début, j’estimé environs 15$ par PCB, cependant, l’ajout de l’objectif d’afficher le temps restant a fait en sorte que le cout final des composants soit de 46$. Cependant, avec de l’optimisation, ex, les connecteurs 8 pins qui coutent 13$ peuvent être remplacer par des points de tests pour 1$, le cout peut être réduit à 20$ par PCB.

# Conclusion

[Est-ce qu’il y a eu un gros changement entre l’idée initiale et le résultat? Si tu pouvais recommencer quelque chose, ce serait quoi?]

Premièrement, l’idée de départ et la conception de départ (figure 5) était relativement simple et est dans mes connaissances. Cependant, comme le circuit ne pouvais pas marcher à cause de la période du NE555. Alors, j’ai dû changer pour la logique numérique et apprendre la logique combinatoire et séquentiel ce qui a quadruplé la charge de travail nécessaire. Surtout que l’intégration de 80 portes logiques a beaucoup compliqué la conception du PCB. Combiné au fait, qu’il a fallu que je mette plus d’heures d’études pour la session 2 comparé à la session 1 ont fait que j’ai manqué de temps pour finir mon projet. La solution a mes problèmes de conception aurait d’intégrer un microprocesseur FPGA pour programmer la logique au lieu de la concevoir physiquement ce qui aurait beaucoup simplifier la conception du PCB et permet d’éviter des erreurs de logiques physique non corrigeable sur le PCB.

# Références

Sebastien Lague [(26) Visualizing Data with 7-Segment Displays - YouTube](https://www.youtube.com/watch?v=hEDQpqhY2MA&ab_channel=SebastianLague)

All About Circuit [Binary to Seven Segment Display | All About Circuits](https://forum.allaboutcircuits.com/threads/binary-to-seven-segment-display.182271/)

ETS [Systèmes de numération – Circuits logiques combinatoires et séquentiels](https://pressbooks.etsmtl.ca/circuitslogiques/chapter/circuits-logiques-combinatoires-et-sequentiels-3/)