



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

ÚSTAV RADIOTELEKTRONIKY

DEPARTMENT OF RADIO ELECTRONICS

VÝROBNÍ TESTER

PRODUCTION TESTER

DIPLOMOVÁ PRÁCE

MASTER'S THESIS

AUTOR PRÁCE

AUTHOR

Bc. Filip Paul

VEDOUCÍ PRÁCE

SUPERVISOR

prof. Dr. Ing. Zdeněk Kolka

BRNO 2023



Diplomová práce

magisterský navazující studijní program **Elektronika a komunikační technologie**

Ústav radioelektroniky

Student: Bc. Filip Paul

ID: 211538

Ročník: 2

Akademický rok: 2022/23

NÁZEV TÉMATU:

Výrobní tester

POKYNY PRO VYPRACOVÁNÍ:

Navrhněte zařízení sloužící k testování správnosti zapojení testerů desek plošných spojů typu ICT. Zařízení musí na základě konfigurovatelných vstupních dat ověřit správné propojení velkého množství testovacích bodů (řádově tisíce). Správnost propojení je určena maximálním odporem elektricky vodivé cesty, která propojuje testovací body mezi sebou. Navrhněte snadno škálovatelné řešení testeru z hlediska počtu měřicích bodů. Pro zvolenou koncepci navrhněte konkrétní obvodové řešení, desky plošných spojů a mechanické provedení přístroje, který se k testovanému zařízení připojí pomocí testovacích jehel. Vytvořte firmware pro řízení desky, který zároveň umožní komunikaci s PC pomocí LAN a USB.

Realizujte desky plošných spojů a mechanickou konstrukci testeru. Dále vytvořte řídicí program pro PC pro operační systém Windows, který umožní výsledek testu prezentovat obsluze srozumitelnou grafickou formou a zároveň ukládat do lokální databáze. Proveďte ověření funkčnosti zařízení a zhodnoťte dosažené parametry.

DOPORUČENÁ LITERATURA:

- [1] HOROWITZ, P., HILL, W. The Art of Electronics. New York: Cambridge University Press, 2015.
- [2] MARTIN, T. The Insider's Guide to the STM32 ARM Based Microcontroller. Coventry: Hitex Ltd., UK, 2008.

Termín zadání: 6.2.2023

Termín odevzdání: 22.5.2023

Vedoucí práce: prof. Dr. Ing. Zdeněk Kolka

doc. Ing. Lucie Hudcová, Ph.D.
předseda rady studijního programu

UPOZORNĚNÍ:

Autor diplomové práce nesmí při vytváření diplomové práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

ABSTRAKT

Diplomová práce se zabývá návrhem a realizací zařízení, které slouží k ověření správnosti vnitřního elektrického zapojení ICT testerů. Správnost zapojení je ověřována měřením odporu mezi jednotlivými testovacími body. ICT testery mohou obsahovat řádově tisíce propojení. Navrhované zařízení by mělo být schopno identifikovat chyby propojení a následně navrhnout vhodné řešení.

KLÍČOVÁ SLOVA

In-Circuit Testing (ICT), Fixture, Testovací body, Testovací jehly, End Of Line (EOL).

ABSTRACT

The diploma thesis deals with the design and implementation of a device, which is used to verify the internal electrical wiring of ICT testers. Wiring is verified by measuring the resistance between individual test points. ICT testers can contain thousands of connections. The device should be able to identify wiring errors, inform the operator about the error and propose a relevant solution.

KEYWORDS

In-Circuit Testing (ICT), Fixture, Testpoint, Test probes, End Of Line (EOL).

PAUL, Filip. *Výrobní tester*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, Ústav radioelektroniky, 2023, 77 s. Diplomová práce. Vedoucí práce: prof. Dr. Ing. Zdeněk Kolka

Prohlášení autora o původnosti díla

Jméno a příjmení autora: Bc. Filip Paul
VUT ID autora: 211 538
Typ práce: Diplomová práce
Akademický rok: 2022/23
Téma závěrečné práce: Výrobní tester

Prohlašuji, že svou závěrečnou práci jsem vypracoval samostatně pod vedením vedoucí/ho závěrečné práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené závěrečné práce dále prohlašuji, že v souvislosti s vytvořením této závěrečné práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a/nebo majetkových a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů (autorský zákon), ve znění pozdějších předpisů, včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

Brno
.....
podpis autora*

*Autor podepisuje pouze v tištěné verzi.

Obsah

Úvod	10
1 Koncept funkčnosti testeru	11
1.1 Princip funkčnosti ICT testeru	11
1.2 Koncepce navrhovaného testeru	12
1.2.1 Systémová koncepce	12
1.2.2 Hardwarová koncepce	14
Propojení bRC pinů mezi sebou	14
Propojení mezi bRC a Probes	14
2 Návrh měřících karet	15
2.1 Základní požadavky na měřící karty	15
2.2 Funkční bloky	15
2.2.1 Měřící část	16
Teoretický návrh	16
Výběr součástek a volba jejich hodnoty	19
Volba velikosti odporu děliče Rout	19
Volba P-channel mosfetu	24
Volba N-channel mosfetu	25
Volba komparátoru	25
Volba shift registrů	26
Volba multiplexerů	26
2.2.2 Napájecí část	27
2.2.3 Návrh PCB	28
3 Návrh ovládacích karet	31
3.1 Základní požadavky na Ovládací karty	31
3.2 Funkční bloky	31
3.2.1 Mikrokontrolér a jeho periférie	32
D/A převodník	32
Programování a debugging	33
Konfigurace hodinového signálu	33
3.2.2 Konektivita	34
Ethernet	34
USB	35
3.2.3 Napájení	36
3.2.4 PCB -design	38
4 Algoritmizace a měřící procedury	39
4.1 Komunikační protokol ovládacích karet	39
4.1.1 Příkazy SET	40
SET DAC	40
SET SHIFT_REGISTER	40

SET CONFIGURATION	41
4.1.2 Příkazy READ	41
READ MUX	41
READ SHIFT_REGISTER	41
READ CONFIGURATION	42
4.1.3 Příkazy MEASURE	43
MEASURE VOLTAGE	43
MEASURE ADC	47
4.2 Režimy měření	47
5 PC aplikace	48
5.1 Principy funkce PC aplikace	48
5.2 PC aplikace - Raw low layer	49
5.3 PC aplikace - Translation Layer	49
5.4 PC aplikace - Device Hub Layer	49
5.5 PC aplikace - Test Result Layer	49
5.5.1 konfigurační soubor tests.yaml	50
5.5.2 konfigurační soubor hardwareConfig.yaml	51
5.6 PC aplikace - MySql databáze	52
5.7 PC aplikace - Uživatelské rozhraní	52
5.7.1 Widget - Visa terminal	52
5.7.2 Widget - Ovládání karty	53
5.7.3 Widget - Ovládání Relé	53
5.7.4 Widget - Device status	54
5.7.5 Widget - ICT propojení	55
6 Technické parametry testeru	56
6.1 Dlouhodobá stabilita	56
Závěr	61
Literatura	62
Seznam symbolů a zkratek	65
Seznam příloh	66
A Schéma měřící karty	67
B Schéma Ovládací karty	73

Seznam obrázků

1.1	Části ICT testeru (obrázek testeru vlevo nahoře převzat z [4])	11
1.2	Koncepce funkčnosti navrhovaného testeru	12
1.3	Systémová koncepce	12
1.4	Měřící karta	13
1.5	Ovládací karta - 3D model (Není vyrobena jedná se o předběžný návrh)	13
2.1	Blokový diagram měřících karet	15
2.2	Napěťový dělič pro 2 a 4 propojené bRC piny	16
2.3	Napěťový dělič pro s možností high Z vstupem	17
2.4	Zapojení měřící části s p-channel MOSFET	18
2.5	3D zobrazení rovnice pro výstupní napětí děliče (generováno pomocí MATLAB) .	21
2.6	3D zobrazení rovnice 2.8 s podmínkami (generováno pomocí MATLAB)	21
2.7	PASS FAIL - přesnost R_{path} 2Ω (generováno pomocí MATLAB)	22
2.8	Přesné měření mezi 2 piny - (generováno pomocí MATLAB)	23
2.9	vliv RDSON na přesnost měření (generováno pomocí MATLAB)	24
2.10	Výstřížek z datasheetu mosfetu SSM3J358R,LF - RDSON[9]	24
2.11	Výstřížek z datasheetu N-channel mosfetu PJA3432_R1_00001 - RDSON[10] .	25
2.12	Napájení měřící karty: 5V regulátor (celé schéma měřící karty v příloze - POWER REGULATORS)	27
2.13	Všechny vrstvy bez polygonů	28
2.14	Vrstvy PCB top to bottom včetně polygonů	29
2.15	3D model top a bot s osazeným DIN konektorem	30
3.1	Funkční diagram ovládací karty	31
3.2	DAC-externí zesilovač	32
3.3	Snubber Network (obrázek převzat z [18])	33
3.4	Clock configuration	34
3.5	USB rozhraní	35
3.6	Regulátor napětí - 3V3 MCUs	36
3.7	Distribuce napájení	37
4.1	Zjednodušené schéma zapojení pro měření napětí na bRC pinu	43
4.2	Časové průběhy napětí - měření napětí na bRC pinu (DAC_RAMP = 1) . . .	44
4.3	Časové průběhy napětí - měření napětí na bRC pinu (DAC_RAMP = 5) . . .	44
4.4	Časové průběhy napětí - měření nízkého napětí na bRC pinu (DAC_RAMP = 5) .	45
4.5	Časové průběhy napětí - měření nízkého napětí na bRC pinu optimalizace . .	46
4.6	Časové průběhy napětí - měření napětí na všech pinech současně	46
5.1	PC aplikace - top level diagram	48
5.2	PC aplikace - tests.yaml ukázka	50
5.3	PC aplikace - tests.yaml ukázka výsledku testů - graf	50
5.4	PC aplikace - tests.yaml ukázka výsledku testů - default	51
5.5	PC aplikace - hardwareConfig.yaml	51
5.6	PC aplikace - widget: VISA terminal	52
5.7	PC aplikace - widget: Ovládání karty	53
5.8	PC aplikace - widget: Relé	53

5.9	PC aplikace - widget: Device status	54
5.10	Widget: ICT propojení	55
6.1	Dlouhodobá stabilita - schéma zapojení	56
6.2	Dlouhodobá stabilita - Konfigurace měřící karty	56
6.3	Dlouhodobá stabilita - Časový průběh všech naměřených napětí	57
6.4	Dlouhodobá stabilita - Přiblížení časových průběhů napětí na pinech 1 až 4 . .	58
6.5	Dlouhodobá stabilita - Přiblížení časových průběhů napětí na pinech 5 až 8 . .	58
6.6	Dlouhodobá stabilita - Přiblížení časových průběhů odporů na pinech 1 až 4 . .	59
6.7	Dlouhodobá stabilita - Přiblížení časových průběhů odporů na pinech 5 až 8 . .	59

Úvod

Cílem diplomové práce je navrhnout zařízení, které bude schopno ověřit správnost interního zapojení In Circuit Testing (ICT) testerů. ICT tester slouží k odhalování výrobních chyb a programování Desek Plošných Spojů (DSP - dále označováno jako PCB z anglického Printed Circuit Board) pomocí připojení velkého množství testovacích jehel. Testovací jehly jsou připojovány do určených míst na PCB, kde se následně provádí různé testy.

Diplomová práce je vypracována ve spolupráci s firmou Čevor inovation a.s., která se zabývá výrobou ICT testerů. Při výrobě těchto testerů vzniká potřeba kontroly správnosti zapojení fixture části. Fixture část je označení pro zakládání (Obr. 1.1), je odlišná pro každé PCB a obsahuje řádově tisíce propojení. Zařízení navrhované v této práci tak není ICT testerem samotným, ale slouží právě k ověření správnosti interního zapojení fixture části ICT testeru. Jedná se tedy o tester ICT testerů.

Ověření správnosti propojení se určuje odporem elektrické cesty. Zařízení tedy musí být schopno měřit odpor mezi kterýmkoliv dvěma testovanými body. Zároveň jsou zde kladeny požadavky na škálovatelnost celého řešení z pohledu počtu testovaných propojení. V diplomové práci se počítá s návrhem zařízení, které má 4000 testovaných bodů. Fyzické (reálné) propojení testeru je následně porovnáno s výrobními daty ICT testeru. Výsledky testu jsou přenášeny do PC pomocí Ethernetu, kde jsou následně zpracovány. Výsledkem testu by pak měla být jasná identifikace chyb.

Diplomová práce popisuje funkčnost, hardwarové řešení testeru (návrh PCB) a softwarové řešení v podobě firmwaru pro PCB a uživatelského programu pro PC.

1 Koncept funkčnosti testeru

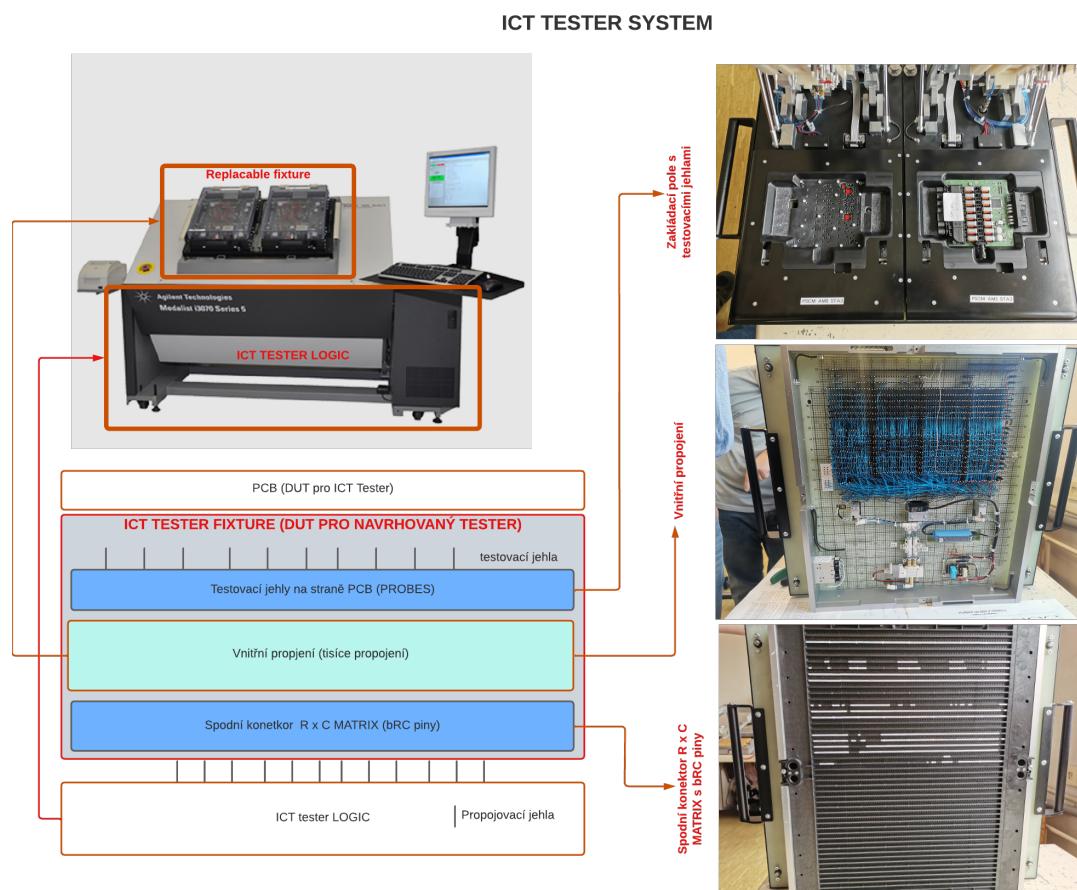
Tato kapitola definuje rozsah diplomové práce a podává úvodní náhled na funkčnost navrhovaných zařízení.

1.1 Princip funkčnosti ICT testeru

ICT tester se skládá ze dvou hlavních částí (měřící a fixture). Měřící část obsahuje různé měřící přístroje např. osciloskop, multimeter, proudové a napěťové zdroje, boundary scan atd. Pomocí těchto zařízení ICT tester provádí různá měření.

Fixture je vyměnitelnou částí a obsahuje zakládací pole s testovacími jehlami (Probes). Testovací jehly zajišťují elektrické propojení mezi testovanými body na PCB a měřící částí. Ze spodní strany je fixture propojena s měřící částí pomocí matice bRC pinů. Písmena R a C v označení bRC označují Row (řádek) a Column (sloupec).

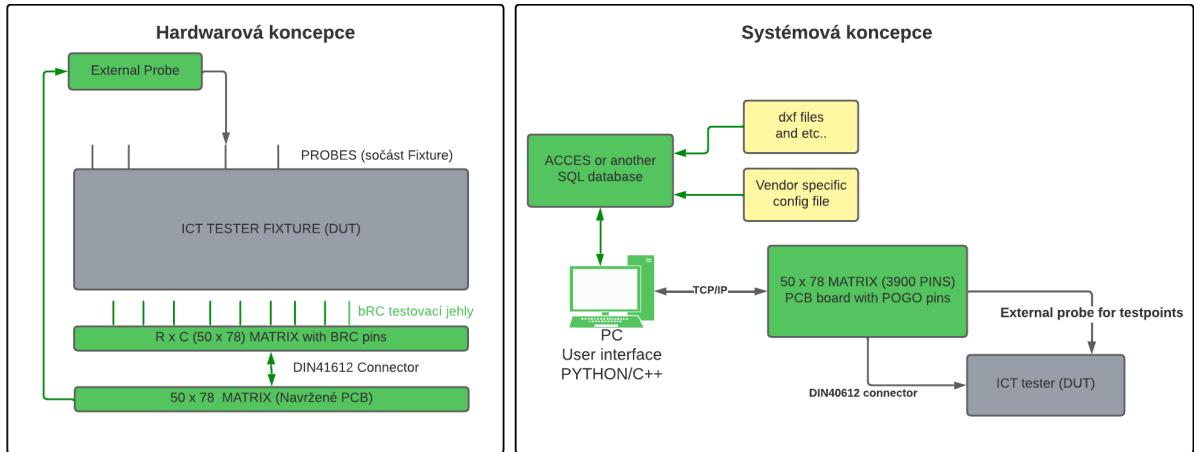
Fixture umožňuje mezi sebou libovolně propojovat bRC a Probes piny, včetně propojení pinů stejného druhu mezi sebou. Propojení mezi jednotlivými piny je většinou zajištěno pomocí ovíjení. Nicméně propojení může obsahovat i různé pasivní součástky. Obrázek 1.1 znázorňuje jednotlivé části ICT testeru[3][4].



Obr. 1.1: Části ICT testeru (obrázek testeru vlevo nahoře převzat z [4])

1.2 Koncepce navrhovaného testeru

Zatímco pro ICT tester bylo úkolem otestovat vložené PCB. Úkolem zařízení, navrhovaným v diplomové práci, je otestovat správnost propojení fixture části ICT testeru. Pro tento účel je navržena následující koncepce.

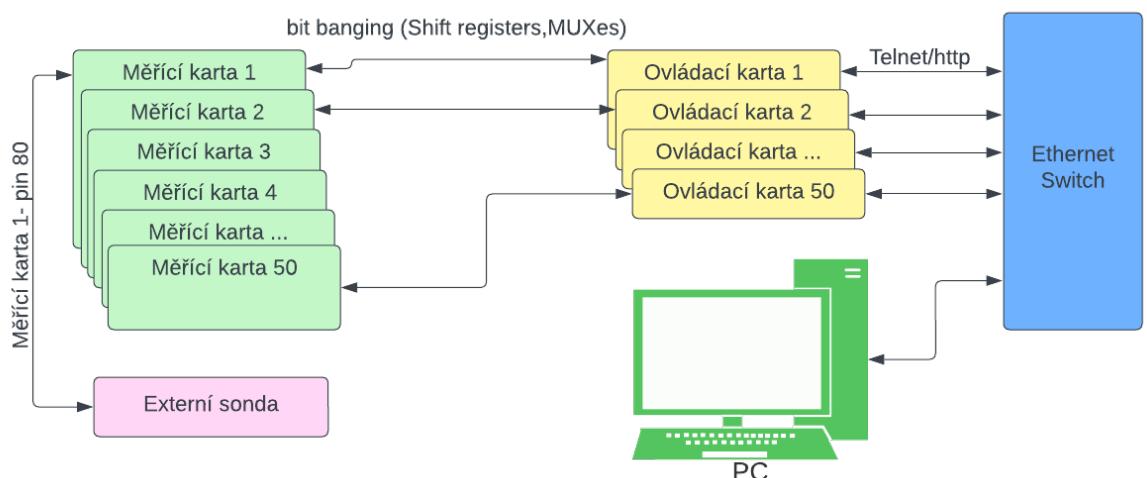


Obr. 1.2: Koncepce funkčnosti navrhovaného testeru

Na obrázku 1.2 jsou zeleně znázorněny části, která jsou součástí diplomové práce. Ostatní barvy značí části, které již existují a nebudou navrhovány.

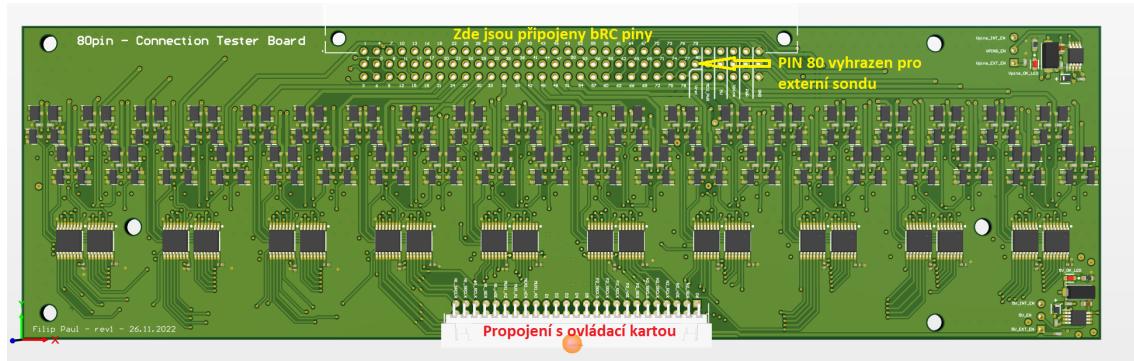
1.2.1 Systémová koncepce

Na obrázku 1.2 v pravé části je znázorněna systémová koncepce testeru. Pro otestování vnitřního propojení fixture je nutné propojit všechny bRC piny s logikou navrhovaného testeru. Většina komerčních ICT testerů omezuje počet sloupců v bRC MATRIX na 78 a liší se tak pouze počtem řad. Z tohoto důvodu je tester navržen tak, aby bylo možné libovolně měnit počet řad o 78 pinech[5].

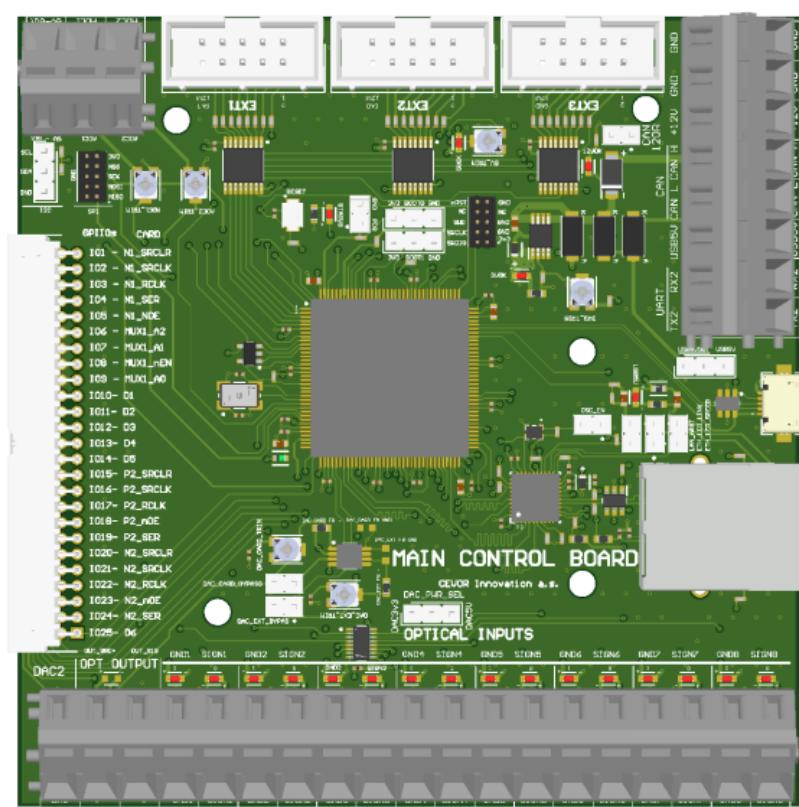


Obr. 1.3: Systémová koncepce

Navržené zařízení se skládá z měřících karet, ovládacích karet a řídícího počítače (Obr. 1.3). Úkolem měřící karty je měřit hodnoty odporu mezi jednotlivými bRC piny a odesílat data do ovládací karty. Měřící karty jsou kompatibilní s 5V a 3V3 logikou.



Obr. 1.4: Měřící karta



Obr. 1.5: Ovládací karta - 3D model (Není vyrobena jedná se o předběžný návrh)

Jednotlivé ovládací karty mají možnost připojení k ethernetové síti pomocí 100BASE-T PHY a jsou schopny ovládat měřící karty. Ovládací karty komunikují pouze s řídící PC aplikací (nikoliv mezi sebou). Řídící PC aplikace řídí všechny testy. Ovládací karty mají v sobě implementován Telnet a http server, přičemž se pro hlavní komunikaci používá právě Telnet server. Takto lze využít jakékoli zařízení s přístupem do sítě pro řízení testeru.

Řídící aplikace využívá ke své činnosti celou řadu vstupních souborů. Jedná se o soubory, které definují zapojení fixture, CAD, CAM a další data[6]. Protože vstupní soubory nemají jednotný formát pro každého výrobce, aplikace nejprve data převede do MySQL databáze. S takto zpracovanými daty již lze provádět jednotné operace. Aplikace porovnává naměřená data z jednotlivých karet ze vstupními soubory a následně generuje výsledek testu propojení v co nejsrozumitelnější podobě.

1.2.2 Hardwareová koncepce

Propojení bRC pinů mezi sebou

Propojení mezi měřícími kartami a maticí bRC pinů je zajištěno pomocí POGO pinů (strana fixture), bRC jehel (strana testeru) a pneumatického kontaktování. Na Obr. 1.4 je znázorněn 3D model měřící karty. V horní části jsou připraveny body pro připojení bRC jehel a napájení desky. Rozteč kontaktů je zvolena tak, aby bylo možno k měřící kartě připájet standardizovaný DIN41612 konektor (dále pouze DIN) a kartu tak snadno použít pro jiné aplikace.

Ve spodní části se nachází 25x2 konektor, sloužící k propojení s ovládací kartou. Měřící karta je navržena tak, aby buď poskytovala napájení ovládací kartě a nebo byla ovládací kartou napájena (více v sekci o návrhu měřící karty).

Propojení mezi bRC a Probes

Pomocí karet je možné automaticky zjistit propojení mezi všemi bRC piny, nicméně přímé propojení mezi bRC a Probe piny je nutné otestovat zvlášť. Za tímto účelem je k testeru připojena externí sonda (Obr. 1.3). Sonda je připojena do bRC pinu č. 80 na měřící kartě č. 1.

Obsluha v závislosti na pokynech PC aplikace připojuje sondu k jednotlivým probes pinům. Takto lze pomocí jednotlivých karet zjistit propojení. Externí sonda je podobná jako sonda multimetru a slouží pouze k přivedení testovacího napětí na probe pin. Proces lze celý automatizovat v případě, že je k dispozici i maketa PCB, která bude obsahovat všechny probe piny přivedené na DIN konektor. V takovém případě lze připojit maketu PCB k kartě a proces automatizovat.

2 Návrh měřících karet

Tato kapitola se zabývá hardwarovým řešením měřících karet. Dále je zde popsána funkčnost základních bloků karet, výběr komponentů a návrh PCB.

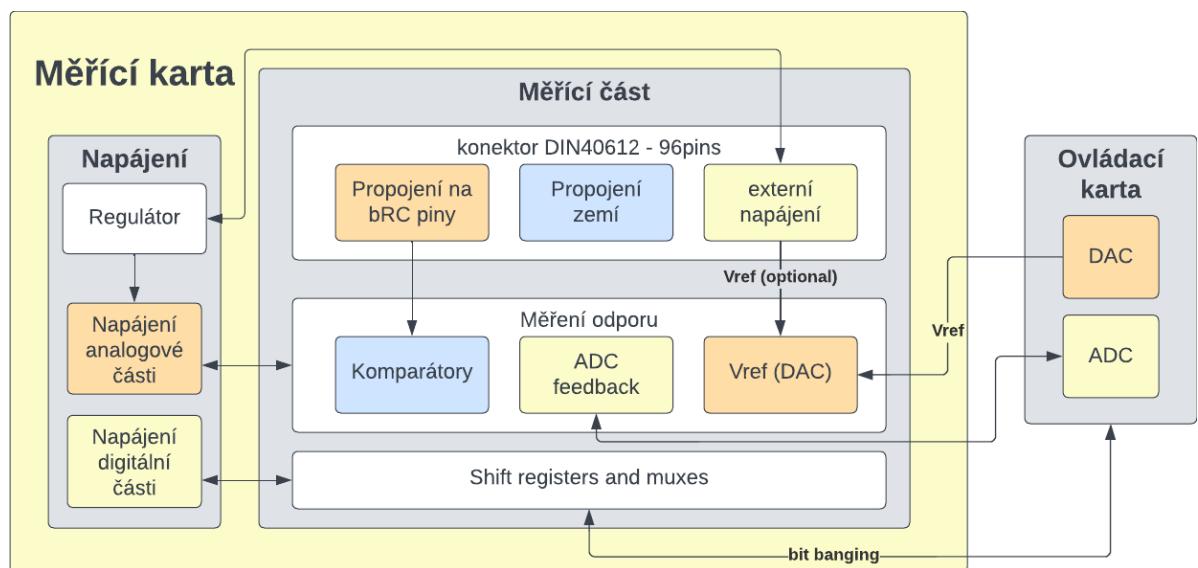
2.1 Základní požadavky na měřící karty

Následující seznam popisuje základní požadavky na měřící karty, seznam je seřazen podle priorit.

1. Schopnost měřit odpor mezi jakýmkoliv dvěma bRC piny a to i v případě, že se každý z pinů nachází na jiné kartě.
2. Komunikace s ovládací kartou.
3. Škálovatelnost.
4. Modularitou se rozumí, co největší nezávislost jednotlivých funkčních bloků na sobě.
5. Dostupnost komponentů.
6. Cena komponentů.

2.2 Funkční bloky

Na následujícím obrázku je znázorněn blokový diagram měřících karet.



Obr. 2.1: Blokový diagram měřících karet

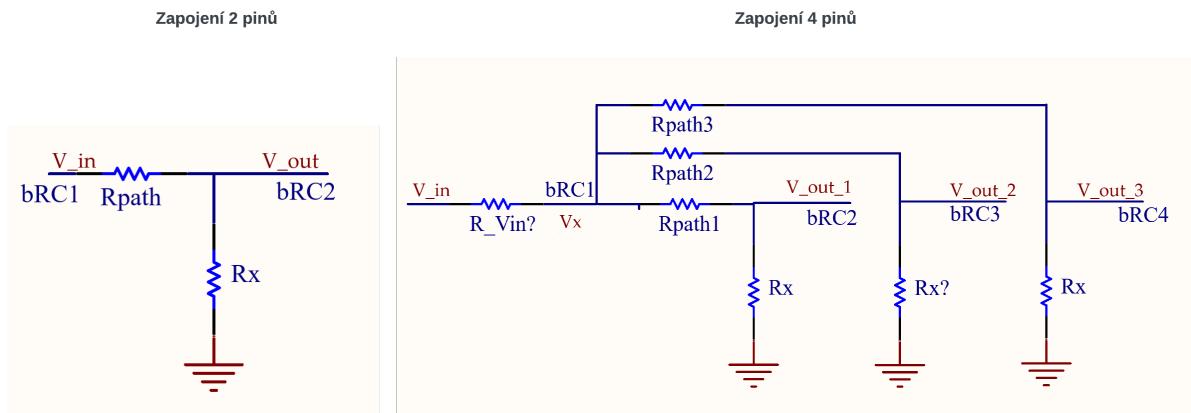
Karta se skládá ze 2 hlavních bloků (Měřící části a napájení). V následujících kapitolách jsou tyto bloky podrobně popsány.

2.2.1 Měřící část

Teoretický návrh

Měřící část je zodpovědná za měření odporu mezi dvěma bRC piny. Obr. 2.2 v levé části zobrazuje jednoduchý ideální napěťový dělič. Dělič je zapojen tak, že jeden z testovaných pinů bRC1 generuje napětí V_{in} a na druhém pinu bRC2 se měří napětí V_{out} . Měřeným odporem je odpor R_{path} , který lze dopočítat následovně:

$$R_{path} = \frac{(V_{in} - V_{out}) \cdot R_x}{V_{out}} \quad (2.1)$$



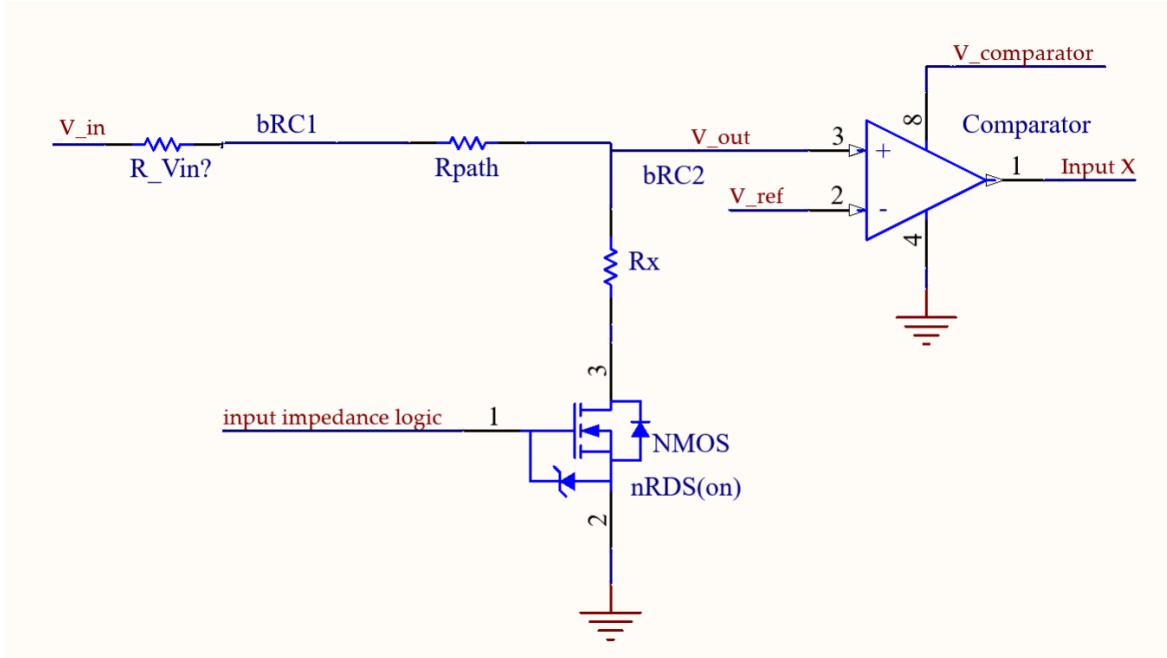
Obr. 2.2: Napěťový dělič pro 2 a 4 propojené bRC piny

Fixture může mít vnitřní zapojení takové, že se vzájemně propojí více než dva bRC piny. V takovém případě by pro např. 4 propojené bRC piny situace vypadala jako na obrázku v pravé části, kde odpory R_{path1} až R_{path3} značí odpory jednotlivých cest mezi piny. V_{out_1} až V_{out_3} značí napětí na výstupech děličů. V případě ideálního zdroje napětí (na obrázku značeno jako Vx) by obvod stále fungoval a platila by rovnice 2.1. Do obvodu by však tekl 3-násobný proud.

V případě reálného zdroje napětí se uplatňuje jeho vnitřní odpor R_{Vin} a především úbytek napětí vzniklý na tomto odporu. Vzhledem k tomu, že úbytek napětí, na vnitřním odporu zdroje, je úměrný protékajícímu proudu a zároveň proud je úměrný počtu propojených pinů, kterých může být v případě zemních smyček fixture mnoho. Vzniká potřeba možnosti odpojení jednotlivých bRC pinů. Odpojení bRC pinu je zajištěno pomocí N-channel mosfetu (obr. 2.3). Toto zapojení v případě nulového napětí na vstupu mosfetu vytvoří vysokou impedanci na vstupu pinu, kterým pak protéká pouze zanedbatelný proud. V případě, že je na vstupu napětí vyšší než prahové napětí mosfetu, výpočet odporu se pro ideální zdroj napětí změní následovně.

$$R_{path} = \frac{(V_{in} - V_{out}) \cdot (R_x + N_{RDSON})}{V_{out}}, \quad (2.2)$$

kde N_{RDSON} je odpor otevřeného mosfetu.



Obr. 2.3: Napěťový dělič pro s možností high Z vstupem

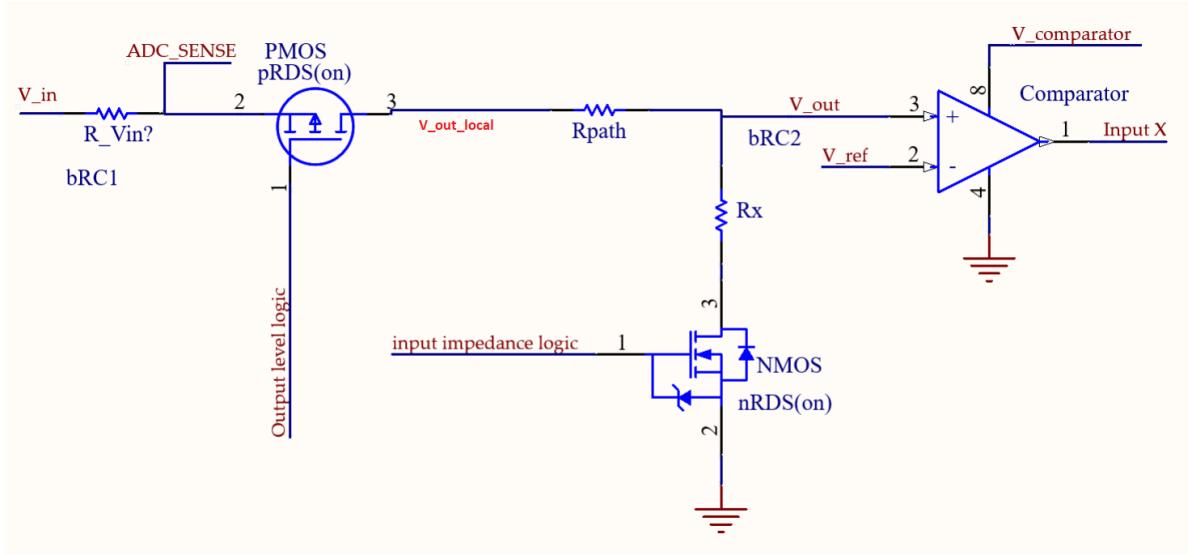
Další nevýhodou zapojení na obr.2.2 je nutnost měření analogového napětí na každém pinu, což by vedlo k složitosti zapojení a vysokým nákladům na výrobu. Naprostá většina bRC pinů je propojená jako zkrat a zajímá nás především, zda hodnota odporu propojení nepřekračuje nějakou mez. Toho lze využít připojením komparátoru na výstup děliče (Obr.2.3). Komparátor porovnává výstupní napětí V_{out} s hodnotou referenčního napětí V_{ref} .

Referenční napětí je nastavováno pomocí 12-bit D/A převodníku ovládací desky. V případě nastavení referenčního napětí pro určitou mezní hodnotu R_{path} , lze kontrolovat pouze logickou hodnotu výstupu $V_{comparator}$ (na obr.2.3 jako InputX). V případě, že bude nutné změřit reálný odpor cesty, je možné měnit napětí V_{ref} a sledovat při jaké hodnotě se komparátor překlopí.

Další otázkou je, jak generovat napětí V_{in} na vstupu děliče. Protože každý bRC pin musí být zároveň vstupní i výstupní, musí být konfigurovatelný do vysoké impedance (HIGH Z). Zároveň pokud bude každý pin schopen dodat do obvodu dostatečné množství proudu, bude možné měřit odpor několika cest současně. Řešením je obvod na obr.2.4.

V tomto zapojení přibyl P-channel mosfet, který umožnuje spínat (ovládat) výstupní napětí V_{in} . Nicméně vzniká zde obdobný problém jako u zapojení na obr.2.2 a to, že s rostoucím proudem roste úbytek napětí na vnitřním odporu zdroje charakterizovaným odporem R_{Vin} . Z tohoto důvodu je úbytek monitorován 12 bitovým A/D převodníkem (na ovládací kartě). Výsledek měření odporu je pak vztažen k hodnotě změřené pomocí A/D převodníku. Odpor zdroje se pak bude rovnat R_{DSon} P-channel mosfetu. Nastává tak problém určit vliv odporu R_{DSon} na výslednou hodnotu změřeného odporu $R_{path}[1, 2]$.

Protože každý pin může být zároveň výstupní i vstupní, kde vstupní funkci plní lokální komparátor. Lze pro přesné měření změřit přímo výstupní napětí V_{out_local} pomocí lokálního komparátoru a vliv R_{DSon} úplně eliminovat. Nicméně tato metoda je časově náročnější a je více diskutována v kapitole o algoritmizaci.



Obr. 2.4: Zapojení měřící části s p-channel MOSFET

Ve schématu na obr.2.4 si lze všimnout řídících napětí (Output level logic, input impedance logic a input X). Output level logic řídí, zda generuje rBC pin napětí. Input impedance logic umožnuje nastavit HIGH Z na vstupním obvodu. Input X je výstup komparátoru. Vzniká tak potřeba pro každý bRC pin mít 2 logické výstupy a jeden vstup. Každá deska musí mít minimálně 78 bRC pinů, což znamená minimálně 156 logických výstupů a 78 logických vstupů.

Pro tento účel je použito pro nastavení 78x Output level logic 2x5x8-bit shift registrů zapojených do série. Obdobně je pro nastavení 78x input impedance logic je použito 2x5x8-bit shift registrů zapojených do série. a pro 78 logických výstupů je použito 2x5x8-bit multiplexerů se společnou adresací. Společnou adresací se rozumí, že adresy 2x5 multiplexerů jsou řízeny 2x3 adresními piny. Vzhledem k použití 8-bit komponentů je výsledný počet bRC pinů na desce zaokrouhlen na 80 místo 78, přičemž 2 poslední vstupy/výstupy jsou na testeru ignorovány (v případě měřící desky č.1 je pin č. 80 použit pro externí sondu). Hierarchické schéma měřící karty lze nalézt v příloze.

Měřící karty fungují, vzhledem k potřebám testování, ve dvou režimech (PASS/FAIL a měření reálného odporu). PASS/FAIL režim je určen pro rychlé hromadné otestování všech pinů, kde hlavním kritériem je, zda propojení mezi piny odpovídají nějaké mezní hodnotě odporu nebo ne. Výsledkem je pak pouze mapa propojení bez hodnot reálného odporu. Režim měření reálného odporu pak umožňuje změřit co nejpřesnější hodnotu odporu všech propojení.

Výběr součástek a volba jejich hodnoty

V předchozí sekci byla diskutována funkčnost zapojení. Nicméně nebylo doposud zmíněno, jaké kvantitativní hodnoty součástek jsou vhodné pro realizaci. V této sekci jsou popsány konkrétní reálné součástky, které byly použity včetně zdůvodnění jejich výběru.

Volba velikosti odporu děliče Rout

Odvození podmínek pro výběr odporu děliče:

V celé následující sekci je zanedbán vliv komparátoru na měřící obvod. V první řadě je nutné definovat jaká je vyžadovaná přesnost, rozsah a rychlosť měření. Vzhledem k charakteru propojení ve fixture by měl být tester schopen změřit odpor v rozsahu od 1Ω do $1\text{k}\Omega$. Vyžadované rozšíření je 1Ω především pro odpory do 100Ω . Co se týče rychlosti měření, tak pro automatické měření mezi dvěma bRC piny nejsou kladený žádné požadavky, protože je proces plně automatizován.

Při měření odporu mezi bRC a Probe piny, obsluha postupně testuje všechny piny všech karet zvláště externí sondou. V tomto případě by prodleva mezi přiložením sondy a vyhodnocením signálu neměla být pro člověka rozpoznatelná (signalizace pískáním obdobně jako continuity test multimetru). Z tohoto důvodu je nutné pro jeden pin změřit propojení mezi všemi ostatními piny do cca 40 ms (včetně komunikací s PC cca. 30 ms). Nicméně stačí vyhodnocovat PASS/FAIL pro odpor cesty a ne přímo jeho hodnotu. Následující tabulka je shrnutím tohoto odstavce.

Požadované charakteristiky měřícího obvodu					
TEST MODE	Počet pinů	Rozsah [Ω]	Přesnost [$\pm\Omega$]	čas [$\mu\text{s}/\text{pin}$]	Celkový čas [ms]
PASS/FAIL	4000	1-1000	2	2,5	10
Měření "pravé" hodnoty	4000	1-1000	1	Nedefinován	Nedefinován

Tab. 2.1: Požadované měřící charakteristiky

Všechna následující odvození vycházejí z následující výchozí rovnice pro výstup napěťového děliče pro 2 propojené bRC piny:

$$V_{out} = \frac{V_{in} \cdot R_{out}}{R_{out} + R_{path} + R_{DSon}^P}, \quad (2.3)$$

kde $R_{out} = R_X + R_{DSon}^N$ a R_{DSon}^P je ekvivalent R_{Vin} a odpovídá odporu P-channel mosfetu.

Z tabulky vyplývá několik podmínek pro volbu rezistoru R_{out} . První podmínka se vztahuje k přesnosti měření. Přesnost měření ovlivňují převážně 2 faktory. Prvním faktorem je chyba vzniklá diskretizací referenčního napětí komparátoru, které je generováno 12bit D/A převodníkem. Protože rovnice pro výstupní napětí děliče je nelineární bude nelineární i chyba vzniklá kvantováním. Podmínku pro splnění přesnosti, v případě, že se projeví pouze kvantizační chyba, lze vyjádřit následovně:

$$\left| \frac{\partial V_{out}}{\partial R_{path}} \cdot \Delta R_{path} \right| > \frac{V_{ref}}{2^{12}}, \quad (2.4)$$

kde $\left| \frac{\partial V_{out}}{\partial R_{path}} \cdot \Delta R_{path} \right|$ značí změnu napětí Vout způsobenou změnou R_{path} o požadovanou přesnost v Ω a R_{path} je z rozsahu 0 - 1k Ω . Tento vztah se také dá reprezentovat jako citlivost měření na změnu R_{path} .

Druhým faktorem, ovlivňujícím přesnost je chyba, kterou do měření přidává odpor R_{DSon}^P P-channel mosfetu při paralelném měření několika bRC pinů. Tato chyba roste s zvyšujícím se proudem a projeví se tak především při PASS/FAIL režimu. Vzhledem k náhodnému vnitřnímu propojení fixture není možno dopředu odhadnout, kolik bRC pinů bude připojeno a tak ani výsledný proud odporem R_{DSon}^P . Uvažujme, že chceme změřit "nejhorší scénář" (všechny piny jsou mezi sebou propojeny tvrdým zkratem). Následně poteče obvodem proud přibližně:

$$I = \frac{V_{in}}{R_{out}/N_{pins} + R_{DSon}^P} \quad (2.5)$$

Proud je tak nepřímo úměrný velikosti hledaného odporu Rout a počtu paralelně měřených pinů. Pokud bychom chtěli změřit všechny piny na kartě současně ($N_{pins} = 80$). Musí každý pin být schopen dodat do obvodu proud $I = 80 \cdot V_{in}/R_{out}$. Vzhledem k nenulovému odporu R_{DSon}^P , který lze připodobnit vnitřnímu odporu zdroje napětí vzniká následující podmínka pro nejhorší možný případ:

$$I \cdot R_{DSon}^P < \left| \frac{\partial V_{out}}{\partial R_{path}} \cdot \Delta R_{path} \right| \quad (2.6)$$

$$\frac{V_{in} \cdot R_{DSon}^P}{R_{out}/N_{pins} + R_{DSon}^P} < \left| \frac{\partial V_{out}}{\partial R_{path}} \cdot \Delta R_{path} \right| \quad (2.7)$$

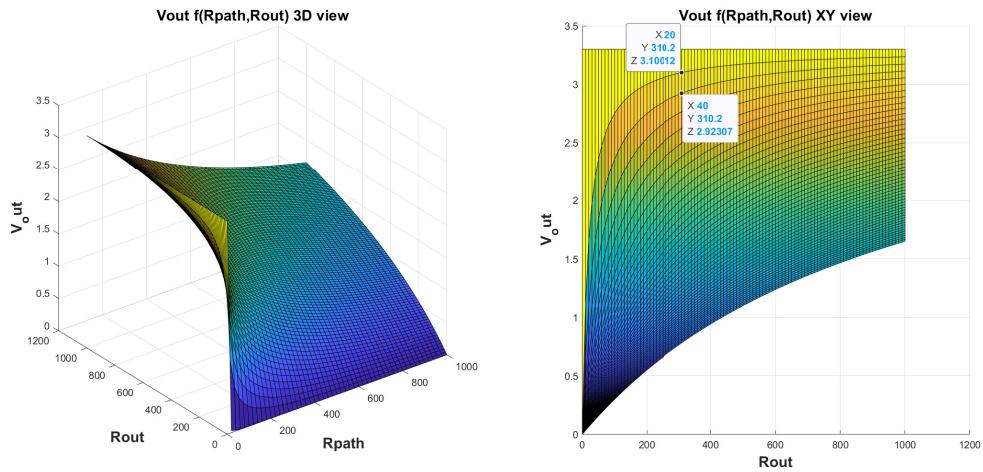
Podmínka vyjadřuje, že chyba vzniklá úbytkem napětí na R_{DSon}^P za předpokladu Npins propojených pinů, by na výstupu děliče Vout neměla být větší než nejnižší napětí, které vznikne změnou odporu cesty o požadovanou přesnost v Ω .

Při uvážení nejhoršího scénáře, že se sečte chyba dáná kvantováním a chyba dáná odporu R_{DSon}^P , lze vyjádřit podmínku pro hledaný odpor R_{out} následovně:

$$\frac{V_{ref}}{2^{12}} + \frac{V_{in} \cdot R_{DSon}^P}{R_{out}/N_{pins} + R_{DSon}^P} < \left| \frac{\partial V_{out}}{\partial R_{path}} \cdot \Delta R_{path} \right| \quad (2.8)$$

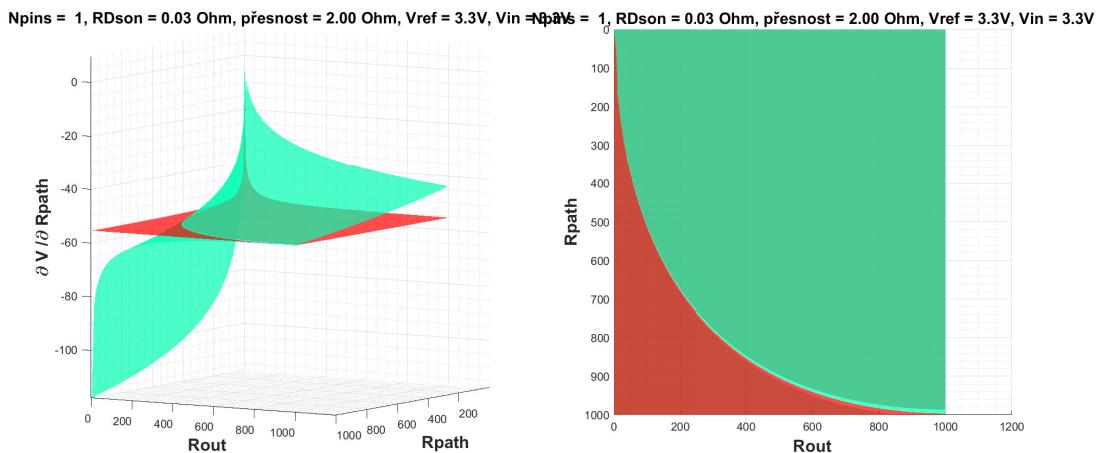
Řešení podmínek výběru hodnoty odporu děliče:

Rovnici 2.8 lze považovat za citlivost obvodu na změnu odporu R_{DSon}^P . Řešením by měla být být oblast hodnot, ve které odpor R_{out} splňuje podmínky pro přesnost. Kvůli názornosti byla zvolena grafická metoda řešení. Následující obrázek 2.5 ukazuje výstupní napětí ideálního děliče v závislosti na odporu R_{out} a R_{path} . V levé části je zobrazena celá zkoumaná oblast a v pravé části je stejný graf zobrazen z "bočního" pohledu. V takovém zobrazení je patrné, jaká je změna výstupního napětí V_{out} při změně odporu R_{path} . Pokud zobrazíme 2 sousední hodnoty výstupního napětí tak, aby náležely stejnemu odporu R_{out} (leží vertikálně nad sebou). Rozdílem těchto 2 hodnot získáme citlivost $\left| \frac{\partial V_{out}}{\partial R_{path}} \cdot \Delta R_{path} \right|$. Na obrázku je z důvodu lepšího zobrazení zvolena velká změna odporu ΔR_{path} (v tomto případě 20 Ω). Pro správný návrh je pak nutné zvolit stejnou změnu odporu ΔR_{path} jako má požadovaná přesnost [7, 8].



Obr. 2.5: 3D zobrazení rovnice pro výstupní napětí děliče (generováno pomocí MATLAB)

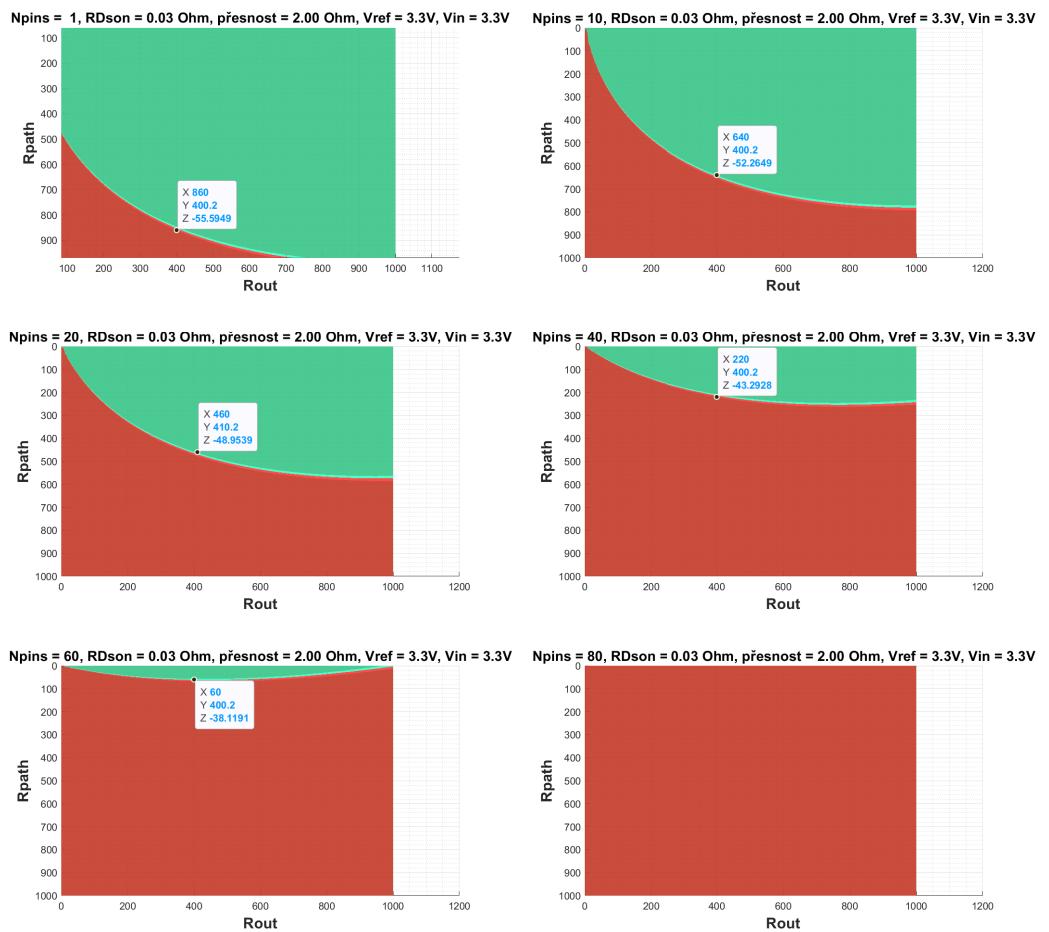
Nyní přejděme k řešení rovnice (2.8). Následující obrázek 2.6 zobrazuje ve své levé části zeleně hodnotu citlivosti $\frac{\Delta V_{out}}{\Delta R_{path}}$ v celém zkoumaném prostoru. Červeně je pak zobrazena druhá strana rovnice (2.8). Podmínky jsou splněny ve všech kombinacích odporu R_{out} a R_{path} , kde má zelená část vyšší hodnoty diference než červená. V pravé části obrázku je pro jednodušší odečítání hodnot odporu výsledné oblasti pohled "shora". Zelená oblast splňuje podmínky a červená nesplňuje. Obecně platí, čím hlouběji v zelené oblasti se zkoumaný bod nachází, tím vyšší je přesnost



Obr. 2.6: 3D zobrazení rovnice 2.8 s podmínkami (generováno pomocí MATLAB)

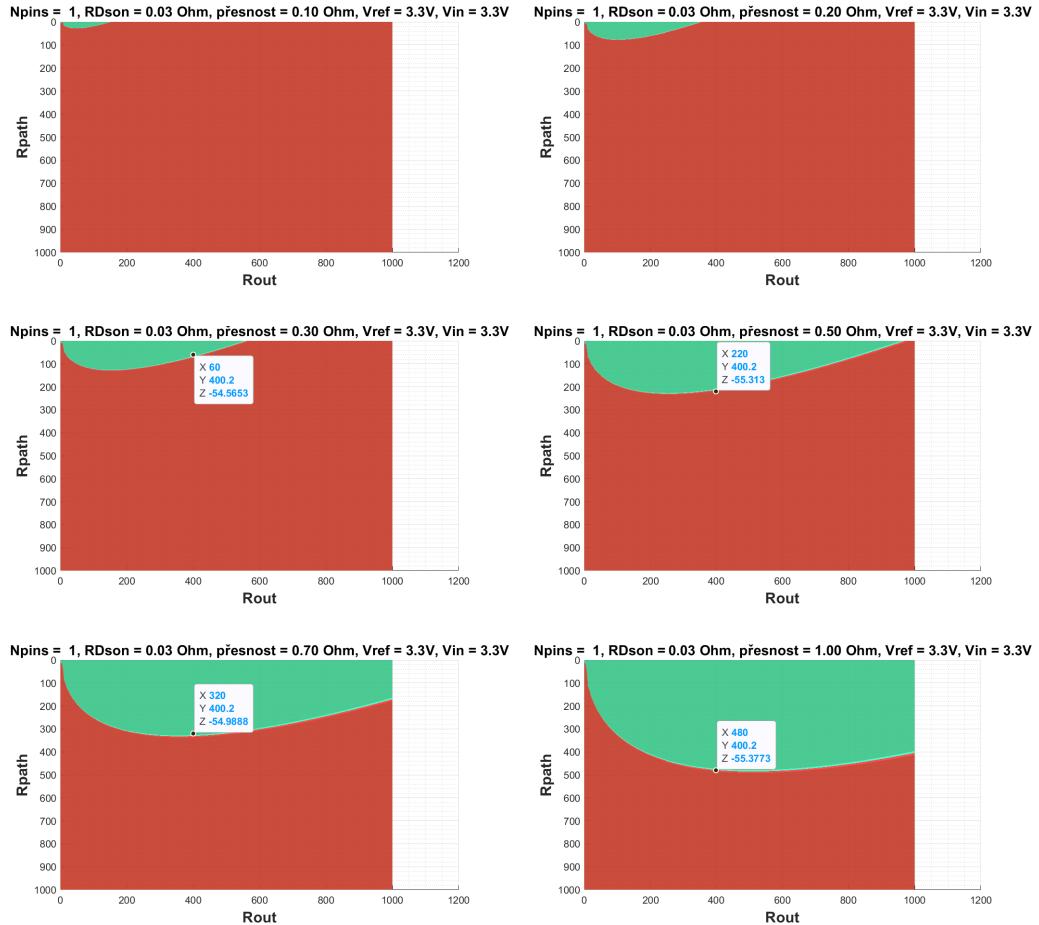
Do rovnice však vstupují parametry, jako je počet paralelně měřených pinů, odpor R_{DSon}^P a volba přesnosti. Následující série grafů zobrazuje vliv těchto parametrů na výslednou oblast, která splňuje podmínky. Výsledný zvolený odpor je 400Ω a v grafech jsou krajní hodnoty pro tento bod označeny (x: R_{path} , y: R_{out} a z: $20\log(|\frac{\partial V_{out}}{\partial R_{path}} \cdot \Delta R_{path}|)$).

Zkoumání vlivu počtu pinů nás zajímá především při provozu testeru v PASS/FAIL režimu, kdy je nutné provádět měření rychle. Zároveň zde máme definovanou maximální chybu měření do 2Ω . Při tomto testu se předpokládá, že všechny měřené cesty mají odpory do 100 Ω . Z obrázku 2.7 je patrné, že nebude možné změřit všech 80 pinů jedné karty současně s požadovanou přesností. Požadovanou přesnost nebude možné dosáhnout ani při měření 60 pinů současně, protože nejvyšší hodnota odporu cesty, která leží v zelené oblasti je přibližně 60 Ω . Při této úvaze bylo počítáno s $R_{DSon}^P = 0.03\Omega$, což je hodnota o cca 15m Ω vyšší než má použitý P-channel mosfet. (Výběr mosfetu je dále v diplomové práci). Hodnota zvoleného odporu 400 Ω umožňuje, při měření 40 pinů současně, splnit podmínu přesnosti $\pm 2\Omega$ pro určení hodnoty odporu propojené do přibližně 220 Ω .



Obr. 2.7: PASS FAIL - přesnost R_{path} 2Ω (generováno pomocí MATLAB)

Vliv požadované přesnosti měření nás zajímá v režimu vyhodnocení co nejpřesnější hodnoty měřené cesty. V tomto režimu se předpokládá měření propojení pouze 2 pinů. Z obrázku 2.8 je patrné, že vyšší přesnosti lze docílit volbou nižšího odporu R_{out} . Tento požadavek je protichůdný s požadavkem na velikost odporu pro PASS/FAIL test(2.7). Hodnota výsledného odporu 400Ω tak byla zvolena jako jistý kompromis mezi těmito dvěma požadavky.



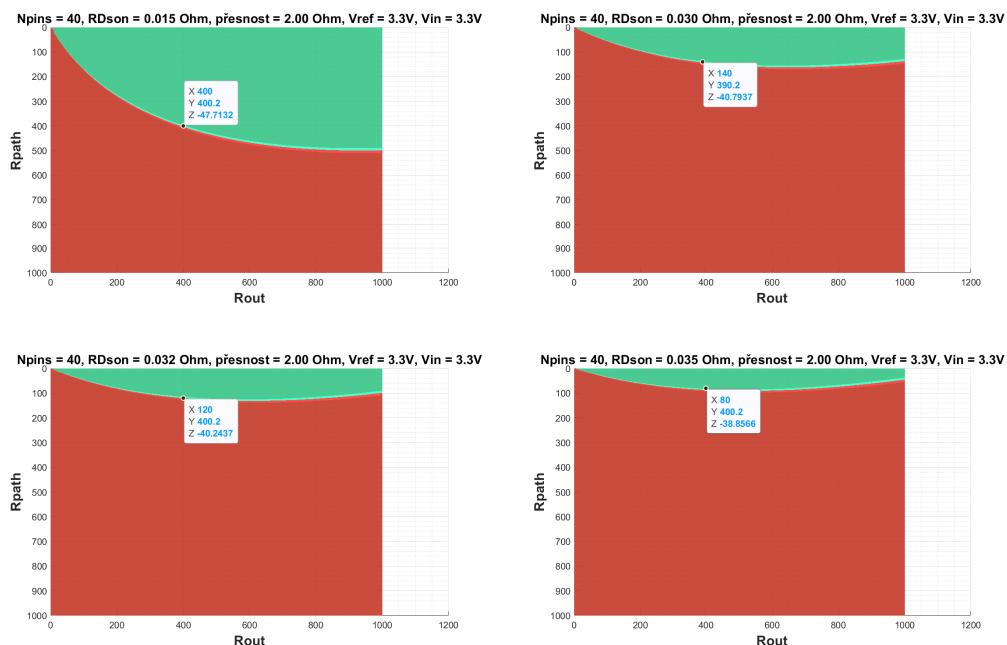
Obr. 2.8: Přesné měření mezi 2 piny - (generováno pomocí MATLAB)

Volba P-channel mosfetu

Při výběru P-channel mosfetu je vzhledem k podmínkám na přesnost nutné zvolit mosfet s nízkým odporem R_{DSon}^P . Tohoto odporu by mělo být možno dosáhnout pomocí řídícího napětí 3.3V. Zároveň by měl mosfet být schopen dodat do obvodu dostatečný proud pro měření 40 pinů současně (proč 40 pinů je zdůvodněno v kapitole o volbě odporu R_{out}). Mosfet musí tedy do obvodu být schopen dodat následující minimální proud.

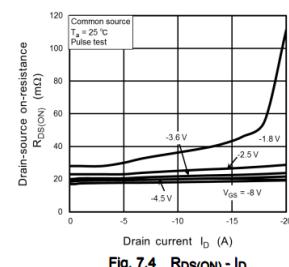
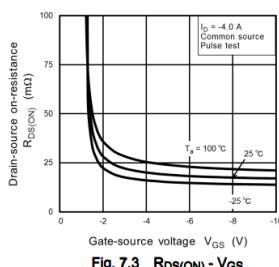
$$I_{min} = \frac{40 \cdot V_{in}}{R_{out}} = \frac{40 \cdot 3.3}{400} = 330mA \quad (2.9)$$

Z následujícího obrázku je patrné, že při použití $R_{out} = 400\Omega$ je pro splnění podmínky přesnosti měření 2Ω v rozsahu od 1 do 100Ω zvolit mosfet s nejvyšším možným R_{DSon}^P přibližně 0.032Ω . Zároveň je zde požadavek na co nejnižší cenu, dostupnost a menší velikost pouzdra.



Obr. 2.9: vliv RDson na přesnost měření (generováno pomocí MATLAB)

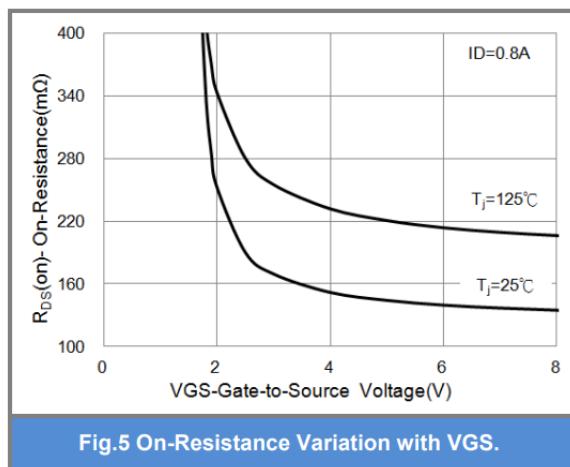
Na základě výše zmíněným požadavků byl zvolen mosfet SSM3J358R,LF. Níže je výstřížek z datasheetu. Podle typických hodnot by se mělo docílit R_{DSon} do $25 \text{ m}\Omega$.



Obr. 2.10: Výstřížek z datasheetu mosfetu SSM3J358R,LF - RDSON[9]

Volba N-channel mosfetu

Parametry N-channel mosfetu nemají příliš velký vliv na chování obvodu, protože jeho odpor R_{DSon}^N je započítán do hodnoty odporu R_{out} . Zároveň je hodnota R_{DSon}^N většinou nižší než tolerance odporu R_{out} . Hlavním požadavkem je zde, aby bylo možno ovládat mosfet 3.3 a 5V logikou. Dále by měl mosfet být schopen snést proud $I = 3.3/400 = 8.25\text{mA}$, byl co nejlevnější dostupný a měl menší velikost pouzdra. Byl vybrán PJA3432_R1_00001 s následujícími parametry.



Obr. 2.11: Výstřížek z datasheetu N-channel mosfetu PJA3432_R1_00001 - RDSON[10]

Volba komparátoru

Doposud nebylo počítáno s vlivem reálného komparátoru. Aby byly výsledky co nejpřesnější je vhodné zvolit komparátor s co nejvyšším vstupním odporem. Protože při propojení pinů nízkou hodnotou odporu je výstupní napětí děliče blízké napájecímu napětí, tak je komparátor napájen vyšším napájecím napětím konfigurovatelným od cca 4 do 5.5V (více v sekci o napájení). Komparátor by také neměl mít hysterzi. Dále, protože je vstup komparátoru přímo připojen na bRC piny, tak by zde měla být ESD ochrana.

Pro jednodušší PCB layout je vhodné, aby pouzdro obsahovalo více komparátorů. Co se týče input voltage offsetu, tak na jeho velikosti příliš nezáleží, protože bude minimalizován kalibrací. Offset by však měl být stabilní.

Byl vybrán komparátor LM393LVQDRQ1. Vstup komparátoru je interně chráněn proti ESD do 2kV. Na výstupu komparátoru je pull-up rezistor připnutý k napájení ovládací karty (tímto je docíleno napěťové kompatibility s 3V3 i 5V logikou). Vybraný komparátor má poměrně vysokou kapacitu vstupu (3 pF). Vliv kapacity je diskutován v sekci o návrhu D/A převodníku ovládací karty[11].

Volba shift registrů

Základním požadavkem na shift registry je možnost řízení pomocí 3V3 logiky, přičemž shift registr samotný je napájen 5V. Dále schopnost řídit vybrané P a N-Channel mosfety. Všech 80 výstupů (P-Mosfetů) je řízeno 2x5 shift registry zapojených do série. Pro výstupní piny není kladen velký důraz na rychlosť nastavení hodnot, protože pro každý výstupní pin je nutné změnit dalších 4000 vstupních tak je na přepínání času dostatek. Naopak ovládání N-channel mosfetů by mělo být co nejrychlejší.

V kapitole o výběru rezistoru děliče je zmíněno, že bude možné měřit 40 pinů současně. Jistým kompromisem jednoduchosti ovládání a rychlostí je tak ovládat N-channel mosfety 10 shift registry zapojenými stylem 2x5 do série (viz. schéma měřící karty v příloze).

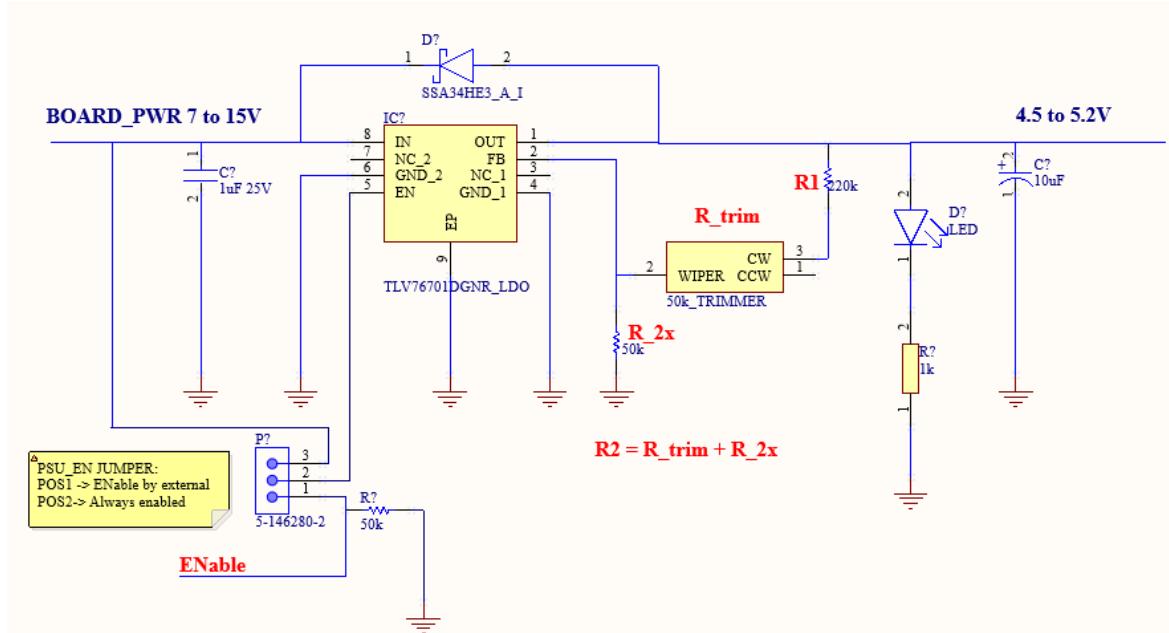
Toto řešení ovládání je zároveň modulární, lze odebírat celé bloky po 8 pinech a zlevnit tak měřící kartu pro použití v jednodušších aplikacích. Stejně jako u předchozích součástek i zde je požadavek na menší pouzdro. Byl vybrán shift registr SN74AHCT595PWR. Tento shift registr je 3 stavový, lze tak přímo řídit jednotlivé mosfety bez nutnosti pull-up/down rezistorů. Poblíž napájení každého z shift registrů je umístěn 100nF vazební kondenzátor. Řídící piny shift registrů jsou přivedeny na 2x25 pinový konektor, kterým je měřící deska připojena k ovládací desce[12].

Volba multiplexerů

Multiplexer by měl být ovladatelný 3.3V i 5V logikou. Byl zvolen multiplexer TMUX1308QDYYRQ1. K multiplexeru je obdobně jako k shift registru připojen 100nF vazební kondenzátor. Komparátory jsou zapojeny stylem 2x5 a mají jednotnou adresaci (2x3 adresní piny, 2x enable pin, 2x5 výstupních pinů). Výstupy multiplexeru jsou přivedeny na 2x25 pinový konektor[13].

2.2.2 Napájecí část

Měřící karta je ve svém standardním provedení napájena 7V až 15V. Toto napájecí napětí je následně regulováno dvěma nastavitelnými regulátory TLV76701DGNR na 3V a 5V. Tyto regulátory disponují enable pinem, kterým je možné spínat regulátory ve správném pořadí, tak aby nedocházelo k nedefinovaným stavům. Enable piny jsou řízeny pomocí ovládací karty, je však možno pomocí jumperů přepnout regulátory do režimu, kde se spínají současně automaticky. Dále tyto regulátory nabízí výstupní proud až 1A, ESD ochranu vstupů a automatickou tepelnou ochranu.[14]



Obr. 2.12: Napájení měřící karty: 5V regulátor (celé schéma měřící karty v příloze - POWER REGULATORS)

Napětí 5V, ve finálním schématu v příloze označeno jako Vcomp, slouží k napájení multiplexerů, komparátorů a shift registrů. Ve zpětnovazebním obvodu regulátoru je připojen odporový dělič s $50\text{ k}\Omega$ trimmerem, pomocí kterého lze nastavit výstupní napětí v rozmezí přibližně od 4.5 do 5.2V. Vzhledem k povaze napájených komponentů se nepředpokládá vysoký odběr proudu.

Napětí 3V, ve finálním schématu v příloze označeno jako Vpins, slouží k generování napětí na bRC pinech. Obdobně jako regulátor pro 5V má i regulátor pro 3V trimmer pro nastavení výstupního napětí. Zde je však v napěťovém děliči zvolena jiná hodnota pevného rezistoru R1, tak aby bylo možno pomocí $50\text{ k}\Omega$ trimmeru nastavit výstupní napětí v rozmezí od 2.8 do 3.5V. Protože bude referenční napětí generováno 3.3V D/A převodníkem. Počítá se s nastavením výstupního napětí na 3V pro případ, že by převodník nefungoval v celém svém rozsahu. 3V regulátor musí být schopen dodat do obvodu proud minimálně 330mA (zdůvodnění je patrné z rovnice 2.9). Volba hodnot rezistorů ve zpětné vazbě vychází z rovnice pro výstupní napětí

regulátoru

$$V_{out} = V_{FB} \cdot \left(1 + \frac{R1}{R2}\right), \quad (2.10)$$

kde $V_{FB} = 0.8V$, pro $R2$ byl použit $50\text{k}\Omega$ trimmer v sérii s odporem $50\text{k}\Omega$. Hodnota $R1$ pro 5V regulátor byla zvolena $220\text{k}\Omega$ a pro 3V regulátor $120\text{k}\Omega$.

Regulátory mají připojeny shotky diody SSA34HE3. Tyto diody slouží jako ochrana proti přepětí na výstupu. Na výstupu regulátorů jsou připojeny LED pro snadnou kontrolu, zda je regulátor zapnutý. Výstupy regulátorů jsou přivedeny na jak na 2×25 pin konektor, tak na pole pinů pro připojení bRC (případně DIN konektoru). Je tak možno využít výstupní napětí regulátorů pro napájení externích komponent, nebo také regulátory neosazovat a napájet měřící kartu externím regulovaným zdrojem.

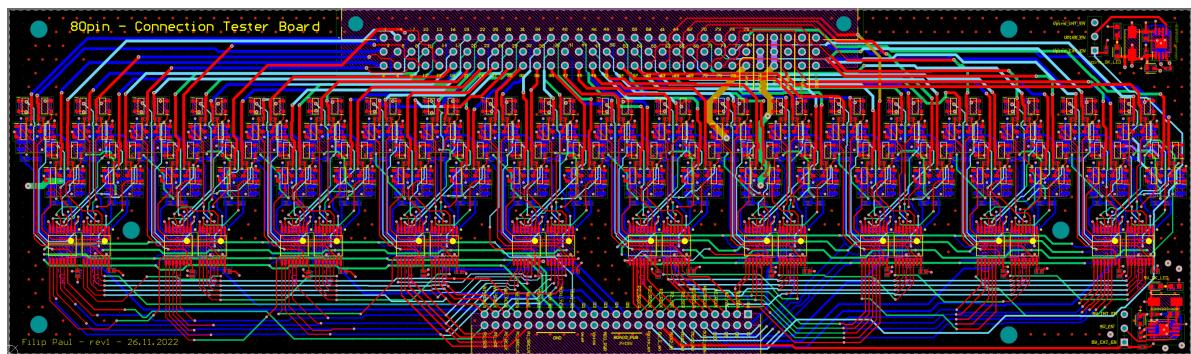
Na měřící kartě lze také nalézt napětí, které je ve finálním schématu v příloze označeno jako PWR_MCU. Toto napětí je do měřící desky přivedeno z ovládací karty. Je to napětí, které je následně využito pro výstup multiplexerů (pull up výstupu komparátoru) a je tím zajištěna napěťová kompatibilita s ovládací logikou 3.3V a 5V .

2.2.3 Návrh PCB

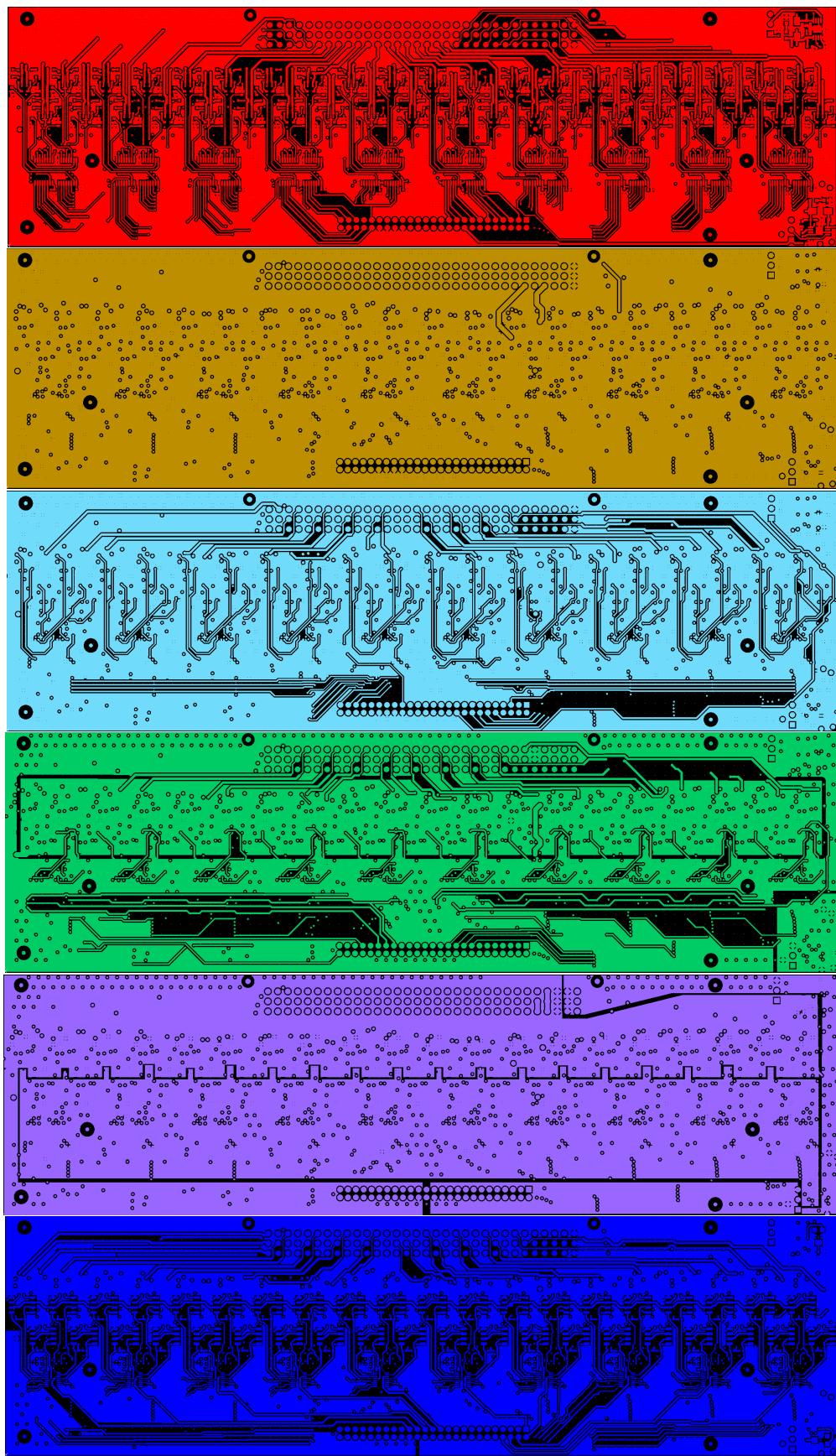
Pro návrh PCB bylo využito softwaru Altium Designer. PCB bylo vyrobeno firmou JL-CPCB. Jedná se o 6-ti vrstvě PCB s následujícím rozložením vrstev. Jednotlivé vrstvy mají následující účel:

- TOP layer: signal; polygon - GND
- inner layer 1: GND
- inner layer 2: signal; polygon - GND
- inner layer 3: signal/PWR; polygon - PWR_MCU, Vref
- inner layer 4: PWR; polygon - BOARD_PWR, Vpins, Vcomp
- BOTTOM layer: signal; polygon - GND, Vref

Za označením "polygon -" jsou uvedeny jména signálů, které mají v dané vrstvě nějaký polygon. Následující obrázek zobrazuje všechny vrstvy současně bez polygonů. Na další straně jsou jednotlivé vrstvy včetně polygonů.



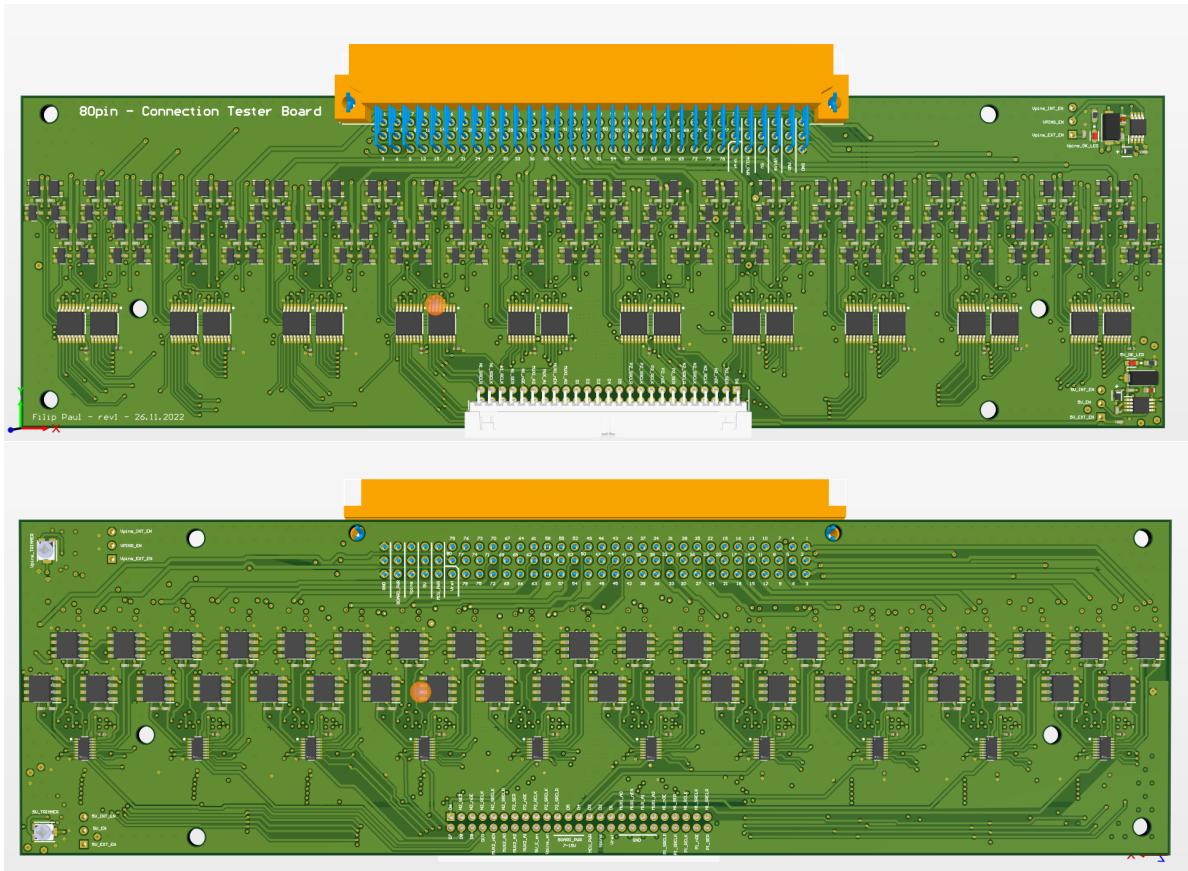
Obr. 2.13: Všechny vrstvy bez polygonů



Obr. 2.14: Vrstvy PCB top to bottom včetně polygonů

Pro minimalizaci zemních smyček jsou po celé desce rozmístěny stitching vias, které propojují GND signály. V gerber datech a 3D modelu jsou stitching vias zobrazeny jako tented vias. Nicméně kvůli nižší ceně výroby PCB jsou použity odkryté vias. Z důvodu požadavků na osazení komponent byl použita povrchová úprava.

Důležitou podmínkou návrh PCB měřících karet je, že jejich výška (včetně komponentů) nesmí přesáhnout 8mm. Tento rozměr je dán roztečí jednotlivých řad bRC pinů. Na následujících obrazcích jsou zobrazeny 3D modely měřící karty s DIN konektorem, který přesahuje výšku 8mm (nebude však osazen). Finální rozměry měřící karty bez DIN konektoru jsou (délka x šířka x výška) 215 x 62.5x 7.65mm. PCB obsahuje několik děr pro uchycení pomocí M3 šroubů.



Obr. 2.15: 3D model top a bot s osazeným DIN konektorem

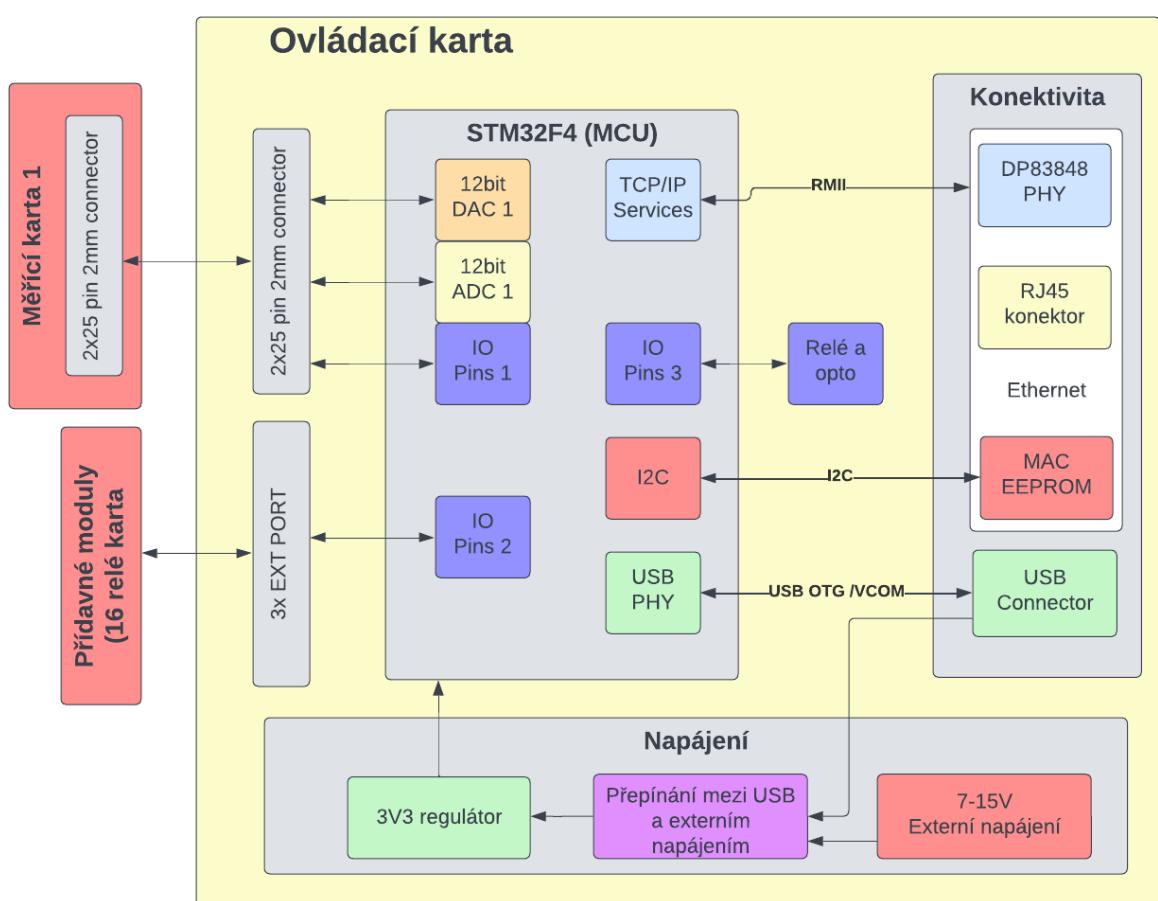
3 Návrh ovládacích karet

3.1 Základní požadavky na Ovládací karty

Následující seznam popisuje základní požadavky na ovládací karty, seznam je seřazen podle priorit.

1. Schopnost ovládat měřící karty.
2. Možnost komunikace pomocí 100 Mbit Ethernetu.
3. Dostupnost komponentů.
4. Cena komponentů.

3.2 Funkční bloky



Obr. 3.1: Funkční diagram ovládací karty

Ovládací karta obsahuje několik pomyslných funkčních bloků (Obr. 3.1). Jednotlivé bloky jsou podrobněji popsány v následujících kapitolách. Celé schéma k ovládací kartě je v příloze na konci tohoto dokumentu.

3.2.1 Mikrokontrolér a jeho periférie

Ovládací karta je založena na 32-bitovém mikrokontroléru STM32F407ZGT6 s Cortex M4 jádrem. Tento mikrokontrolér disponuje 114 I/O piny (3V3 logika), dvěma nezávislými 12-bit A/D a D/A převodníky, nativní podporou USB OTG a 100 Mbit Ethernet MAC vrstvou. Právě díky těmto vlastnostem, je tento mikrokontrolér vhodný pro ovládání měřících karet a komunikaci s PC.

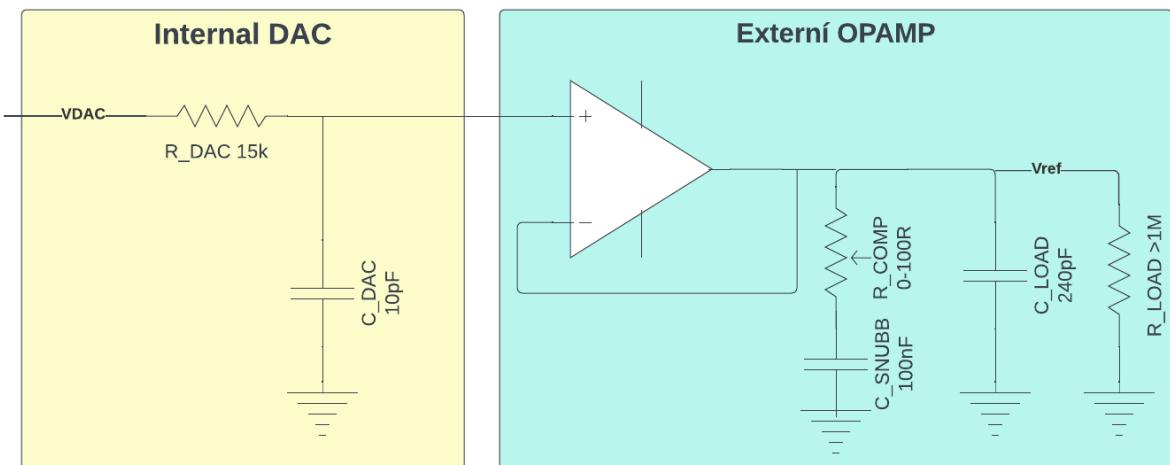
Pro komunikaci s PC aplikací se primárně počítá s telnet serverem, který běží na mikrokontroléru. Nicméně pro debugovací účely je možno s ovládací kartou komunikovat i pomocí USB. K programování mikrokontroléru lze použít interface SWD, JTAG nebo DFU (USB bootloader).

Jednotlivé shift registry a multiplexery jsou ovládány, skrze ovládací kartu, pomocí metody bit bangingu. Dále ovládací karta poskytuje 12-bitový DA a AD převodník.[2].

Ovládací karta obsahuje i další periferie jako například CAN, LIN, RTC, opticky oddělené vstupy a výstupy apod. Tyto periferie slouží k použití karty v jiném projektu než je právě diplomová práce a proto nejsou podrobněji diskutovány.

D/A převodník

STM32F407ZGT6 nabízí dva 12-bit D/A převodníky s možností využití integrovaného bufleru v podobě invertujícího operačního zesilovače. Nicméně podle datasheetu je možné použít výstupní buffer pouze do velikosti kapacitní zátěže 50 pF. Kapacitní zátěž D/A převodníku bude rovna parazitním kapacitám, které nelze jednoznačně určit a vstupní kapacitě 80 komparátorů (V+ proti GND). Každý z komparátorů má svou vstupní kapacitu přibližně 3 pF. Dohromady tedy vznikne kapacitní zátěž minimálně 240 pF.[15]



Obr. 3.2: DAC-externí zesilovač

Pro použití D/A převodníku je použit externí operační zesilovač v zapojení (Obr. 3.2).

V tomto zapojení je rychlosť D/A prevodníku limitována kapacitou pinu D/A prevodníku C_DAC (cca 10 pF) a vnitřním odporem R_DAC (cca 15 kΩ). Mezní kmotorec nezatíženého D/A prevodníku pak lze určiť následovně.

$$f_{max} = \frac{1}{2\pi \cdot C_{dac} \cdot R_{dac}} = \frac{1}{2\pi \cdot 10 \text{ pF} \cdot 15 \text{ k}\Omega} = 1,06 \text{ MHz} \quad (3.1)$$

Kapacitný zátěž společně s výstupním odporem operačního zesilovače by mohla způsobit nestabilitu a s tím spojené nežádoucí oscilace v časové oblasti. Z tohoto důvodu datasheet použitého operačního zesilovače AD8531 doporučuje použít v případě vyšší kapacitní zátěže tzv. snubber network. V datasheetu je možno nalézt následující hodnoty součástek pro různou kapacitní zátěž (v Obr. 3.2 realizováno kombinací součástek C_SNUBB a R_COMP).

•

Table I. Snubber Networks for Large Capacitive Loads

Load Capacitance (C_L)	Snubber Network (R_S, C_S)
0.47 nF	300 Ω, 0.1 μF
4.7 nF	30 Ω, 1 μF
47 nF	5 Ω, 1 μF

Obr. 3.3: Snubber Network (obrázek převzat z [18])

Protože datasheet neuvádí hodnoty součástek pro kapacitní zátěž 240 pF, je odpor R_COMP realizován trimmerem pro možnost kalibrace. Hodnota kapacity C_SNUBB byla zvolena 100 nF.

Kalibrace je prováděna tak, že se na výstupu D/A prevodníku nastaví obdélníkový signál o frekvenci 500 kHz a poté se trimmerem nastaví taková hodnota, aby v časové oblasti byl co nejmenší překmit[16, 17].

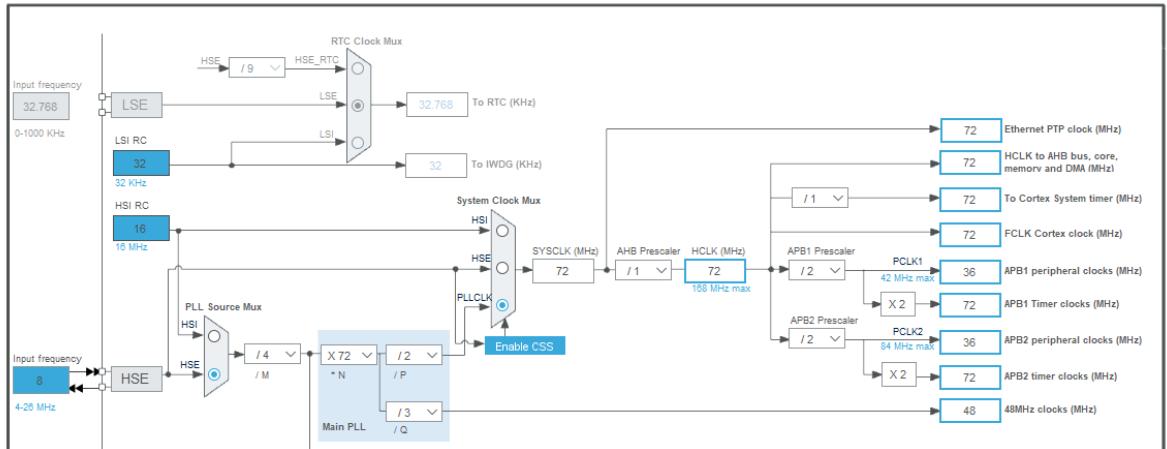
Programování a debugging

Pro účely debugování a programování mikrokontroléru jsou zpřístupněny SWD a JTAG piny. Dále je možno modifikovat konfiguraci mikrokontroléru pomocí jumperů, které jsou propojeny s boot piny mikrokontroléru. Při normálním provozu se počítá s programováním pomocí SWD rozhraní. Případně je také možné mikrokontrolér naprogramovat přes USB konektor pomocí zabudovaného DFU.

Konfigurace hodinového signálu

Mikrokontrolér má vysokou variabilitu v konfiguraci hodinových signálů. K požadovaným funkcím ovládací karty je vhodné použít externí krystalový rezonátor, který bude připojen do High Speed Clock pinů mikrokontroléru. V případě ovládací karty bylo použit 8 MHz krystalového rezonátoru ABM3B-8.000MHZ-D2-T společně s 2x27 pF zatěžovacími kapacitami.

Pro jednodušší konfiguraci hodinových signálů mikrokontroléru bylo využito programu STM32CubeMX. Výsledná konfigurace hodinových signálů je znázorněna na následujícím obrázku.



Obr. 3.4: Clock configuration

3.2.2 Konektivita

Ovládací karta je vybavena USB-micro a RJ45 konektorem. Umožňuje tak velmi snadné propojení s PC aplikací pomocí standardních USB a ethernetových rozhraní.

Ethernet

Pro zajištění ethernetového připojení je využito MAC vrstvy mikrokontroléru společně s fyzickou vrstvou (PHY) realizovanou pomocí čipu DP83848 a RJ45 konektoru s integrovaným transformátorem pro 100 BASE-T. Komunikace mezi mikrokontrolérem a DP83848 je realizováno pomocí RMII rozhraní. PHY vyžaduje pro svou správnou funkčnost 100Ω diferenciální páry (viz. schéma ovládací karty v příloze).

DP83848 vyžaduje pro svou činnost v RMII režimu připojení externího 50 MHz oscilátoru. Výstup oscilátoru je zároveň přiveden na příslušný pin mikrokontroléru a slouží jako hodinová reference.

DP83848 je možno konfigurovat pomocí tzv. bootstrap pinů. DP83848 při svém startu zjišťuje logické úrovně bootstrap pinů a podle toho konfiguruje své parametry. Následující tabulka shrnuje nastavení bootstrap pinů použitých v ovládací kartě.

PIN	Nastavení	Popis
AN0	1	AN0 a AN1 piny konfigurují, jakými možnostmi se bude zařízení prezentovat při AutoNegotiation.
AN1	1	Pro kombinaci AN0 = 1 a AN1 = 1 zařízení se prezentuje jako 10BASE-T a 100BASE-TX HALF/FULL duplex
LED_CFG	1	Konfiguruje chování LED na RJ45 konektoru.
MII_MODE	1	DP83848 očekává RMII pro komunikaci s MAC vrstvou
MDIX_ENABLE	1	Interní pull up - MDIX (crossover) povolen

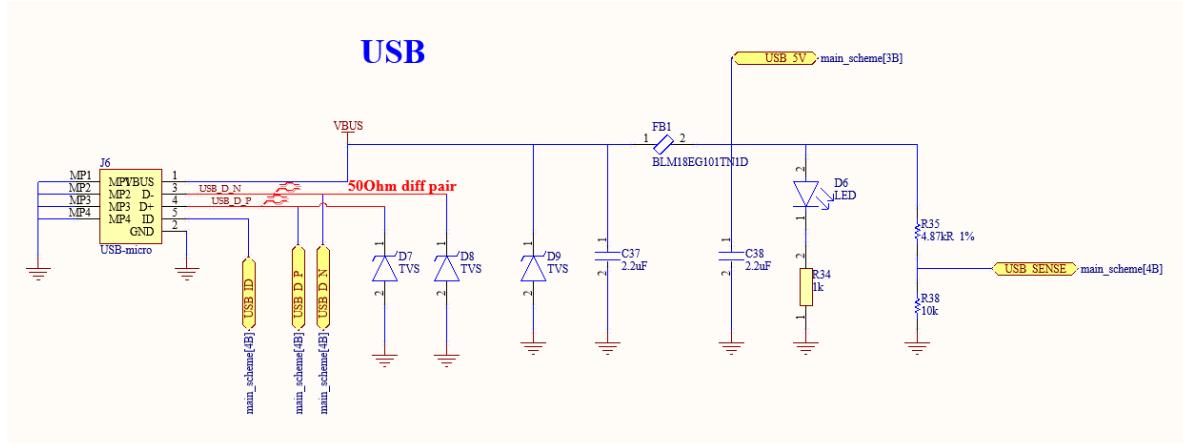
Tab. 3.1: Nastavení bootstrap pinů DP83848

Protože ani mikrokontrolér a ani DP83848 nenabízí jedinečnou MAC adresu je použita EEPROM, která má již od výrobce naprogramovanou jedinečnou MAC adresu. EEPROM používá ke komunikaci I2C protokol a při startu zařízení je MAC adresa načtena do MAC vrstvy mikrokontroléru. V mikrokontroléru je implementován telnet a http server a je využito LWIP stacku společně s HAL knihovnami a RTOS.

USB

Mikrokontrolér je vybaven fyzickou vrstvou pro USB OTG, je tak možné propojit datové signály přímo s USB-micro konektorem. Přestože je do USB konektoru vyveden ID pin, který slouží k rozlišení mezi host a device, využívá ovládací karta pouze device režim. Pro detekci připojení ovládací karty k USB portu je použit napěťový dělič, jehož výstup je přiveden do USB_sense pinu mikrokontroléru. Napěťový dělič obsahuje rezistor o toleranci 1%. Tuto toleranci není nutno dodržet a tento rezistor byl použit pouze z důvodu nízké ceny a faktu, že se již v návrhu vyskytuje.

Připojení pomocí USB slouží převážně k servisním účelům. Ovládací kartu lze napájet přímo z USB portu, přičemž napájení je opatřeno vstupním filtrem realizovaným feritovou perličkou a kondenzátorem (více v sekci o napájení). Obdobně jako u ethernetu je i zde nutno při návrhu PCB použít diferenciální páry pro datové signály ($90\ \Omega$). Každý ze signálů, který je vyveden na USB-micro konektor je opatřen TVS diodami pro ochranu proti ESD.

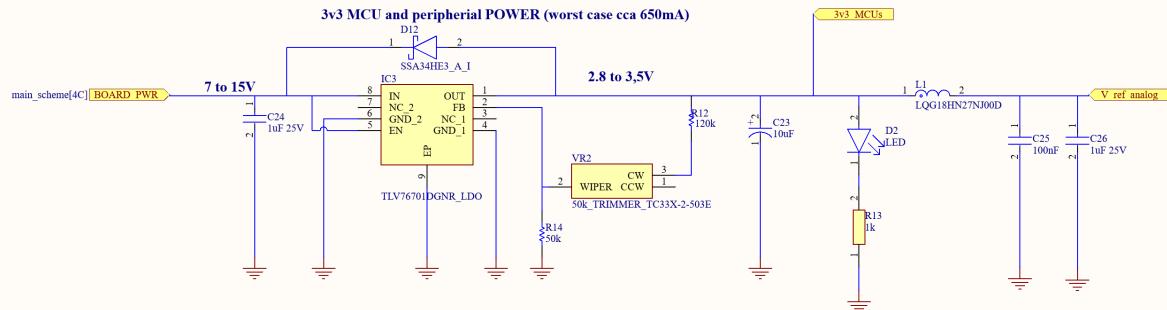


Obr. 3.5: USB rozhraní

3.2.3 Napájení

Při normálním provozu se počítá s externím napájení v rozmezí 7-15 VDC. Toto napětí je přivedeno na WAGO svorky. Napětí (ve schématu BOARD_PWR) přivedeno na vstup nastavitelného regulátoru TLV76701DGNR. Funkce tohoto regulátoru je obdobná jako u regulátorů popsaných v sekci o měřící kartě. Výstup regulátoru je možné nastavit trimmerem v rozmezí přibližně od 2.8 do 3.45V (ve schématu 3v3_MCUs).

POWER - REGULATORS



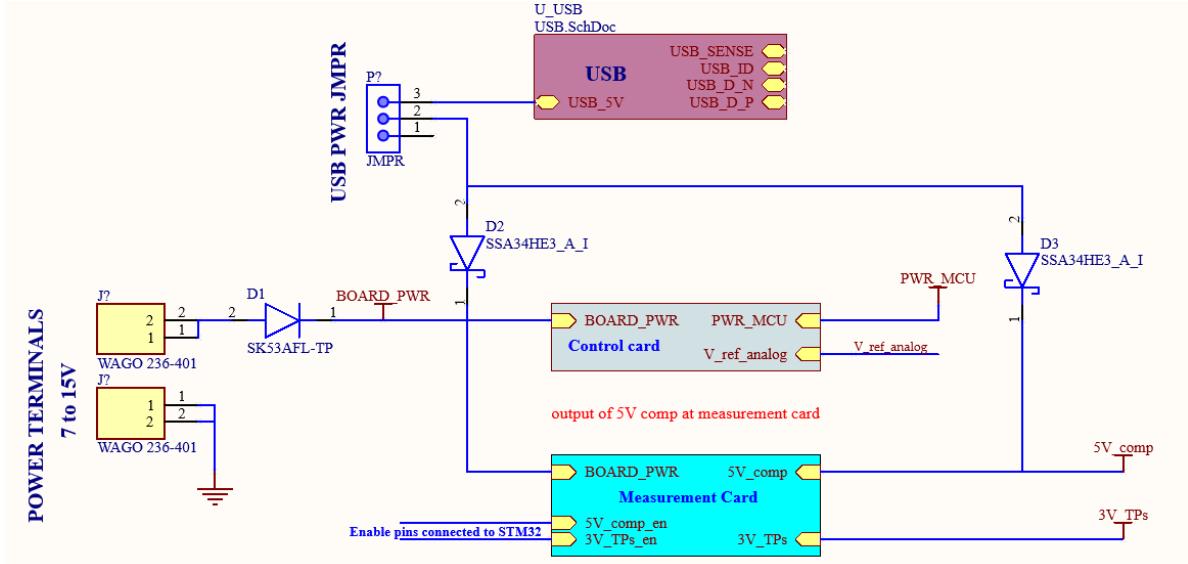
Obr. 3.6: Regulátor napětí - 3V3 MCUs

Takto regulované napětí je použito pro napájení všech doposud popsaných částí ovládací karty. Protože je vhodné aby referenční napětí (V_{ref_analog}), které mikrokontrolér používá pro funkci A/D a D/A převodníků bylo co nejpřesnější, je napětí 3V3_MCU's filtrováno dolní propustí realizovanou pomocí LC filtru.

Očekávaný maximální proud fyzické vrstvy ethernetu je přibližně 150 mA. Proudový odber ovládací karty nelze jednoznačně určit, protože je závislý na firmwaru mikrokontroléra. Nicméně se očekává, že by proud v nejhorším případě neměl přesáhnout 500 mA. Použitý regulátor by měl být schopen dodat do obvodu proud 1A, což by mělo být dostačující.

Napětí je dále přivedeno na 2x25 pinový konektor, aby bylo možné napájet měřící a ovládací karty současně připojením napájecí napětí pouze na jednu z karet.

Celý systém měřících a ovládacích karet může být napájen pomocí USB. V tomto případě je však přesnost měření limitována kvalitou USB napájení. Následující obrázek znázorňuje distribuci napájení ovládacích a měřících karet. Schéma však neodpovídá reálnému zapojení, protože jednotlivé komponenty jsou propojeny přes 2x25 pin konektory. Pro přehlednost jsou však konektory vynechány.



Obr. 3.7: Distribuce napájení

V případě napájení pomocí USB je napětí BOARD_PWR generováno z USB portu. Aby se zamezilo poškození všech připojených zařízení, které by mohlo potenciálně vzniknout při pojením vyššího napětí na WAGO svorkách a USB současně, je do schématu připojena dioda D2. Dioda D1 slouží jako ochrana k přepólování na vstupu WAGO svorek. Zároveň dioda D1 plní obdobnou funkci jako dioda D2 nyní však pro ochranu zdroje napájení připojeného do WAGO svorek proti napětí na USB. V případě současného připojení externího napětí na WAGO svorky a USB portu, bude deska napájena vyšším z napětích.

Napětí BOARD_PWR je v případě napájení přes USB rovno přibližně:

$$V_{BOARD_PWR} = V_{USB} - V_{D2} = 5V - 0.4V = 4.6V, \quad (3.2)$$

Kde V_{D2} je úbytek na diodě D2. Tento úbytek je pro diodu SSA34HE3_A_I roven přibližně 0.2V při proudu 1A a přibližně 0.4V při proudu 2A

Úbytek napětí na regulátorech TLV76701DGNR je přibližně 0.8V. Součtem úbytků na diodě D2 a regulátoru lze dosáhnou regulovaného výstupního napětí až 3.8V, což je dostačné pro napájení všech regulátorů kromě regulátoru, který zajišťuje napětí 5V_comp. Napětí 5V_comp je tedy generováno přímo z USB portu přes diodu D3. Dioda D3 má obdobný význam jako dioda D2, nyní však chrání USB port před vyšším napětím na výstupu regulátoru 5V_comp v případě napájení z WAGO svorek. Z tohoto je patrné, že napětí 5V_comp není nijak regulováno a je přímo závislé na napětí a rušení USB portu. V případě detekce napětí na USB_sense pinu je komparátor 5V_comp vypnut pomocí enable pinu.

Pro možnost použití USB rozhraní pouze pro komunikaci (ne pro napájení), lze USB napájení rozpojit pomocí jumperu.

3.2.4 PCB -design

———— STRučná sekce o návrhu PCB ————

4 Algoritmizace a měřící procedury

Jak již bylo zmíněno v kapitole o systémové koncepci a na obr.1.3. Jednotlivé ovládací karty jsou propojeny pomocí ethernetového rozhraní do switche. Pro správnou funkčnost testera je zde použit spravovatelný switch, který mimo jiné umožňuje získat informace o své MAC tabulce. MAC tabulku společně s protokolem ARP lze využít pro přiřazení čísla portu ethernetového switche k IP adrese připojených ovládacích karet. Tímto způsobem lze přiřadit jednotlivé ovládací karty k jednotlivým řadám bRC pinů bez nutnosti dodatečné konfigurace či různému kódování řad.

Z pohledu celého systému je hlavním řídícím prvkem PC aplikace. V následující části je popsán Komunikační protokol, který je použit pro komunikaci mezi PC aplikací a ovládacími kartami.

4.1 Komunikační protokol ovládacích karet

Komunikační protokol je založen na ASCII příkazech a je tak relativně čitelný pro člověka. Jednotlivé příkazy protokolu jsou přenášeny pomocí TCP/IP rámců (port 23) v případě ethernetového rozhraní nebo pomocí Virtuálního COM portu v případě USB rozhraní. Pro obě možnosti připojení se protokol neliší.

Jednotlivé příkazy jsou vyhodnocovány po obdržení znaku CR (ASCII 0x0D), LF (ACII 0x0A) nebo jejich libovolnou kombinací. Odpovědi z ovládacích karet jsou zakončeny znakem LF. Ovládací karta je určena obecně k ovládání více modulů než pouze měřících karet. Nicméně pro účely diplomové práce jsou diskutovány pouze příkazy vztahující se k měřícím kartám. Každý příkaz vztahující se k měřícím kartám obsahuje prefix 80_IO_CARD. Jednotlivé parametry příkazu jsou odděleny mezerou.

Pro každý příkaz odesílá ovládací karta odpovědi začínajícími prefixem "ERROR;" nebo "OK;" (bez uvozovek) podle toho, zda-li byl příkaz vyhodnocen úspěšně či nikoliv. Poté následuje textová odpověď na příkaz zakončená znakem LF. Příkazy jsou rozděleny do 3 skupin (SET READ a MEASUERE). Skupina SET slouží k nastavení parametrů měření, skupina READ slouží k čtení nastavených parametrů a skupina MEASURE slouží k samotnému měření.

V následujících podkapitolách jsou popsány jednotlivé příkazy pomocí následující konvence:

- Znak | značí, že je možné použít pouze jeden z uvedených parametrů.
- Text v uvozovkách značí nastavitelnou hodnotu do příkazu se zadává bez uvozovek a v případě desetinných čísel je použita desetinná tečka.
- Text mezi * je vysvětlen podrobněji v dané sekci

4.1.1 Příkazy SET

SET DAC

Příkaz SET DAC slouží k nastavení napětí na výstupu DAC. Protože se jedná o 12 bitový převodník, je možné nastavit pouze hodnoty napětí, které jsou násobky napětí referenčního napětí. Pokud je zadáno napětí, které není násobkem referenčního napětí, je nastaveno nejbližší nižší napětí. Referenční napětí ovládací karty je nastaveno při kalibraci příkazem SET CONFIGURATION VOLTAGE_REFERENCE. Případně je hodnotu referenčního napětí možno získat příkazem READ CONFIGURATION VOLTAGE_READINGS.

- **Obecný tvar:** 80_IO_CARD SET DAC "Napětí ve V"
- **Příklad:**
-> 80_IO_CARD SET DAC 2.75
<- OK;DAC: 3398, discretized Value in Volts:2.74959
- **Interpretace odpovědi:** Tato odpověď byla obdržena při referenčním napětí 3.314400V. Hodnota 3398 je bitová hodnota, která je zapsána do registru DAC a hodnota 2.74959 je odpovídající hodnota napětí.

SET SHIFT_REGISTER

Příkaz SET SHIFT_REGISTER slouží k nastavení výstupní hodnoty posuvného registru či celé skupiny posuvných registrů. Prvním parametrem příkazu je volba skupiny posuvných registrů. Relevantní skupiny posuvných registrů pro diplomovou práci jsou IO1TO40_OUTPUTS, IO41TO80_OUTPUTS, IO1TO40_IMPEDANCES a IO41TO80_IMPEDANCES. Správnou kombinací výstupů těchto posuvných registrů lze nastavit jakýkoliv bRC pin do vysoké či nízké impedance a případně i výstupní hodnotu napětí.

Druhým parametrem je volba způsobu zadání výstupní hodnoty registrů. K dispozici jsou následující možnosti: VALUE a DO_N_SHIFTS. V případě možnosti VALUE následuje decimální hodnota jejíž bitové vyjádření reprezentuje stavy jednotlivých výstupů posuvných registrů. Každý ze skupin registrů má svoji endianitu, kterou lze zjistit z příkazu READ CONFIGURATION SHIFT_REGISTERS (podrobněji popsáno dále). Druhou možností je využití parametru DO_N_SHIFTS, který posune celý obsah posuvného registru o zadaný počet bitů v pravo či vlevo v závislosti na endianitě registru.

- **Obecný tvar:** 80_IO_CARD SET SHIFT_REGISTER *registrov* *způsob* "Hodnota"
- ***registrov*:** IO1TO40_OUTPUTS, IO41TO80_OUTPUTS, IO1TO40_IMPEDANCES, IO41TO80_IMPEDANCES
- ***způsob*:** VALUE, DO_N_SHIFTS
- **Příklad:**
-> 80_IO_CARD SET SHIFT_REGISTER IO1TO40_IMPEDANCES VALUE 4
<- OK;Setting Register:IO1TO40_IMPEDANCES to:4
-> 80_IO_CARD SET SHIFT_REGISTER IO1TO40_IMPEDANCES DO_N_SHIFTS 4
<- OK;Setting Register:IO1TO4_IMPEDANCES to:16
- **Interpretace odpovědi:** Obecně lze vždy v odpovědi nalézt nový stav registru po provedení požadované operace.

SET CONFIGURATION

Příkazy v této skupině obecně slouží k nastavení stavových hodnot, kalibračních hodnot případně nastavení způsobu měření určitých hodnot. Hodnoty, které potřebují být nastaveny pomocí prefixu SET CONFIGURATION jsou popsány v sekcích pro které jsou tyto hodnoty používány. Ukázky vybraných hodnot, které lze nastavit pomocí příkazu SET CONFIGURATION jsou uvedeny například v sekci READ CONFIGURATION.

- **Obecný tvar:** 80_IO_CARD SET CONFIGURATION *Název konfigurace* "Hodnota"
- ***Název konfigurace*:** Popsáno v sekcích pro které jsou hodnoty používány.
- **Příklad:**
-> 80_IO_CARD SET CONFIGURATION VOLTAGE_REFERENCE 3.3144
<- OK;VOLTAGE_REFERENCE set to:3.314400
- **Interpretace odpovědi:** Obecně lze vždy v odpovědi nalézt potvrzení o nastavení hodnoty.

4.1.2 Příkazy READ

READ MUX

Příkaz READ MUX umožňuje číst hodnoty z multiplexerů umístěných na ovládací kartě. Příkaz se skládá ze 2 parametrů. Prvním parametrem je volba skupiny multiplexerů. Pro ovládací kartu jsou k dispozici 2 skupiny (MUXES_1TO40 a MUXES_41TO80). Druhým parametrem je volba podoby obdržené hodnoty. První možností je přečíst hodnotu celé skupiny multiplexeru za použití parametru ALL. Výsledkem tohoto příkazu je 40bitové číslo v decimální podobě, kde každý bit reprezentuje stav jednoho bRC pinu připojeného ke zvolenému multiplexeru. 40bitová hodnota je vztažena k endianitě multiplexeru, kterou lze zjistit příkazem 80_IO_CARD READ CONFIGURATION MULTIPLEXERS. Druhou možností je zadat přímo číslo pinu, jehož stav chceme zjistit. Výsledkem tohoto příkazu je 1bitová hodnota v decimální podobě.

- **Obecný tvar:** 80_IO_CARD READ MUX *multiplexer* "číslo pinu"|ALL
- ***multiplexer*:** MUXES_1TO40 a MUXES_41TO80
- **Příklad:**
-> 80_IO_CARD READ MUX MUXES_1TO40 ALL
<- OK;Reading MUX MUXES_1TO40, ALL:0
-> 80_IO_CARD READ MUX MUXES_1TO40 1
<- OK;Reading MUX: MUXES_1TO40, address:1, value:0
- **Interpretace odpovědi:** V případě parametru ALL je v odpovědi obsažena 40bitová hodnota v decimální podobě. V případě zadání čísla pinu je v odpovědi obsažena 1bitová hodnota v decimální podobě.

READ SHIFT_REGISTER

Tento příkaz slouží k získání aktuální hodnoty shiftregistru. Jediným parametrem tohoto příkazu je jméno skupiny shiftregistru.

- **Obecný tvar:** 80_IO_CARD READ MUX *register*
- ***register*:** IO1TO40_OUTPUTS, IO41TO80_OUTPUTS,
IO1TO40_IMPEDANCES, IO41TO80_IMPEDANCES

- **Příklad:**
 -> 80_IO_CARD READ SHIFT_REGISTER IO1TO40_OUTPUTS
 <- OK;Reading Register IO1TO40_OUTPUTS, value:1099511627775
- **Interpretace odpovědi:** V odpovědi je obsažena 40bitová hodnota v decimální podobě, kde jednotlivé bity této hodnoty značí aktuální výstupní hodnotu shiftregistru v závislosti na jeho endianitě. V případě výpadku napájení se může stát, že hodnota shiftregistru nebude odpovídat skutečnému stavu výstupních pinů.

READ CONFIGURATION

Příkaz READ CONFIGURATION slouží k získání konfigurace ovládací karty. Ovládací karta obsahuje poměrně obsáhlé množství konfigurací. V této sekci jsou popsány pouze ty konfigurace, které jsou využívány v diplomové práci. Některé vyčtené tímto příkazem nastavovat pomocí příkazu SET CONFIGURATION.

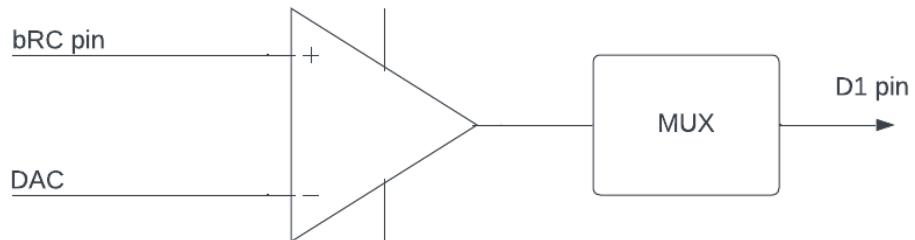
- **Obecný tvar:** 80_IO_CARD READ CONFIGURATION *konfigurace*
- **Příklad SHIFT_REGISTERS:**
 -> 80_IO_CARD READ CONFIGURATION SHIFT_REGISTERS
 <- OK;IO1TO40_OUTPUTS:(length:40,endianity:1,value:1099511627775);
 IO41TO80_OUTPUTS:(length:40,endianity:0,value:0);
 IO1TO40_IMPEDANCES:(length:40,endianity:1,value:1);
 IO41TO80_IMPEDANCES:(length:40,endianity:0,value:0);
- **Interpretace odpovědi:** V odpovědi jsou obsaženy veškeré informace o konfiguraci posuvných registrů.
- **Příklad MULTIPLEXERS:**
 -> 80_IO_CARD READ CONFIGURATION MULTIPLEXERS
 <- OK;MUXES_1TO40:(bits:8,parallel:5,endianity:0,value:0);
 MUXES_41TO80:(bits:8,parallel:5,endianity:0,value:0);
- **Interpretace odpovědi:** V odpovědi jsou obsaženy veškeré informace o konfiguraci multiplexerů.
- **Příklad VOLTAGE_READINGS:**
 -> 80_IO_CARD READ CONFIGURATION VOLTAGE_READINGS
 <- OK;DAC_RAMP_DIRECTION:0;
 DAC_RAMP_MIN_VALUE_VALUE:0;
 DAC_RAMP_MAX_VALUE_VALUE:4095;
 DAC_RAMP_STEP:1;
 DAC_RAMP_DELAY_2500_NS:2;
 VOLTAGE_READ_AVERAGES:2;
 VOLTAGE_REFERENCE:3.314400;
- **Interpretace odpovědi:** V odpovědi jsou obsaženy veškeré nastavitelné parametry, které se využívají při měření napětí na jednotlivých pinech příkazy MEASURE.

4.1.3 Příkazy MEASURE

MEASURE VOLTAGE

Příkaz MEASURE VOLTAGE slouží k měření napětí na určitém bRC pinu či pinech. V případě použití parametru ALL je změřeno napětí na všech 80 pinech měřící karty. V případě, že je místo parametru ALL zadáno číslo tak příkaz vrátí hodnotu napětí na daném pinu.

- **Obecný tvar:** 80_IO_CARD MEASURE VOLTAGE ALL|"číslo pinu"
- **Příklad ALL:**
-> 80_IO_CARD MEASURE VOLTAGE ALL
<- OK;2.965643;2.860450;2.431585;-1.000000;0.922465;.....;-1.00000;-1.000000;
• **Interpretace odpovědi:** V odpovědi jsou obsaženy hodnoty napětí na všech 80 pinech odděleny znakem ;."V příkladu značí, že výpis byl zkrácen. Hodnota -1 značí, že napětí je mimo rozsah měřící karty.
- **Příklad číslo pinu:**
-> 80_IO_CARD MEASURE VOLTAGE 3 <- OK;Voltage:2.128143
- **Interpretace odpovědi:** V odpovědi je obsaženo napětí na pinu 3 (číslováno od 0). V případě, že napětí je mimo rozsah měřící karty, tak příkaz vrátí hodnotu -1.
Proces měření napětí lze konfigurovat pomocí příkazů ze skupiny SET CONFIGURATION. Následující část popisuje vliv vybraných parametrů. Měření napětí probíhá pomocí porovnávání nastavené hodnoty D/A převodníku s měřenou hodnotou napětí na bRC pinu. V reálném zapojení je tohoto dosaženo pomocí komparátoru. Výstup komparátoru je z důvodu velkého množství pinů multiplexován na digitální vstup mikrokontroléru (Obr.4.1).



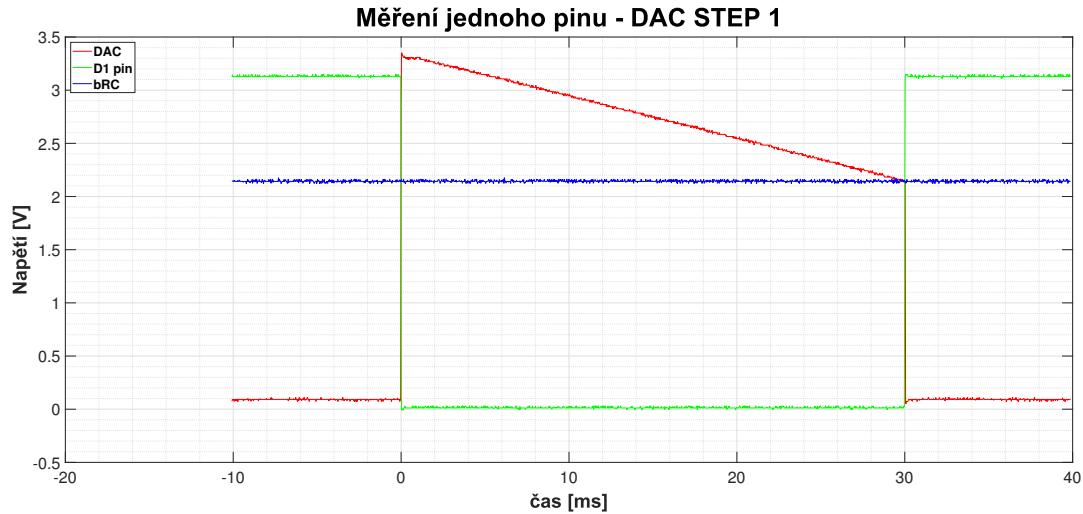
Obr. 4.1: Zjednodušené schéma zapojení pro měření napětí na bRC pinu

Měření popsána v této sekci byla provedena na reálné měřící kartě, kde výstup multiplexeru pro měřený bRC pin je přiveden na pin D1 ovládací karty. Měření byla provedena pomocí osciloskopu KEYSIGHT DSOX1204A a digitálního 6 a 1/2 místného multimetu GWINSTEK GDM-9061. Kde jednotlivé průběhy napětí jsou následně zpracovány pomocí programu MATLAB.

Na obrázku 4.2 je zobrazen průběh napětí jednotlivých uzlů z obr. 4.1. Modře je znázorněna měřená hodnota napětí na bRC pinu, která má podle multimetu hodnotu 2.1475V, přičemž příkaz vrátil hodnotu napětí 2.1275V. Tato hodnota je závislá na nastavení napěťové reference

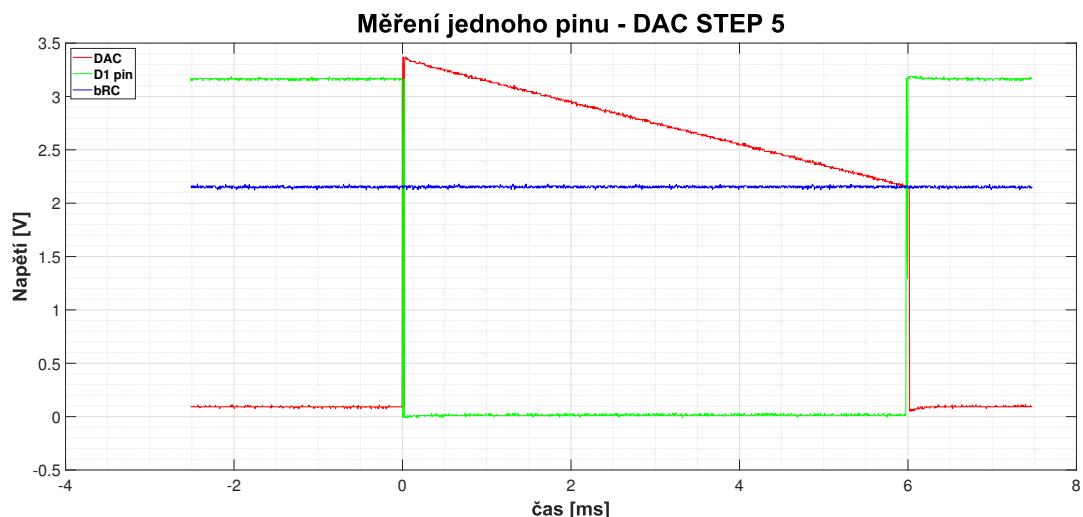
příkazem 80_PIN_CARD SET CONFIGURATION VOTAGE_REFERENCE.

Červeně je zobrazena hodnota napětí na výstupu D/A převodníku a zeleně je znázorněn výstup multiplexeru. Každá z následujících diskutovaných konfigurací v této sekci začíná prefixem 80_PIN_CARD SET CONFIGURATION, přičemž je tento prefix vynecháván.



Obr. 4.2: Časové průběhy napětí - měření napětí na bRC pinu (DAC_RAMP = 1)

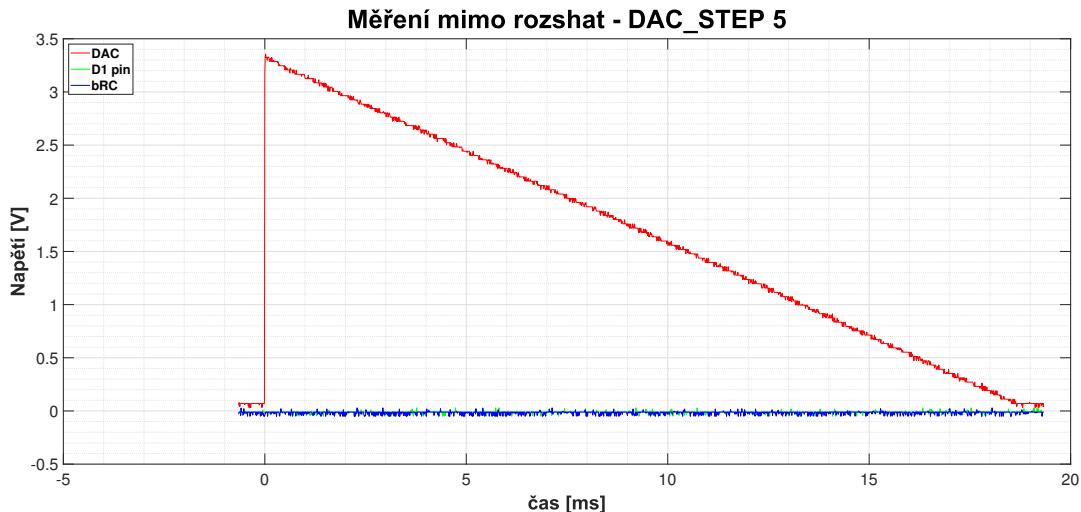
Měření napětí probíhá tak, že se na D/A převodníku nastavují sestupně (případně vzestupně v závislosti na konfiguraci DAC_RAMP_DIRECTION) hodnoty napětí. Při každém kroku se kontroluje, zda nedošlo k překlopení napěťové úrovni na výstupu komparátoru (respektive multiplexeru - D1 pin). Detekce překlopení probíhá tak, že se vyčítá N-krát (lze nastavit konfigurací VOLTAGE_READ_AVERAGES) logická hodnota na pinu D1. Pokud je alespoň polovina z takto vyčtených hodnot opačné logické úrovni než logická úroveň pinu D1 na počátku měření, tak se přepočte aktuálně nastavená hodnota registru D/A převodníku na napětí a toto napětí se odešle do PC aplikace. Detekce překlopení komparátoru je patrná na obrázku 4.2 přibližně v čase 30 ms.



Obr. 4.3: Časové průběhy napětí - měření napětí na bRC pinu (DAC_RAMP = 5)

Další nastavitelnou konfigurací je DAC_RAMP_STEP, která udává bitový krok rampy D/A převodníku. Takto lze měření urychlit za cenu snížení přesnosti. Na obrázku 4.3 je zobrazen průběh napětí při nastavení DAC_RAMP_STEP = 5. Touto změnou bylo dosaženo změření stejného napětí jako v předchozím bodě přibližně za 6 ms.

Z obrázků 4.2 a 4.3 lze dedukovat, že celkový čas je závislý na měřeném napětí. V případě, že je zvolena sestupná rampa a měřené napětí je nulové budou průběhy vypadat následovně:

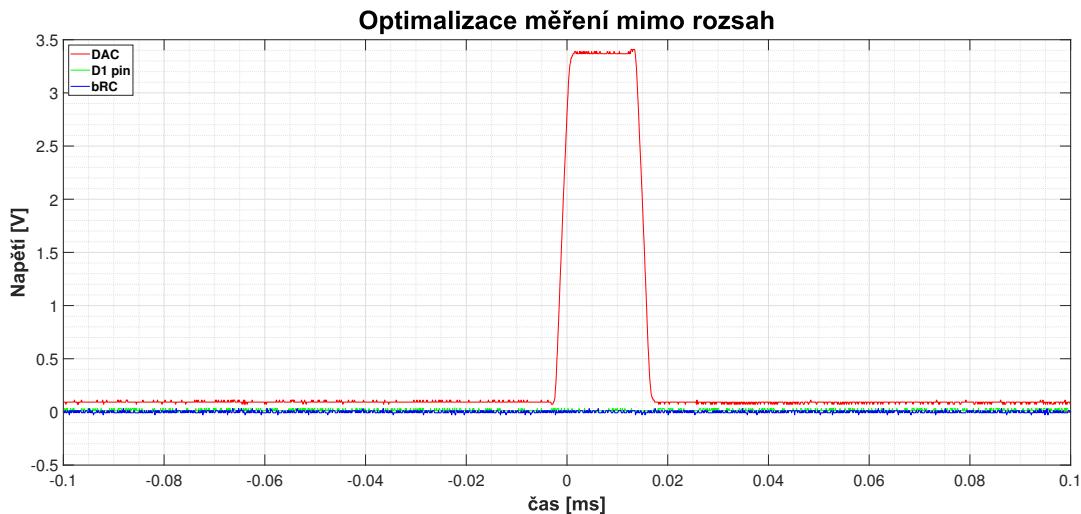


Obr. 4.4: Časové průběhy napětí - měření nízkého napětí na bRC pinu (DAC_RAMP = 5)

Na obrázku 4.4 lze pozorovat, že pokud napětí je příliš nízké, tak se výstup komparátoru nikdy nepřeklopí a příkaz vrátí v odpovědi hodnotu -1. To je způsobeno tím, že D/A převodník není schopen generovat nulové napětí. Při nastavení registru D/A převodníku na 0 je na výstupu převodníku napětí přibližně 70 mV. Lze tak měřit pouze napětí, které je vyšší než tato dolní mez. Horní mez měření není omezena, protože napájecí napětí bRC pinů je nižší než napětí, které je D/A převodník schopen generovat. Zároveň obrázek 4.4 demonstruje přibližnou maximální dobu měření (19ms pro DAC_RAMP_STEP = 5 a 95ms pro DAC_RAMP_STEP = 1).

Vzhledem k charakteru propojení bRC pinů, kde je většina pinů buď propojena tvrdým zkratem (napětí na bRC pinu blízké 3V) nebo rozpojená (napětí na pinu blízké 0V), vzniká potřeba zkrátit čas měření napětí mimo rozsah D/A převodníku. Z tohoto důvodu je před začátkem měření nejprve změřena logická hodnota výstupu multiplexeru (D1 pin) při nejnižší a nejvyšší napěťové hodnotě D/A převodníku. Pokud je výstup multiplexeru v obou případech stejný, tak se předpokládá, že je hodnota nižší než dolní mez D/A převodníku a příkaz vrátí hodnotu -1. Při reálném provozu, tak nemůže nastat situace z obr. 4.4. Měření pak probíhá podle obr. 4.5. Optimalizované měření pak v případě, že je měřená hodnota mimo rozsah, trvá pouze přibližně 0.02 ms nezávisle na použitých konfiguracích.

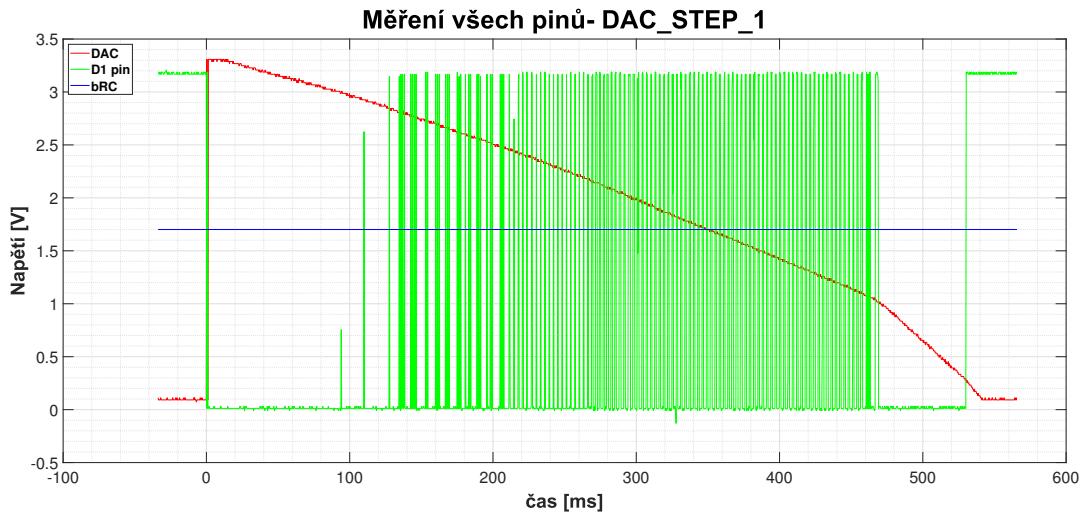
Další konfigurace, které lze využít jsou DAC_RAMP_MAX_VALUE a DAC_RAMP_MIN_VALUE, které určují dolní a horní mez rampy D/A převodníku. Tímto lze zkrátit čas měření za cenu nižšího rozsahu. Zároveň je na tyto mezní hodnoty apliko-



Obr. 4.5: Časové průběhy napětí - měření nízkého napětí na bRC pinu optimalizace

vána stejná metoda jako je popsána v předchozím odstavci. Nicméně nyní dolní mez D/A převodníku nepředstavuje hardwareovou dolní mez měření, nýbrž mez nastavenou příkazem `DAC_RAMP_MIN_VALUE`. V případě využívání `DAC_RAMP_MAX_VALUE` může dojít k měření hodnoty napětí mimo tuto horní mez. Protože pro funkčnost měřící karty není nutné rozlišovat zda měřená hodnota je nad horní nebo pod dolní mezí a v obou případech vrací příkaz hodnotu -1.

Prozatím bylo diskutováno pouze měření napětí na jednom pinu. V případě příkazu `80_IO_CARD MEASURE VOLTAGE ALL` jsou změřena napětí na všech bRC pinech současně během jedné rampy D/A převodníku (Obr. 4.6).



Obr. 4.6: Časové průběhy napětí - měření napětí na všech pinech současně

Měření všech pinů probíhá obdobně jako u měření jednotlivých pinů. Nejprve se u všech pinů zkонтroluje, zda je měřené napětí v mezích. Následuje D/A rampa, kde se při každém kroku kontroluje u každého pinu, zda nedošlo k překlopení komparátoru. Pokud dojde k překlopení komparátoru, tak se uloží aktuální hodnota D/A převodníku do paměti mikrokontroléru.

Pokud je pro daný pin již v paměti uložená nějaká hodnota, tak při dalším kroku D/A rampy již nedochází ke kontrole překlopení komparátoru. To je patrné z obr. 4.6, kde není rampa D/A převodníku lineární a postupně se měření urychluje s počtem již změřených pinů.

Zelený průběh napětí na D1 pinu vypadá takto, protože se jedná o výstup multiplexeru. Multiplexery jsou řízeny pomocí společné adresace, takže se v průběhu měření opakovaně a nechťéně, přepíná i výstup již změřeného pinu. Teoreticky by se dalo předpokládat, že takováto aktivita na všech výstupních pinech multiplexerů bude způsobovat rušení, nicméně při dosavadním měření se tato skutečnost nijak výrazně neprojevila a tak je ignorována. Případně by rušení šlo do jisté míry omezit správnou posloupností měření pinů.

MEASURE ADC

Tento příkaz slouží k změření aktuální hodnoty A/D převodníku. Příkaz vrací hodnotu již přepočtenou na napětí, toto napětí je vztaženo k referenčnímu napětí, které lze nastavit příkazem 80_IO_CARD SET CONFIGURATION VOLTAGE_REFERENCE

- **Obecný tvar:** 80_IO_CARD MEASURE ADC
- **Příklad:**
-> 80_IO_CARD MEASURE ADC
<- OK;ADC, value:3.004
- **Interpretace odpovědi:** Odpověď obsahuje změrenou hodnotu A/D převodníku vztaženou k referenčnímu napětí.

4.2 Režimy měření

V části o návrhu měřící karty byly stručně zmíněny 2 módy měření (PASS/FAIL a měření přesné hodnoty). ——ZDE BUDE DOPSÁN NĚJAKÝ STRUČNÝ POPIS TĚCHTO 2 MODŮ——

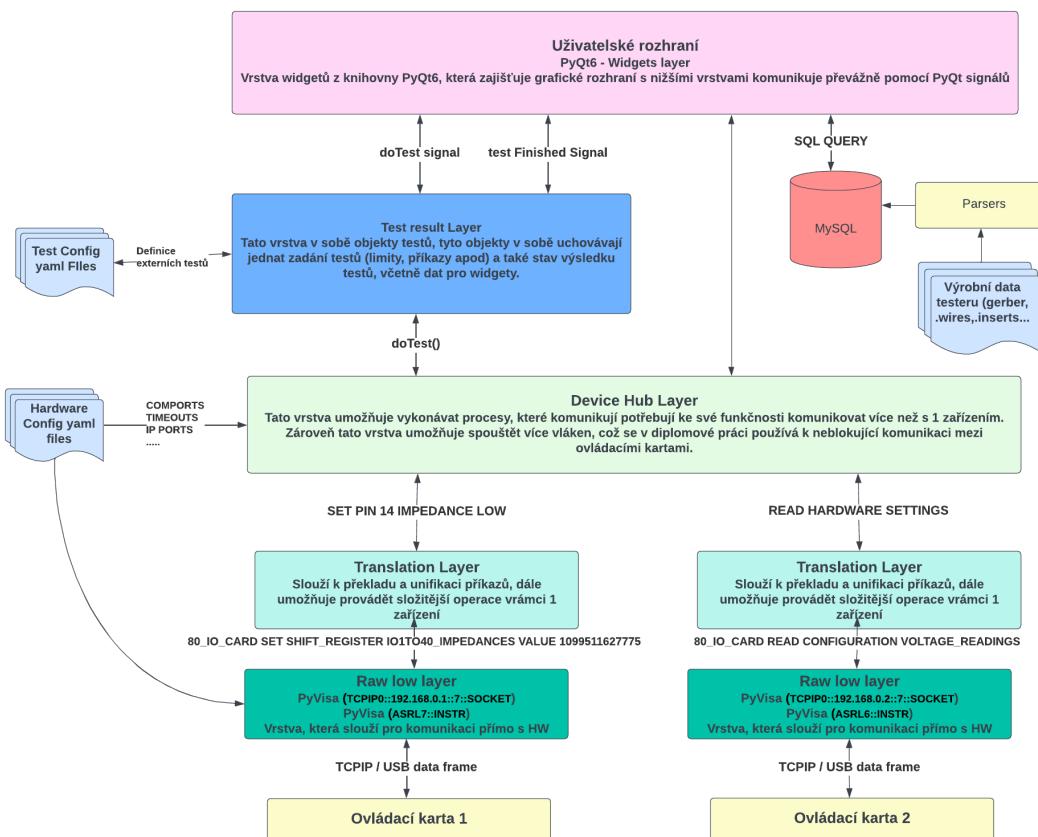
5 PC aplikace

Pro účely testeru byla vyvinuta PC aplikace založená na programovacím jazyku python. Tato aplikace umožňuje nejen komunikovat s testerem a provádět měření, ale také převádět vstupní CAD, CAM, gerber a různé textové konfigurační soubory do vhodného formátu pro účely testeru.

5.1 Principy funkce PC aplikace

Obrázek 5.1 uvádí velmi zjednodušený a neúplný náhled na strukturu PC aplikace. PC aplikace je postavena na platformě "TEST API", která je vyvíjena autorem diplomové práce. Platforma je poměrně obsáhlá a její popis by přesáhl rámec této práce. Z tohoto důvodu bude popsána pouze část platformy, která je pro diplomovou práci nejdůležitější.

Aplikace je rozdělena do několika vrstev, každá z vrstev by měla plnit svoji specifickou úlohu a být jakýmsi nezávislým blokem. PC aplikace se snaží toto "pravidlo" dodržovat nicméně ne všechny bloky jsou kompletně nezávislé. Použité názvy vrstev nevychází ze žádného standardu jako např. ISO/OSI apod.



Obr. 5.1: PC aplikace - top level diagram

5.2 PC aplikace - Raw low layer

Nejnižší vrstvou je tzv. Raw low layer. Tato vrstva složí přímo ke komunikaci se zařízením. Převádí tak příkazy z kapitoly 4 do TCP/IP popř. USB rámců. V případě diplomové práce tuto vrstvu pro ovládací karty zajišťuje knihovna pyVisa, která je založena na knihovně VISA od firmy National Instruments. Tato knihovna umožňuje pohodlně komunikovat se zařízením přes různé fyzické vrstvy (TCP/IP, USB, RS232, GPIB) a to pomocí jednotné API.

5.3 PC aplikace - Translation Layer

Druhou nejnižší vrstvou je tzv. Translation Layer (Překládací vrstva). Úkolem této vrstvy by mělo být poskytnout sofistikovanější funkce, které se skládají z více příkazů, kterou nabízí komunikační protokol ovládaného zařízení. Zároveň by tato vrstva měla co nejvíce sjednocovat příkazy pro přístroje stejného druhu od různých výrobců. Tato funkce je však pro diplomovou práci zanedbatelná, protože všechny ovládací karty používají stejný komunikační protokol.

Jako příklad funkce této vrstvy uvedmě příkaz pro nastavení výstupní impedance pinu č.14 do nízké impedance, přičemž ostatní piny mají zůstat nezměněny. Vyšší vrstvy předají příkaz v podobě SET PIN 14 IMPEDANCE LOW. Překládací vrstva nejprve zjistí aktuální hodnotu registru, který určuje impedance jednotlivých pinů. Dále v závislosti na endianitě pozmění hodnotu registru a odešle příkaz, který nastaví novou hodnotu registru pomocí příkazu 80_IO_CAR SET SHIFT_REGISTER IO1TO40_IMPEDANCES VALUE "nová hodnota".

5.4 PC aplikace - Device Hub Layer

Device Hub Layer má za úkol vykonávat příkazy, které ke své funkci potřebují více než pouze jedno zařízení. Typickým případem by bylo nastavení výstupního napětí napájecího zdroje a následné ověření napětí multimetrem. V diplomové práci byla tato vrstva např. využita k automatizovanému měření průběhů v kapitole 4.

Druhým důležitým úkolem této vrstvy je rozřazovat požadované testy do vláken programu a předcházet tak zamrzání. Z tohoto důvody by veškerá komunikace od vyšších vrstev měla probíhat přes tuto vrstvu. Tato funkcionalita je vhodná pro diplomovou práci, protože umožňuje zasílat příkazy do několika ovládacích karet zároveň a urychlit tak měření.

5.5 PC aplikace - Test Result Layer

Test Result layer je více než vrstvou spíše objektem. Není tak striktně ohrazený a z historických důvodů má přesah do některých z nejnižších vrstev. Do tohoto objektu jsou ukládány výsledky jednotlivých testů (příkazů) a zároveň jsou tyto výsledky vyhodnocovány podle určitých kritérií. Test Result Layer se nejčastě uplatní v kombinaci s konfiguračním souborem tests.yaml, který není komplikován, má textovou podobu a dokonce program lze kompilovat i v

případě, že tento soubor neexistuje. Následující obrázek je ukázkou výstřížku z konfiguračního souboru tests.yaml.

5.5.1 konfigurační soubor tests.yaml

```

WIDGETS:
- {TEST: "WIDGET_TEST", WIDGET: "GRAPH", X_LABEL: "Voltage [V]", Y_LEFT_LABEL: "CURRENT [mA]", TITLE: "VA characteristic", NUMBER_OF_X_TICKS: 8, NUMBER_OF_Y_TICKS: 10, MARKER_Y1_LEFT: "x0"}
- {TEST: "WIDGET_TEST", WIDGET: "GRAPH", X_LABEL: "Voltage [V]", Y_LEFT_LABEL: "CURRENT [mA]", TITLE: "VA characteristic", NUMBER_OF_X_TICKS: 25, NUMBER_OF_Y_TICKS: 15 }
- {TEST: "RAMP_UP", WIDGET: "GRAPH", X_LABEL: "Voltage [V]", Y_LEFT_LABEL: "CURRENT [mA]", TITLE: "VA characteristic", NUMBER_OF_X_TICKS: 5, NUMBER_OF_Y_TICKS: 5 }
- {TEST: "CMDLINE_TEST", WIDGET: "GRAPH", X_LABEL: "time", Y_LEFT_LABEL: "samples", TITLE: "commandline output", NUMBER_OF_X_TICKS: 5, NUMBER_OF_Y_TICKS: 5 }
- {TEST: "RAMP_DOWN", WIDGET: "DEFAULT", TITLE: "Was test successful?"}

SETUP_POWER_SUPPLY:
- [COMMAND: "SIGLENTPSU CH1 SET VOLTAGE 3.25", LOWER_LIM: "", UPPER_LIM: "", EXPECTED: ""]
- [COMMAND: "SIGLENTPSU CH1 SET CURRENT 0.35", LOWER_LIM: "", UPPER_LIM: "", EXPECTED: ""]
- [COMMAND: "SIGLENTPSU CH2 SET VOLTAGE 7", LOWER_LIM: "", UPPER_LIM: "", EXPECTED: ""]
- [COMMAND: "SIGLENTPSU CH2 SET CURRENT 0.7", LOWER_LIM: "", UPPER_LIM: "", EXPECTED: ""]
- [COMMAND: "SIGLENTPSU CH1 SET OUTPUT ON", LOWER_LIM: "", UPPER_LIM: "", EXPECTED: ""]
- [COMMAND: "SIGLENTPSU CH2 SET OUTPUT ON", LOWER_LIM: "", UPPER_LIM: "", EXPECTED: ""]

CONFIGURATIONS:
- [COMMAND: "CTRL_BOARD 80PINOCARD READ HARDWARE_SETTINGS", LOWER_LIM: "", UPPER_LIM: "", EXPECTED: "Configuration loaded successfully"]
- [COMMAND: "CTRL_BOARD 80PINOCARD SET REGISTER IO1040_OUTPUTS VALUE 0x0", LOWER_LIM: "", UPPER_LIM: "", EXPECTED: "|OK;|"]
- [COMMAND: "CTRL_BOARD 80PINOCARD SET REGISTER IO1040_OUTPUTS VALUE 0xFFFFFFFFFFFF", LOWER_LIM: "", UPPER_LIM: "", EXPECTED: "|OK;|"]
- [COMMAND: "CTRL_BOARD 80PINOCARD SET REGISTER IO1040_IMPEDANCES VALUE 0x0", LOWER_LIM: "", UPPER_LIM: "", EXPECTED: "|OK;|"]
- [COMMAND: "CTRL_BOARD 80PINOCARD SET REGISTER IO1040_IMPEDANCES VALUE 0xFFFFFFFFFFFF", LOWER_LIM: "", UPPER_LIM: "", EXPECTED: "|OK;|"]
- [COMMAND: "CTRL_BOARD 80PINOCARD SET PIN 14 IMPEDANCE HIGH", LOWER_LIM: "", UPPER_LIM: "", EXPECTED: "|OK;|"]
- [COMMAND: "CTRL_BOARD 80PINOCARD SET PIN 14 IMPEDANCE LOW", LOWER_LIM: "", UPPER_LIM: "", EXPECTED: "|OK;|"]
- [COMMAND: "CTRL_BOARD 80PINOCARD SET PIN 14 OUTPUT HIGH", LOWER_LIM: "", UPPER_LIM: "", EXPECTED: "|OK;|"]
- [COMMAND: "CTRL_BOARD 80PINOCARD SET PIN 14 OUTPUT LOW", LOWER_LIM: "", UPPER_LIM: "", EXPECTED: "|OK;|"]

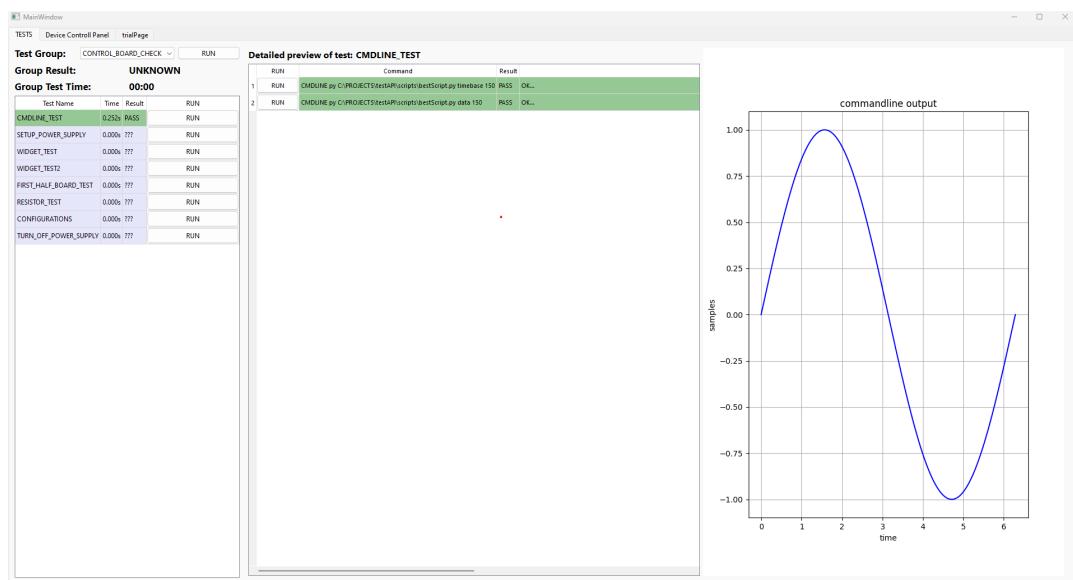
CMDLINE_TEST:
- [COMMAND: "CMDLINE py C:\\\\PROJECTS\\\\testAPI\\\\scripts\\\\bestScript.py timebase 150", LOWER_LIM: "", UPPER_LIM: "", EXPECTED: "|WIDGET_INFO: X AXIS|"]
- [COMMAND: "CMDLINE py C:\\\\PROJECTS\\\\testAPI\\\\scripts\\\\bestScript.py data 150", LOWER_LIM: "", UPPER_LIM: "", EXPECTED: "|WIDGET_INFO: Y1 LEFT AXIS|"]

```

Obr. 5.2: PC aplikace - tests.yaml ukázka

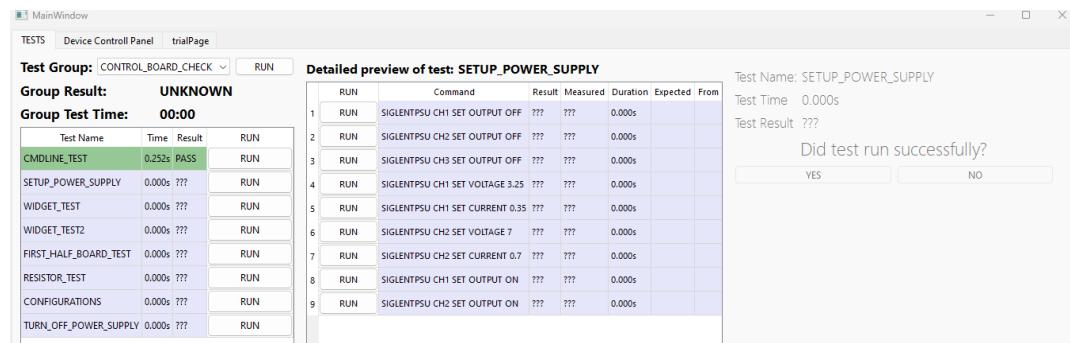
Podrobný popis konfiguračního souboru test.yaml a všech jeho funkcí by byl příliš zdlouhavý. Obecně jsou podporovány všechny příkazy, které nabízí Device Hub Vrstva. Hlavní myšlenkou je demonstrovat, že pomocí tohoto souboru, lze dynamicky definovat testy a jejich widgety (způsob zobrazení). To, jaký widget bude použit pro zvolený test lze měnit v části "WIDGETS" tests.yaml souboru. Například pro test "CMDLINE_TEST" je zvolen widget "GRAPH", což v PC aplikaci nastaví zobrazení v podobě grafu. Následně v červeně označené části (Obr. 5.2) je definováno, která data budou zobrazena na určitých osách grafu.

Po spuštění testu lze v PC aplikaci zobrazit výsledky v následující podobě.



Obr. 5.3: PC aplikace - tests.yaml ukázka výsledku testů - graf

Pokud by byl spuštěn například test SETUP_POWER_SUPPLY, kterým mimojiné byl nastavován laboratorní zdroj SIGLENT SPD3303X-E, pomocí kterého byla deska napájena v době měření všech výsledků zobrazených v diplomové práci. PC aplikace zobrazí v pravé části výchozí widget, protože v konfiguračním souboru nebyl pro tento test žádný widget definován.



Obr. 5.4: PC aplikace - tests.yaml ukázka výsledku testů - default

5.5.2 konfigurační soubor hardwareConfig.yaml

Dalším konfiguračním souborem, který je v diplomové práci použit je soubor hardwareConfig.yaml. Tento soubor je oproti předchozímu souboru tests.yaml nutný k běhu programu. Nicméně jeho obsah je možné měnit i po komplikaci. Následující obrázek je ukázkou výstřížku z tohoto souboru.

```

CONTROL_BOARD:
  DEVICENAME : "CONTROL BOARD"
  COMMUNICATION: "VISA"
  #COMMUNICATION: "VIRTUAL"
  VISASTRING : 'TCPIP0::192.168.0.2::7::SOCKET'
  #BAUDRATE: 115200 #Irrelevant for TCIP IP..
  TIMEOUT: "30000"
  QUERYDELAY: 0.01
  PREFIXFORTESTS: "CTRL_BOARD"
  SELF_CHECK_PERIOD: 5000, #provided by main function only
  SELF_CHECK_COMMAND: "*IDN?"
  SELF_CHECK_RESPONSE: "OK;STM32 super board"
  READTERMINATION: "\r"
  WRITETERMINATION: "\r"
  CONNECTATSTARTUP: True
  NEEDSTOBECONNECTED: False

SIGLENTSPD3303XE:
  DEVICENAME : "SIGLENTPSU"
  COMMUNICATION: "VISA"
  #COMMUNICATION: "VIRTUAL"
  VISASTRING : 'TCPIP0::192.168.0.3::inst0::INSTR'
  #VISASTRING : 'ASRL9::INSTR'
  BAUDRATE: 115200 #Irrelevant for TCIP IP..
  TIMEOUT: "1000"
  QUERYDELAY: 0.01
  PREFIXFORTESTS: "SIGLENTPSU"
  SELF_CHECK_PERIOD: 5000, #provided by main function only
  SELF_CHECK_COMMAND: "SYSTem:ERRor?"
  SELF_CHECK_RESPONSE: "0 No Error"
  READTERMINATION: "\r"
  WRITETERMINATION: "\r"
  CONNECTATSTARTUP: True
  NEEDSTOBECONNECTED: False

```

Obr. 5.5: PC aplikace - hardwareConfig.yaml

Na výstřížku jsou zobrazeny konfigurace pro 2 zařízení, které používají pro Raw low layer právě komunikaci pomocí VISA knihoven. Jsou zde nastaveny nejdůležitější parametry, které jsou potřebné pro komunikaci s daným zařízením. Zajímavou možností je zvolit nastavení položky "COMMUNICATION" z VISA na VIRTUAL. Tímto lze aplikaci používat i v případě, že není k dispozici daný hardware. Veškeré testy pro dané zařízení pak probíhají v tzv. "virtuálním módě". Pro některá zařízení je opravdu emulován virtuální hardware a pro některá (včetně ovládacích karet z diplomové práce) jsou pouze navracovány hodnoty "VIRTUAL".

Důležitou položkou je parametr PREFIXFORTESTS, který určuje, jaký prefix bude použit pro testy, které jsou definovány v tests.yaml. Například pro zmírněný test SETUP_POWER_SUPPLY z obrázku 5.2 je prefix "SIGLENTPSU". Každý test začínající na tento prefix je pak přesměrován do příslušného hardwaru. V diplomové práci je využito těchto prefixů pro rozlišení jednotlivých ovládacích karet.

5.6 PC aplikace - MySql databáze

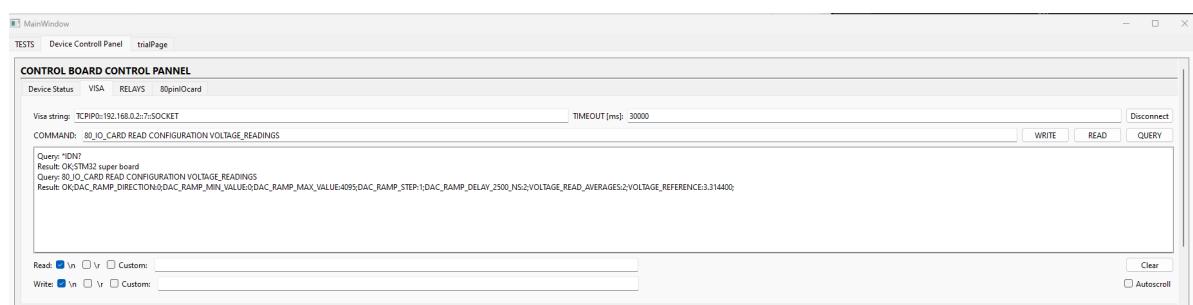
Pc aplikace používá k ukládání data MySql databázi. Do databáze jsou ukládány jednak výsledky testů, tak databáze slouží jako sjednocovací prvek pro výrobní data ICT tetserů od různých výrobců. Výrobní data jsou převáděna pomocí různých parsovacích podprogramů do jednotné struktury databáze a zbylé části PC aplikace jsou pak nezávislé na formátu výrobních dat. Tato struktura umožnuje jednoduše přidávat podporu pro další výrobce, pouze tvorbou nových parsovacích podprogramů.

5.7 PC aplikace - Uživatelské rozhraní

Uživatelské rozhraní PC aplikace je založeno na knihovně PyQt6. Tato knihovna je verzí knihovny Qt (originálně C++) pro jazyk Python. PyQt6 umožňuje vytvářet různé widgety, které jsou mezi sebou propojovány pomocí signálů a slotů. Pro ovládací kartu bylo vytvořeno několik widgetů. Všechny widgety diskutované v následujících sekcích jsou dostupné pro každou z připojených ovládacích karet.

5.7.1 Widget - Visa terminal

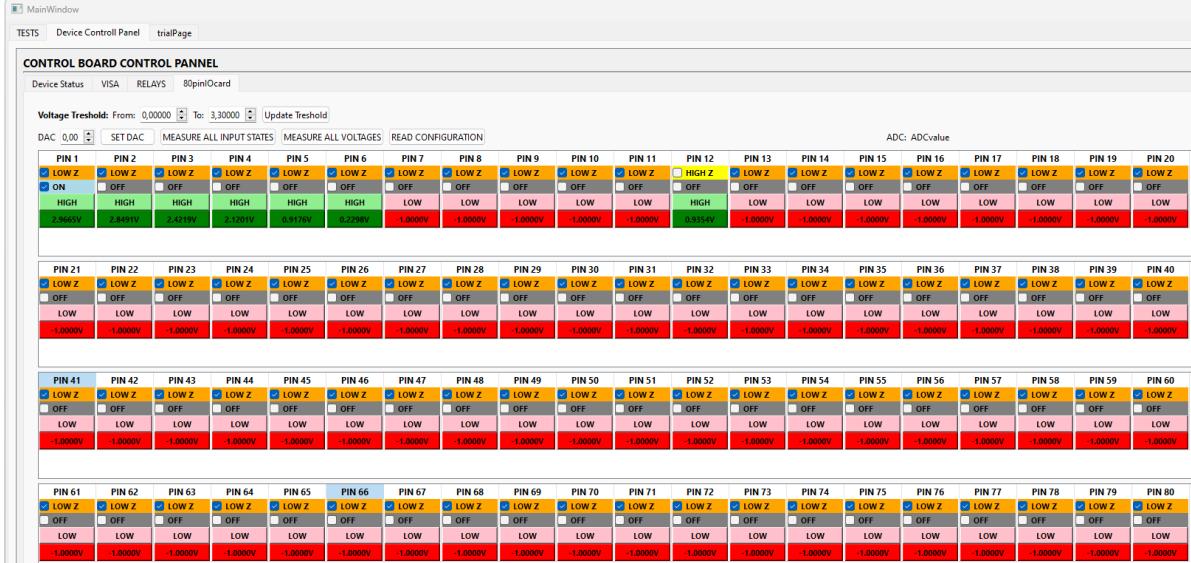
Prvním widgetem je VISA terminal, kde lze napřímo odesílat ovládací kartě příkazy z kapitoly č.4.



Obr. 5.6: PC aplikace - widget: VISA terminal

5.7.2 Widget - Ovládání karty

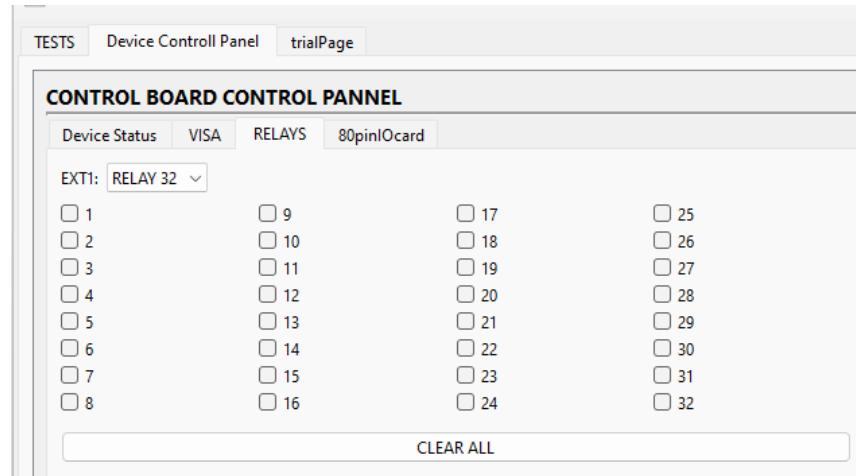
Další widget umožňuje pomocí grafického rozhraní nastavovat nejdůležitější funkce ovládacích karet. Na obrázku 5.7 lze vidět ovládací panel, kde se pro každý pin dá nastavit jeho výstup či impedance. Dále lze měřit napětí na jednotlivých pinech, získat aktuální logickou úroveň na pinu, Nastavovat D/A převodník, vyčítat aktuální konfiguraci ovládací karty apod.



Obr. 5.7: PC aplikace - widget: Ovládání karty

5.7.3 Widget - Ovládání Relé

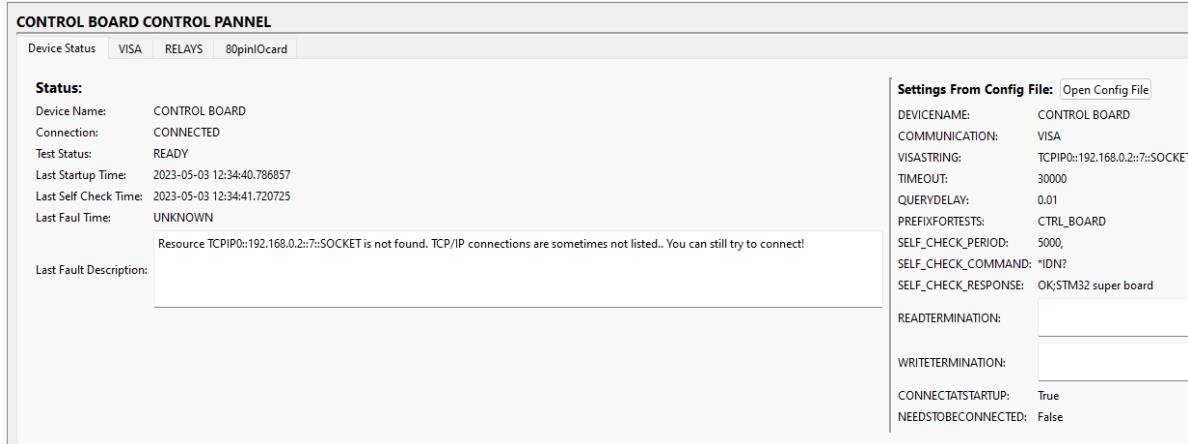
Každá z ovládacích karet má k dispozici tzv. EXT porty, do kterých lze připojovat i jiné moduly než měřící karty diskutované v této diplomové práci. Jedním z modulů, který je však využit je modul 32 relé karty připojený do EXT1 portu první ovládací karty. Tato relé karta slouží k ovládání mechanických částí testeru jako jsou například vzduchové válce pro kontaktovaní apod. Na obrázku 5.8 lze vidět widget pro ovládání této relé karty.



Obr. 5.8: PC aplikace - widget: Relé

5.7.4 Widget - Device status

Každé z připojených zařízení má v aplikaci dostupný tzv. Device status widget, ve kterém jsou zobrazeny aktuální informace o stavu daného zařízení. Také se v tomto widgetu vyskytuje tlačítko pro otevření příslušného konfiguračního souboru, pomocí kterého lze modifikovat konfiguraci daného zařízení (Obr. 5.5).



Obr. 5.9: PC aplikace - widget: Device status

5.7.5 Widget - ICT propojení

Widget ICT propojení je zobrazením dat uložených v MySQL databázi. V levé části tohoto widgetu (Pins And Probes), lze vidět všechny bRC piny a testpointy. Po kliknutí na některý z těchto pinů se v prostřední části (Connections) zobrazí podrobné informace o vybraném pinu. Pod detailními informacemi o pinu jsou zobrazena veškerá propojení, která vedou z nebo do vybraného pinu. Pro každé propojení jsou zde i přídavné informace o délce propojení, barvě drátu apod.

Po kliknutí na některé z propojení se v pravé části zobrazí grafické znázornění této cesty. Červenými kolečky jsou zde znázorněny jednotlivé bRC piny na spodní straně fixture a zelenými čtverečky jednotlivé testpointy.

U každého z pinů (část Pins And Probes) i u každého z propojení (část Connections) je tlačítko s ikonou šipky. Po kliknutí na toto tlačítko se provede příslušný test. Výsledky jsou pak interpretovány v podobě změny barev propojení. Červená barva značí, že propojení nevyhovuje nastaveným mezním hodnotám. Zelená barva indikuje správné propojení. Oranžová barva je označením pro nesprávné propojení (vede na jiný pin než bylo zamýšleno). V případě, že propojení propojení zatím nebylo testováno, je propojení zobrazeno bezbarvě (bíle). Žlutá barva pak značí aktuálně vybrané propojení.

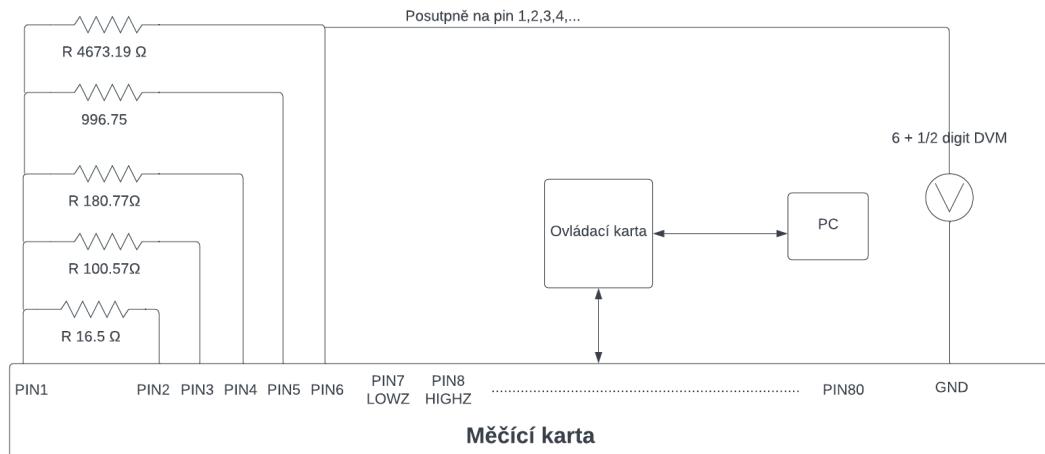


Obr. 5.10: Widget: ICT propojení

6 Technické parametry testeru

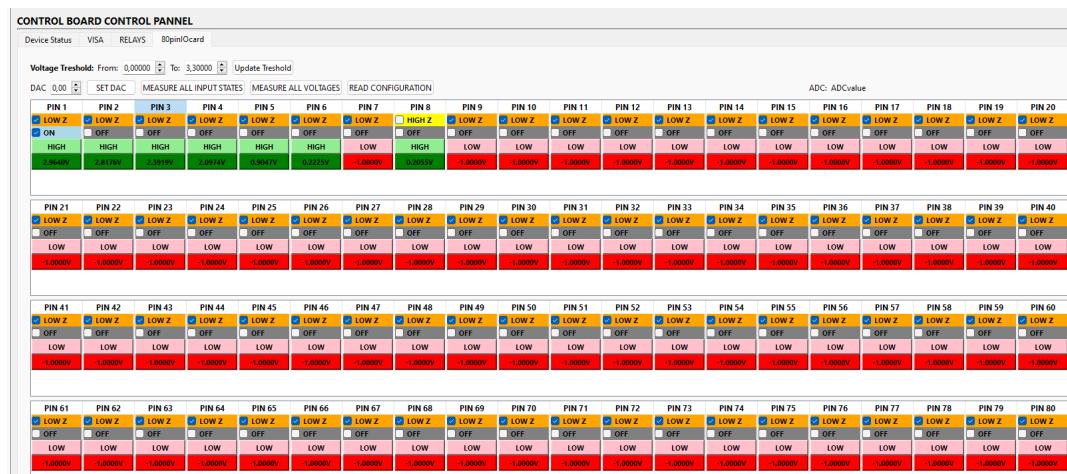
6.1 Dlouhodobá stabilita

Pro zjištění dlouhodobé stability byl proveden téměř 9-hodinový test běhu zařízení. Kde každých 500 ms byl ovládací kartě zaslán příkaz 80_IO_CARD MEASURE VOLTAGE ALL. Výsledky měření pro piny 1 až 8 byly ukládány do textového souboru a následně zpracovány v programu MATLAB. Zapojení testeru bylo provedeno dle schématu 6.1.

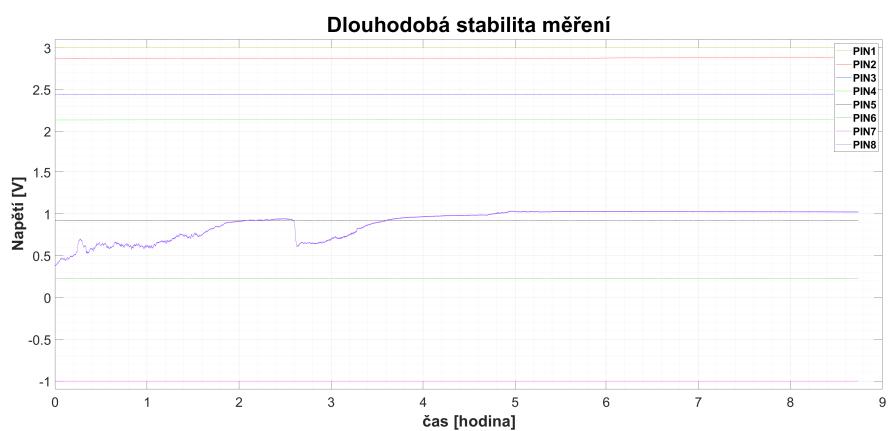


Obr. 6.1: Dlouhodobá stabilita - schéma zapojení

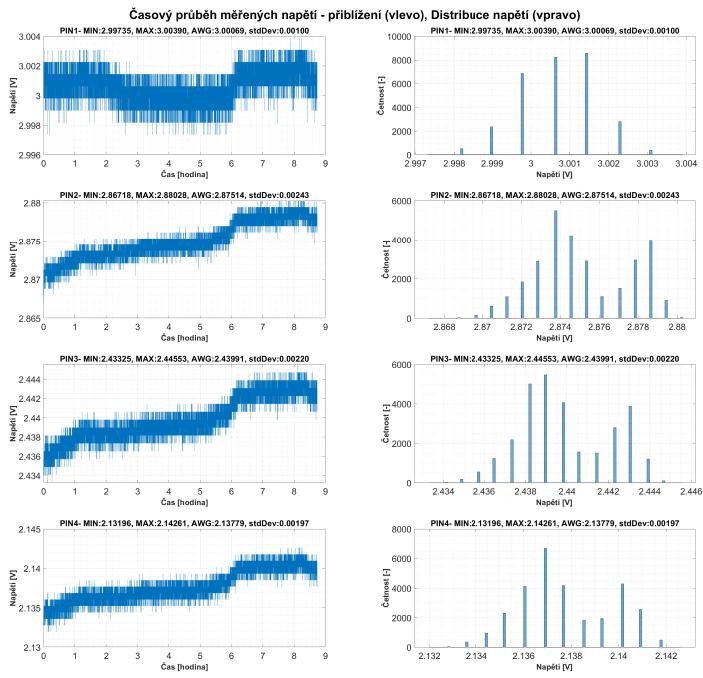
Měřící karta byla nastavena do konfigurace na Obr. 6.2. Tato konfigurace umožňuje změřit propojení všech pinů do pinu č. 1. Jedinou výjimkou je však nastavení pinu č. 8 do Vysoké impedance.



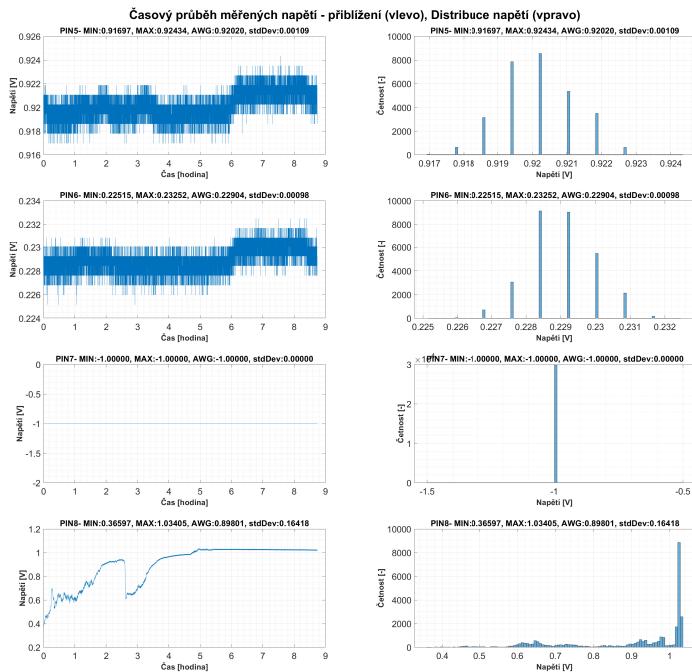
Obr. 6.2: Dlouhodobá stabilita - Konfigurace měřící karty



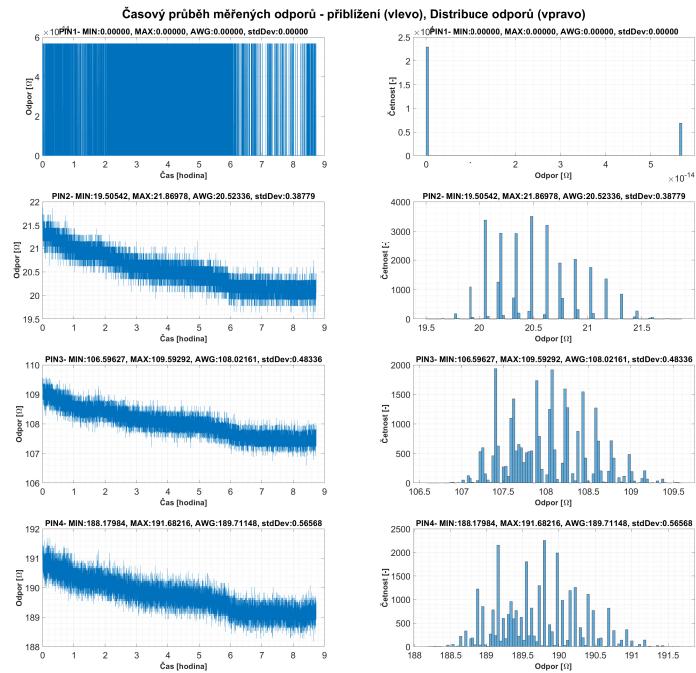
Obr. 6.3: Dlouhodobá stabilita - Časový průběh všech naměřených napětí



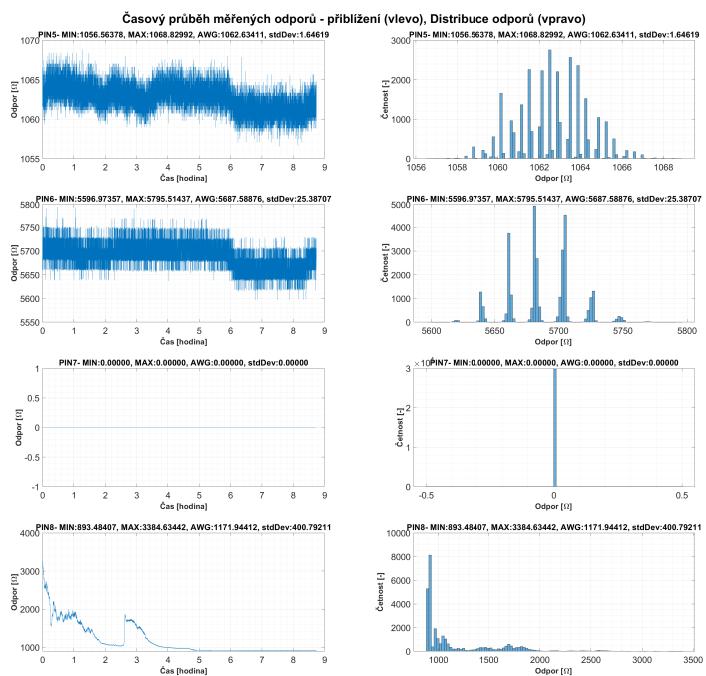
Obr. 6.4: Dlouhodobá stabilita - Přiblžení časových průběhů napětí na pinech 1 až 4



Obr. 6.5: Dlouhodobá stabilita - Přiblžení časových průběhů napětí na pinech 5 až 8



Obr. 6.6: Dlouhodobá stabilita - Přiblížení časových průběhů odporů na pinech 1 až 4



Obr. 6.7: Dlouhodobá stabilita - Přiblížení časových průběhů odporů na pinech 5 až 8

————— TADY BUDE Následovat komentář k výsledkům —————
Proč je tam offset, jak se dá ovlivnit kalibrací apod..... Naměřené hodnoty byly prováděny na nezkalibrované kartě. Bude pak následovat stejné měření po kalibraci (už asi ale ne 9 hodinové..)

Závěr (TOTO JE Závěr ze semestrální práce !! - bude změněno)

V semestrální práci bylo navrhnuo škálovatelné řešení pro měření odporu propojení velkého množství elektrických cest. Výsledkem návrhu je koncepce měřících a ovládacích karet, které dohromady tvoří pole 4000 pinů mezi kterými lze libovolně měřit odpor elektrické cesty.

Kombinací těchto karet lze teoreticky docílit měření 4000 projení cest současně v PASS/-FAIL režimu do 40 ms a následně výsledky procházet v řídící PC aplikaci. Byly navrženy 2 módy ve kterých by mělo zařízení pracovat (PASS/FAIL a měření přesného odporu).

K ovládacím kartám bylo navrženo schéma zapojení a téměř hotový návrh PCB. Nicméně ovládací karty nebyly prozatím vyrobeny. K měřícím kartám bylo vyrobeno PCB a nyní se čeká na osazení komponentů externí firmou. Po otestování měřících karet pomocí prototypových NUCLEO-F429ZI budou dány do výroby i ovládací karty.

Dále byl vytvořen firmware pro ovládací karty. Firmware není zdaleka finální, obsahuje však kostru programu, kde je implementován telnet a http server. Funkce těchto serverů bude výrazně rozšířena po vyrobení ovládacích karet. Momentálně telnet server nedisponuje všemi příkazy potřebnými k ovládání měřících karet. V současnosti jsou implementovány pouze příkazy pro nastavení A/D, D/A převodníku a ovládání některých dalších periférií.

V semestrální práci byla vytvořena aplikace pro PC, která umožňuje vhodně formátovat vstupní data pro tester a zobrazovat je v interaktivním grafickém režimu. Aplikace však neobsahuje část, pro ovládání karet. Momentálně slouží jako základ pro tvorbu měřících matic popsaných v části Algoritmizace a měřící procedury. Dále aplikace umožňuje formátovat vstupní data, která jsou generována nejrozšířenějšími ICT testery AGILENT (KEYSIGHT) 30xx.

Úkolem do diplomové práce je dokončit firmware a výrobu ovládacích karet. Navrhnout kalibrační procedury měřících karet. Vyvinout PC aplikaci pro ovládání karet a zobrazování výsledků měření. Společně s konstruktéry navrhnout a realizovat mechanické řešení testeru. Mechanické řešení obsahuje především návrh pneumatického kontaktování. Dále navrhnout bezpečnostní mechanizmy pro případnou poruchu testeru. Na závěr otestovat funkčnost a ověřit věrohodnost předpokládaných parametrů testeru.

Literatura

- [1] HOROWITZ, P., HILL, W.: *The Art of Electronics*. [online]. 2015, New York: Cambridge University Press, [cit. 27. 12. 2022]. Dostupné z URL (direct download):
[<https://www.uvm.edu/~gpetrucc/courses/Chem219/Lectures/Paul%20Horowitz,%20Winfield%20Hill%20-%20The%20Art%20of%20Electronics-Cambridge%20University%20Press%20\(2015\).pdf>](https://www.uvm.edu/~gpetrucc/courses/Chem219/Lectures/Paul%20Horowitz,%20Winfield%20Hill%20-%20The%20Art%20of%20Electronics-Cambridge%20University%20Press%20(2015).pdf).
- [2] MARTIN, T.: *the Insider's Guide to the STM32 ARM Based Microcontroller*. [online]. 2008, T Coventry: Hitex Ltd., UK, [cit. 27. 12. 2022]. Dostupné z URL:
[<https://www.hitex.com/fileadmin/documents/tools/dev_tools/dt_protected/insiders-guides/stm32/isg-stm32-v18d-scr.pdf>](https://www.hitex.com/fileadmin/documents/tools/dev_tools/dt_protected/insiders-guides/stm32/isg-stm32-v18d-scr.pdf).
- [3] KEYSIGHT TECHNOLOGIES: *Keysight Medalist i3070 Series 5* [online]. 2017, Product datasheet Nr. 5990-4344EN [cit. 27. 12. 2022]. Dostupné z URL:
[<https://www.keysight.com/zz/en/assets/7018-02227/data-sheets/5990-4344.pdf>](https://www.keysight.com/zz/en/assets/7018-02227/data-sheets/5990-4344.pdf).
- [4] ACCULOGIC: *Keysight (Agilent) 3070 Test Program* [online]. Keysight (Agilent) 3070 Test Program - product webpage [cit. 27. 12. 2022]. Dostupné z URL:
 [<https://acculogic.com/services/test-engineering-services/in-circuit-test-programming-services/agilent-hp-3070-test-program-development-services/>](https://acculogic.com/services/test-engineering-services/in-circuit-test-programming-services/agilent-hp-3070-test-program-development-services/).
- [5] TERADYNE, Smith, J. Michael: *ICT Fixture Guidelines* [online]. ICT Fixture Guidelines, Test Techniques and Practices [cit. 27. 12. 2022]. Dostupné z URL (direct download):
[<https://courseware.zcu.cz/CoursewarePortlets2/DownloadDokumentu?id=114866>](https://courseware.zcu.cz/CoursewarePortlets2/DownloadDokumentu?id=114866).
- [6] Wikipedia: *CAD data exchange* [online]. 2022, Wikipedia - CAD data exchange [cit. 27. 12. 2022]. Dostupné z URL:
[<https://en.wikipedia.org/wiki/CAD_data_exchange>](https://en.wikipedia.org/wiki/CAD_data_exchange).
- [7] Mark Fortunato: *Analyzing circuit sensitivity for analog circuit design* [online]. 2008, Analyzing circuit sensitivity for analog circuit design - Embedded Staff magazine [cit. 27. 12. 2022]. Dostupné z URL:
 [<https://www.embedded.com/analyzing-circuit-sensitivity-for-analog-circuit-design/>](https://www.embedded.com/analyzing-circuit-sensitivity-for-analog-circuit-design/).
- [8] Emmanuel A. Gonzalez, Martin Christian G. Leonor, Leonard U. Ambata: *Analyzing Sensitivity in Electric Circuits* [online]. 2007, Analyzing Sensitivity in Electric Circuits - IEEE MULTIDISCIPLINARY ENGINEERING EDUCATION MAGAZINE [cit. 27. 12. 2022]. Dostupné z URL (direct download):
[<https://nanopdf.com/download/analyzing-sensitivity-in-electric-circuits_pdf>](https://nanopdf.com/download/analyzing-sensitivity-in-electric-circuits_pdf).
- [9] TOSHIBA: *SSM3J358R* [online]. SSM3J358R - Product datasheet [cit. 27. 12. 2022]. Dostupné z URL:

- <https://cz.mouser.com/datasheet/2/408/SSM3J358R_datasheet_en_20170124-1916450.pdf>.
- [10] PANJIT Semiconductor: *PJA3432* [online]. PJA3432 - Product datasheet [cit. 27. 12. 2022]. Dostupné z URL:
[<https://cz.mouser.com/datasheet/2/1057/PJA3432-1867274.pdf>](https://cz.mouser.com/datasheet/2/1057/PJA3432-1867274.pdf).
- [11] TEXAS INSTRUMENTS: *LM393LV-Q1 Dual and LM339LV-Q1 Quad Low Voltage, RRI Automotive Comparators* [online]. LM393LV-Q1 Dual and LM339LV-Q1 Quad Low Voltage, RRI Automotive Comparators - Product datasheet [cit. 27. 12. 2022]. Dostupné z URL:
[<https://www.ti.com/lit/ds/symlink/lm393lv-q1.pdf?HQS=dis-mous-null-mousermode-dsf-pf-null-wwe&ts=1672576488296&ref_url=https%253A%252F%252Fczech.mouser.com%252F>](https://www.ti.com/lit/ds/symlink/lm393lv-q1.pdf?HQS=dis-mous-null-mousermode-dsf-pf-null-wwe&ts=1672576488296&ref_url=https%253A%252F%252Fczech.mouser.com%252F).
- [12] TEXAS INSTRUMENTS: *SNx4AHCT595 8-Bit Shift Registers With 3-State Output Registers* [online]. SNx4AHCT595 8-Bit Shift Registers With 3-State Output Registers - Product datasheet [cit. 27. 12. 2022]. Dostupné z URL:
[<https://www.ti.com/lit/ds/symlink/sn74ahct595.pdf?HQS=dis-mous-null-mousermode-dsf-pf-null-wwe&ts=1672576686373&ref_url=https%253A%252F%252Fczech.mouser.com%252F>](https://www.ti.com/lit/ds/symlink/sn74ahct595.pdf?HQS=dis-mous-null-mousermode-dsf-pf-null-wwe&ts=1672576686373&ref_url=https%253A%252F%252Fczech.mouser.com%252F).
- [13] TEXAS INSTRUMENTS: *TMUX13xx-Q1 Automotive 5-V, Bidirectional 8:1, 1-Channel and 4:1, 2-Channel Multiplexers with Injection Current Control* [online]. TMUX13xx-Q1 Automotive 5-V, Bidirectional 8:1, 1-Channel and 4:1, 2-Channel Multiplexers with Injection Current Control - Product datasheet [cit. 27. 12. 2022]. Dostupné z URL:
[<https://www.ti.com/lit/ds/symlink/tmux1308-q1.pdf?HQS=dis-mous-null-mousermode-dsf-pf-null-wwe&ts=1672576632072&ref_url=https%253A%252F%252Fczech.mouser.com%252F>](https://www.ti.com/lit/ds/symlink/tmux1308-q1.pdf?HQS=dis-mous-null-mousermode-dsf-pf-null-wwe&ts=1672576632072&ref_url=https%253A%252F%252Fczech.mouser.com%252F).
- [14] TEXAS INSTRUMENTS: *TLV767 1-A, 16-V Precision Linear Voltage Regulator* [online]. TLV767 1-A, 16-V Precision Linear Voltage Regulator - Product datasheet [cit. 27. 12. 2022]. Dostupné z URL:
[<https://www.ti.com/lit/ds/symlink/tlv767.pdf?HQS=dis-mous-null-mousermode-dsf-pf-null-wwe&ts=1672577000555&ref_url=https%253A%252F%252Fczech.mouser.com%252F>](https://www.ti.com/lit/ds/symlink/tlv767.pdf?HQS=dis-mous-null-mousermode-dsf-pf-null-wwe&ts=1672577000555&ref_url=https%253A%252F%252Fczech.mouser.com%252F).
- [15] STMICROELECTRONICS: *Extending the DAC performance of STM32 microcontrollers* [online]. Application note - AN4566 [cit. 27. 12. 2022]. Dostupné z URL:
[<https://www.st.com/resource/en/application_note/an4566-extending-the-dac-performance-of-stm32-microcontrollers-stmicroelectronics.pdf>](https://www.st.com/resource/en/application_note/an4566-extending-the-dac-performance-of-stm32-microcontrollers-stmicroelectronics.pdf).
- [16] Soufiane Bendaoud, Giampaolo Marino: *Practical Techniques to Avoid Instability Due to Capacitive Loading* [online]. Ask The Application Engineer - 32 [cit. 27. 12. 2022]. Dostupné z URL:
[<https://ez.analog.com/cfs-file/_key/telligent-evolution-components-attachments/00-383-00-00-01-74-37/plugin_2D00_capacitive_5F00_loading_2D00_1.pdf>](https://ez.analog.com/cfs-file/_key/telligent-evolution-components-attachments/00-383-00-00-01-74-37/plugin_2D00_capacitive_5F00_loading_2D00_1.pdf).

- [17] Tim Green, Texas Instruments: *Operational Amplifier Stability Part 6 of 15: Capacitance-Load Stability* [online]. Burr-Brown Products from Texas Instruments, published in analogZone [cit. 27. 12. 2022]. Dostupné z URL:
[<https://picture.iczhiku.com/resource/eetop/sYKyS11Zpy00SBNB.pdf>](https://picture.iczhiku.com/resource/eetop/sYKyS11Zpy00SBNB.pdf).
- [18] ANALOG DEVICES: *Low Cost, 250 mA Output Single-Supply Amplifiers* [online]. AD8531/AD8532/AD8534 - Product datasheet [cit. 30. 04. 2022]. Dostupné z URL:
[<https://pdf1.alldatasheet.com/datasheet-pdf/view/48476/AD/AD8532.html>](https://pdf1.alldatasheet.com/datasheet-pdf/view/48476/AD/AD8532.html).

Seznam symbolů a zkratek

ADC	Analogově-Digitální Převodník
bRC	piny na spodní straně fixture
DAC	Digitálně-Analogový Převodník
Fixture	Vyměnitelný adaptér se zakládacím polem pro ICT testery
ICT	In-Circuit Testing
MAC	Media Access Control
PC	Personal Computer - Počítač
PCB	Printed Circuit Board - Deska plošných spojů
PHY	Physical Layer - fyzická vrstva
Probes	Testovací jehly

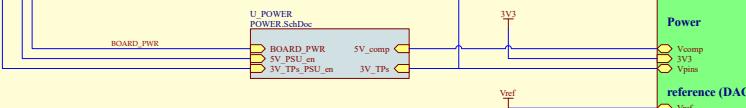
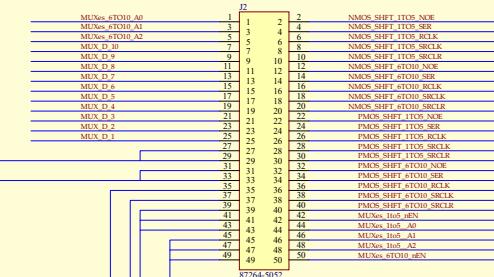
Seznam příloh

A Schéma měřící karty	67
B Schéma Ovládací karty	73

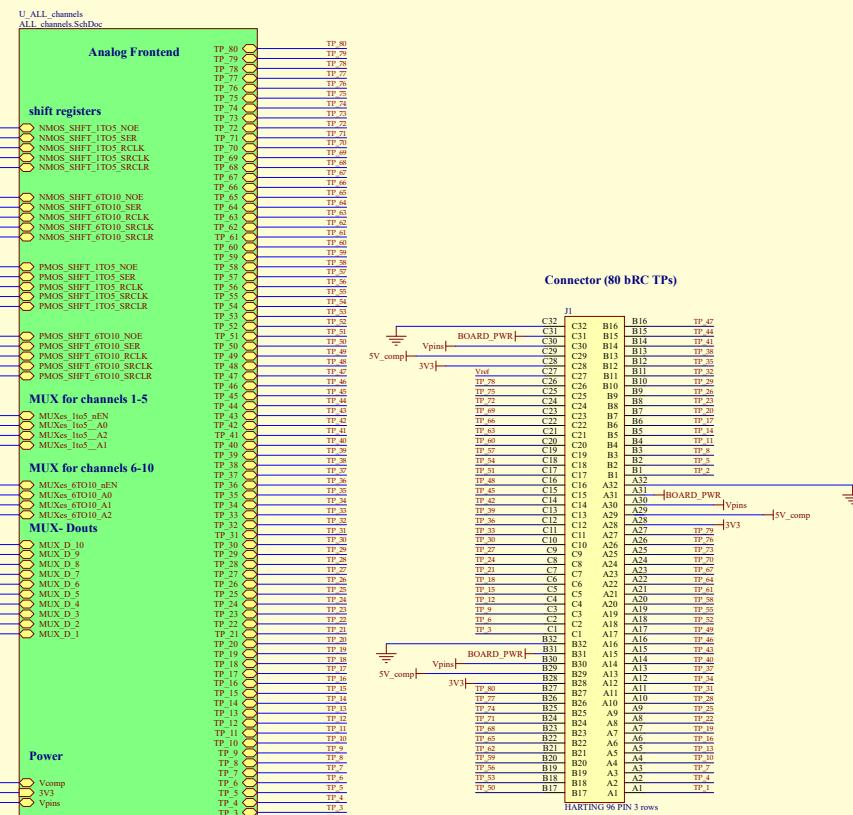
A Schéma měřící karty

SYSTEM TOP LEVEL VIEW

Connection to the controll card



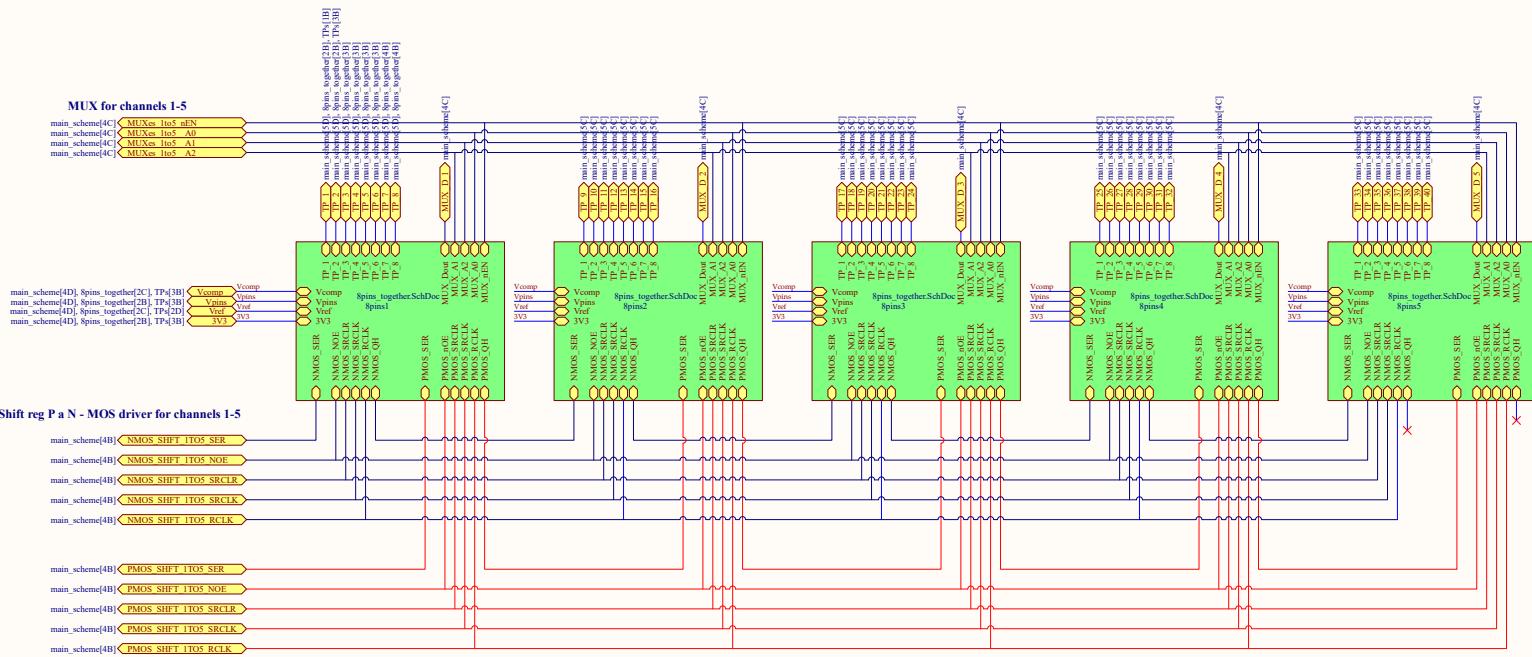
RESISTANCE MEASUREMENTS
ANALOG MODULE CONTROLLED BY MUXES AND SHIFT REGISTERS + 96PIN connector



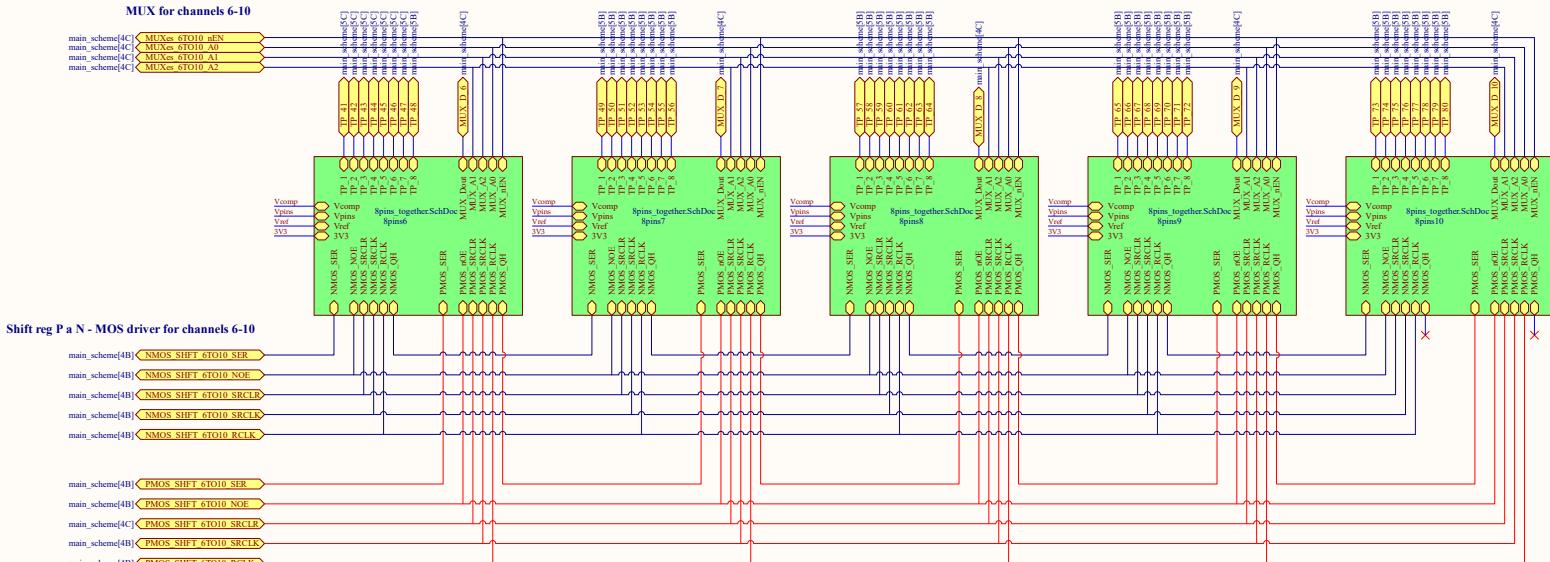
Title		
Size	Number	Revision
Date: 12.08.2022 File: C:\Users\imran.schDoc	A2	Sheet of Drawn By:

ALL 80 pins - controlled by 2x5 (for P and N MOSFETS) + 2x5MUXES

MUX for channels 1-5

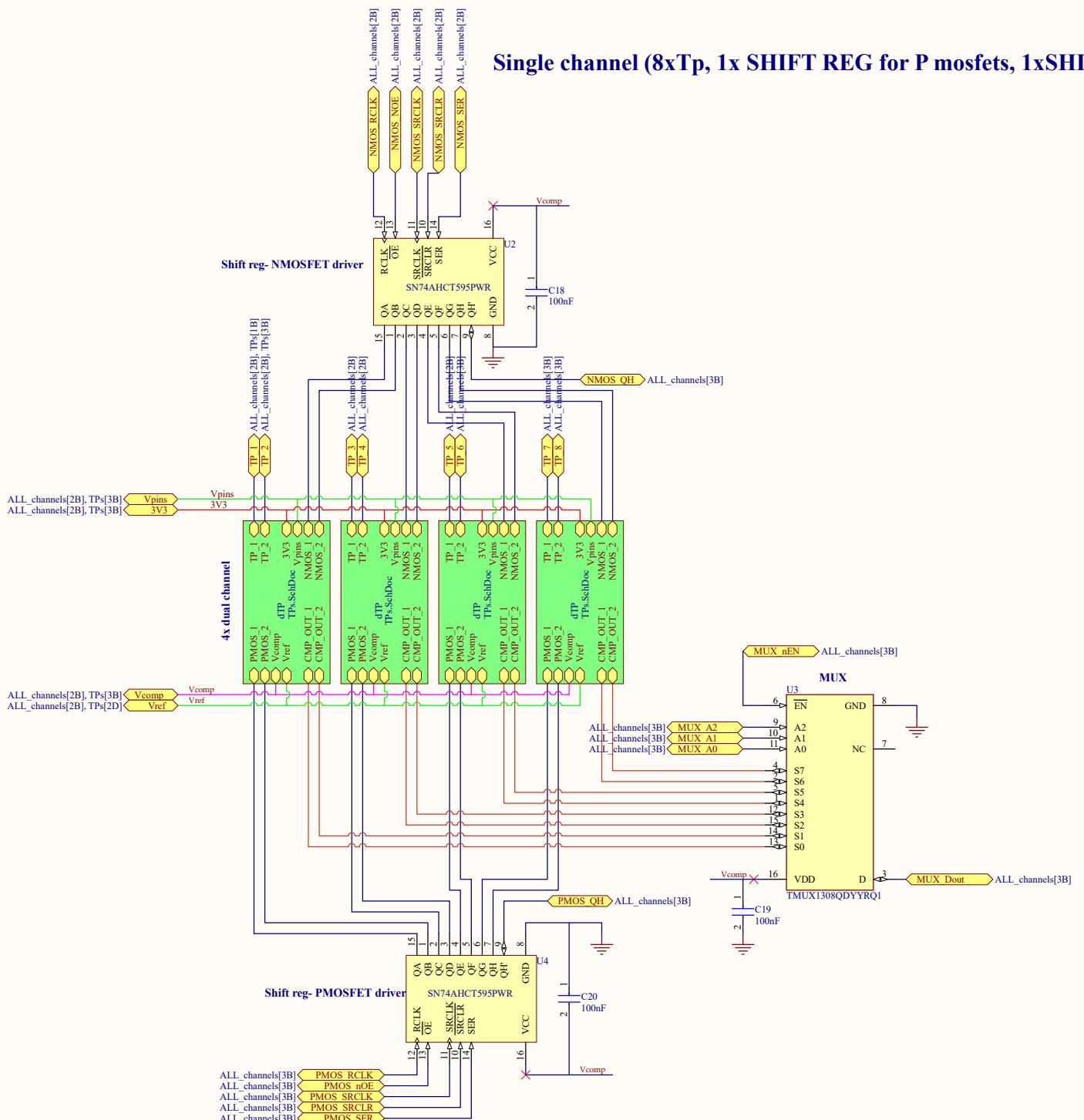


MUX for channels 6-10



Title		
Size	Number	Revision
A2		
Date:	12.08.2022	Sheet of
File:	C:\Users\ALL_channels.SchDoc	Drawn By:

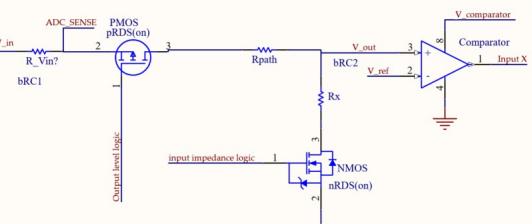
Single channel (8xTp, 1x SHIFT REG for P mosfets, 1xSHIFT REG for Nmosfets, 1X MUX)



Title		
Size	Number	Revision
A3		
Date: 12.08.2022	Sheet of	
File: C:\Users...\8pins_together.SchDoc		Drawn By:

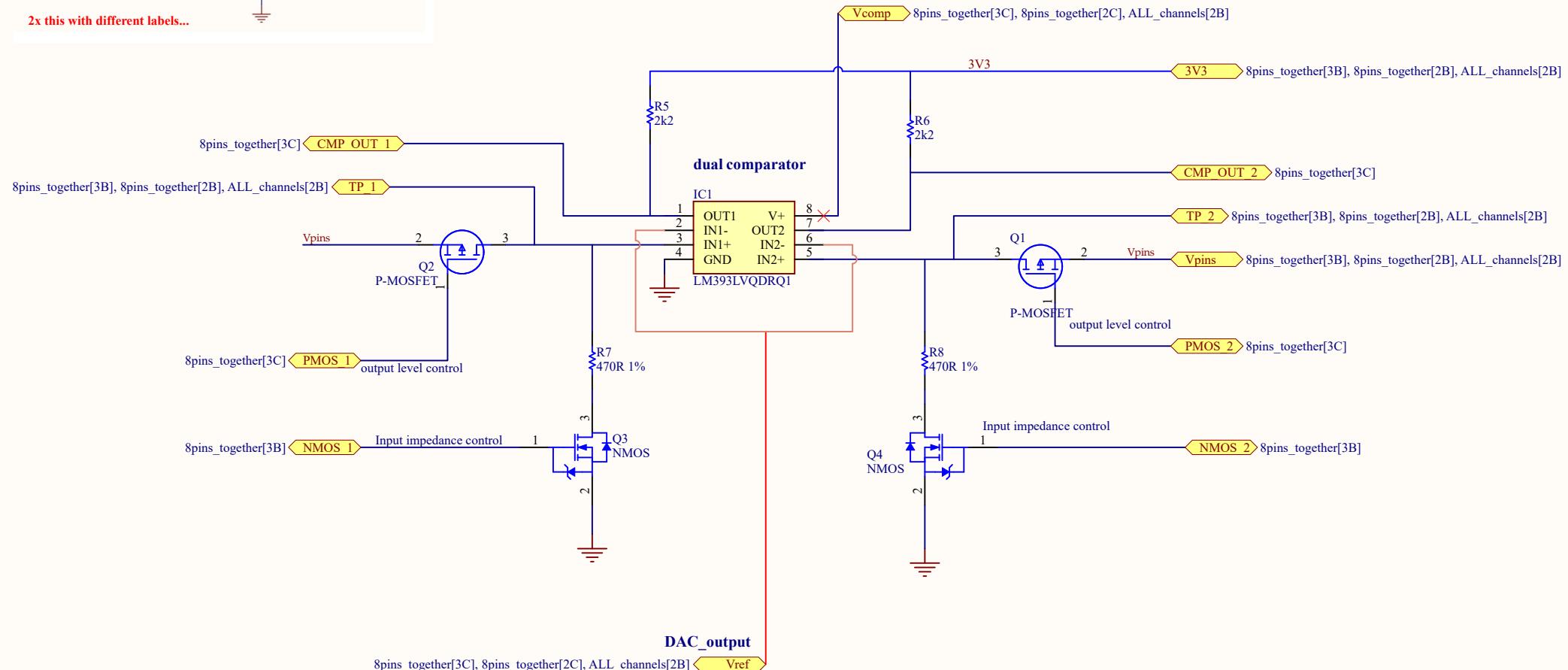
Analog frontend for 2 channels (dual comparator with P and N MOSFETS)

A



A

B



B

C

C

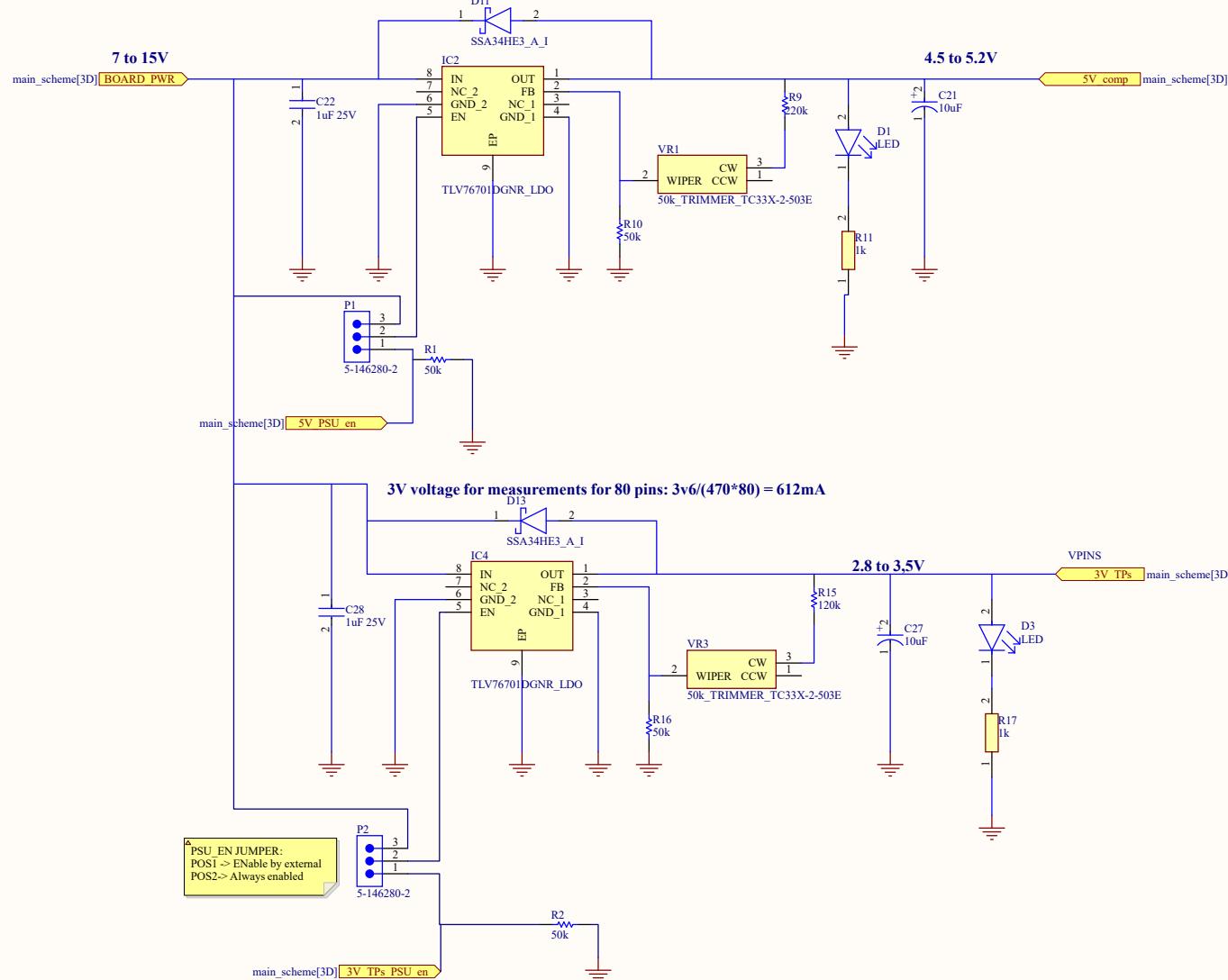
D

D

Title		
Size	Number	Revision
A4		
Date: 12.08.2022	Sheet of	
File: C:\Users\.\TPs.SchDoc		Drawn By:

POWER - REGULATORS

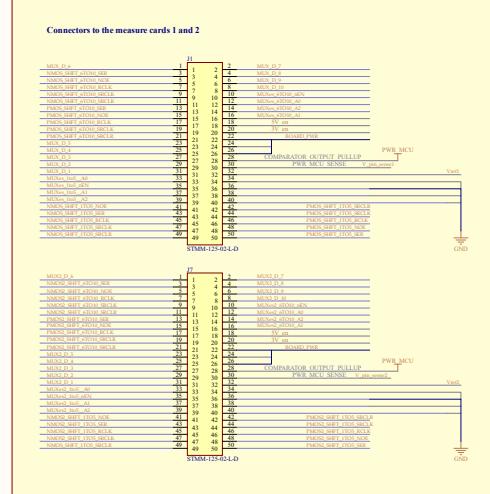
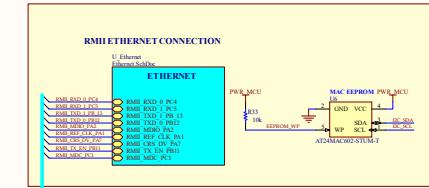
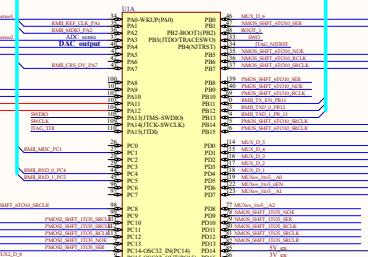
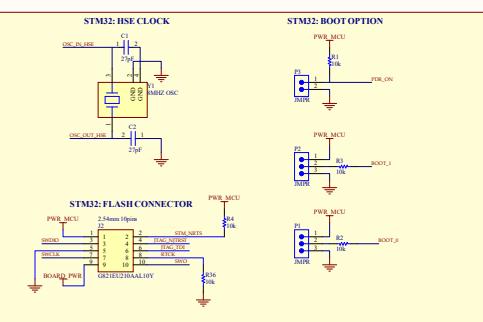
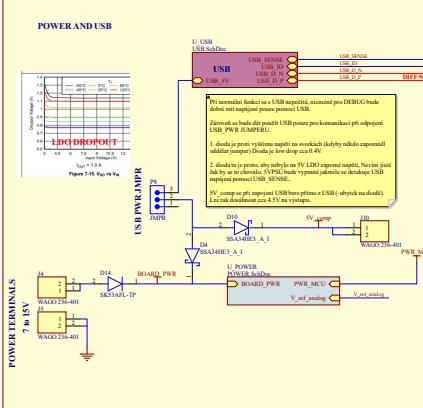
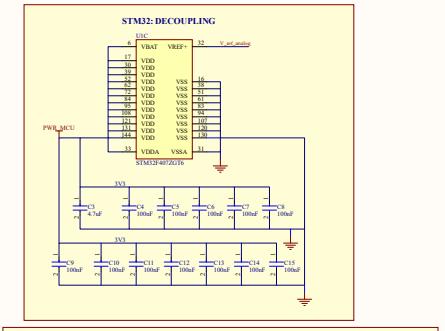
R1 = (Vout/0.8-1)*R2 ; R2 = 50kR
5V : shfregs/comps/mux - (Worst case cca 440mA)



Title		
Size	Number	Revision
A3		
Date: 12.08.2022	Sheet of	
File: C:\Users\...\POWER.SchDoc	Drawn By:	

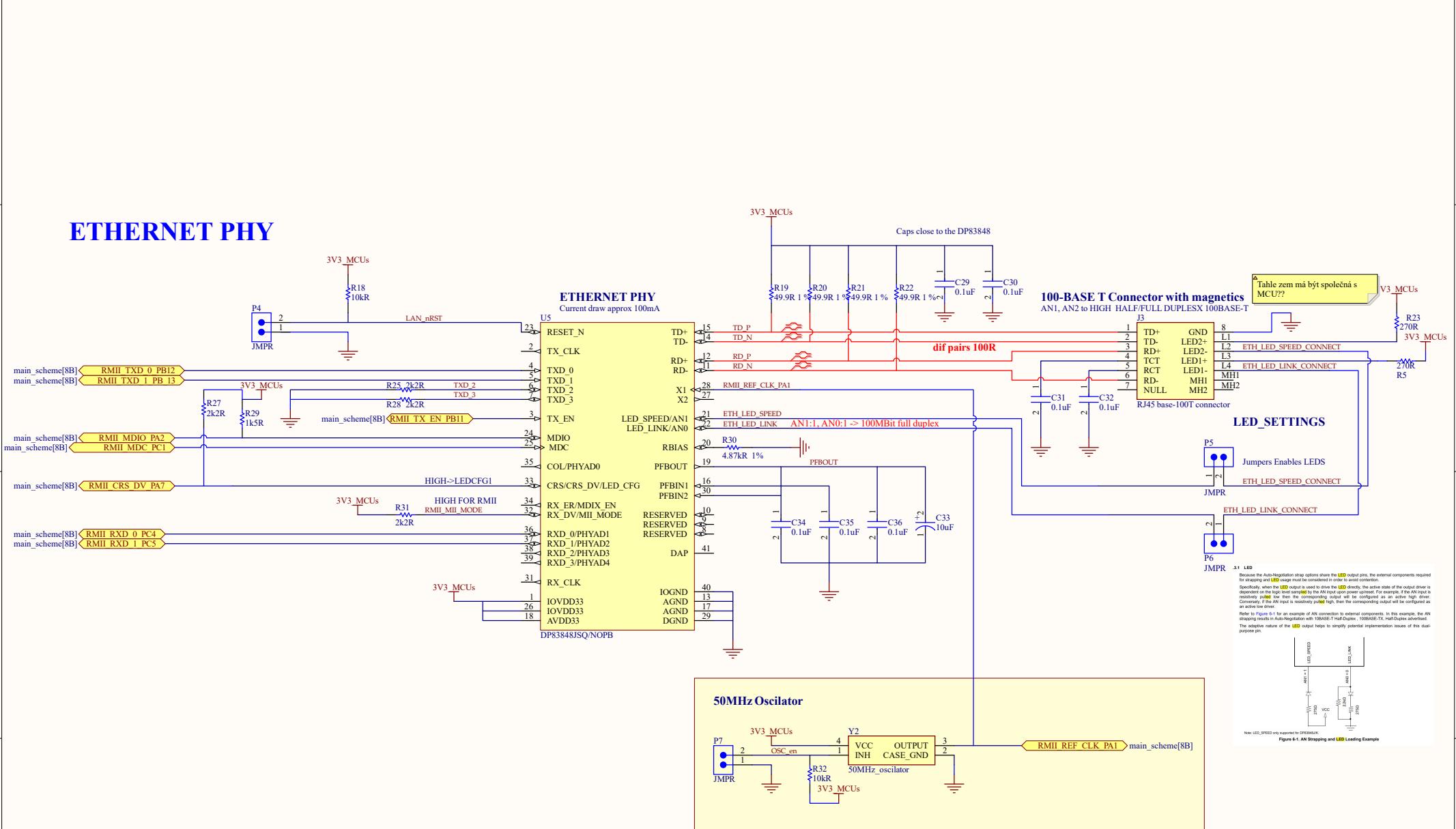
B Schéma Ovládací karty

SYSTEM TOP LEVEL VIEW



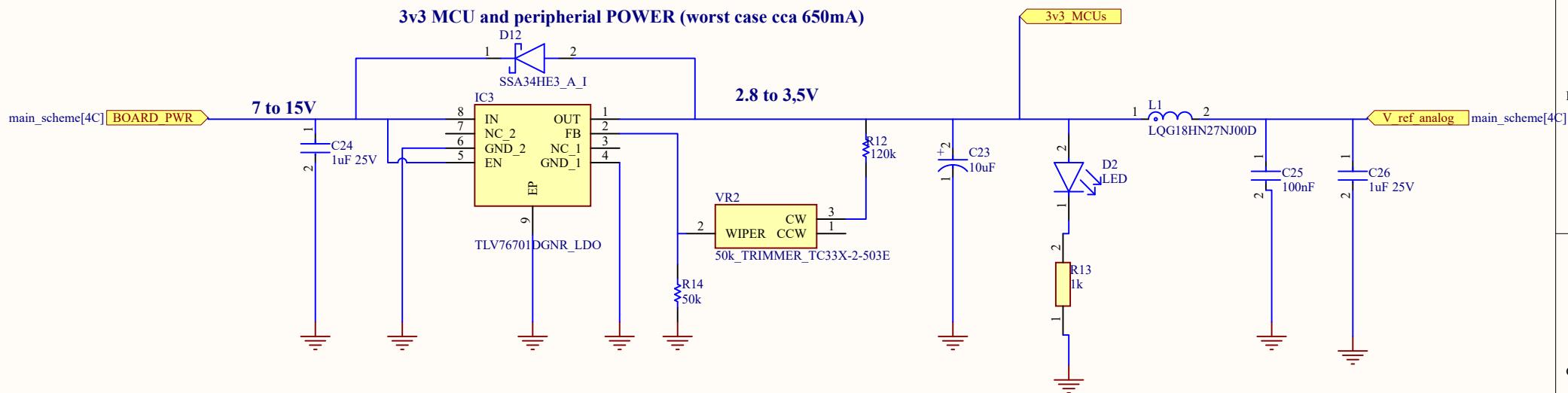
ETHERNET PHY

B



Title		
Size	Number	Revision
A3		
Date: 12.13.2022	Sheet of	
File: C:\Users\...\Ethernet.SchDoc	Drawn By:	

POWER - REGULATORS



Title		
Size A4	Number	Revision
Date: 12.13.2022		Sheet of
File: C:\Users\.\POWER.SchDoc		Drawn By:

A

A

B

B

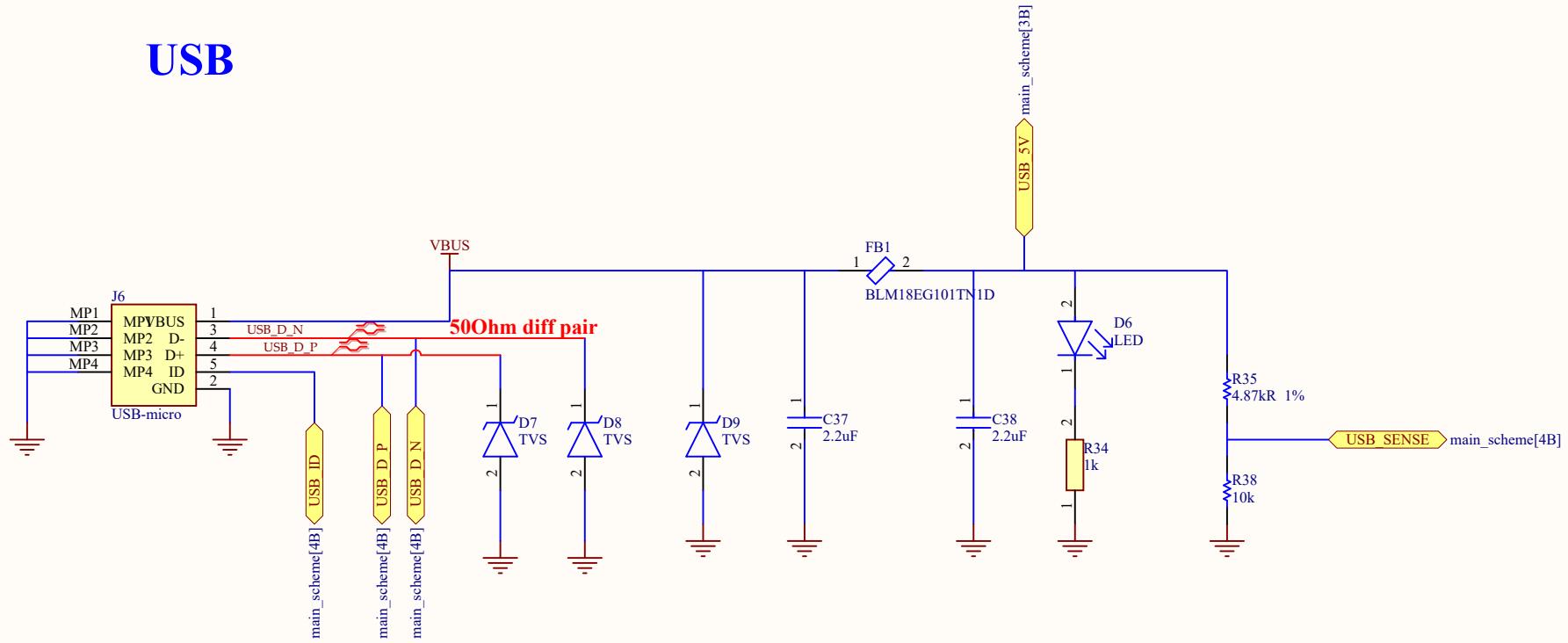
C

C

D

D

USB



Title

Size

A4

Number

Revision

Date: 12.13.2022

Sheet of

File: C:\Users\.\USB.SchDoc

Drawn By: