



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH TECHNOLOGIÍ

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION

ÚSTAV RADIOTELEKTRONIKY

DEPARTMENT OF RADIO ELECTRONICS

VÝROBNÍ TESTER

PRODUCTION TESTER

SEMESTRÁLNÍ PRÁCE

SEMESTRAL THESIS

AUTOR PRÁCE

AUTHOR

Bc. Filip Paul

VEDOUCÍ PRÁCE

SUPERVISOR

prof. Dr. Ing. Zdeněk Kolka

BRNO 2022



Semestrální práce

magisterský navazující studijní program **Elektronika a komunikační technologie**

Ústav radioelektroniky

Student: Bc. Filip Paul

ID: 211538

Ročník: 2

Akademický rok: 2022/23

NÁZEV TÉMATU:

Výrobní tester

POKYNY PRO VYPRACOVÁNÍ:

MP(K)C-M2E:

Navrhněte zařízení sloužící k testování správnosti zapojení testerů desek plošných spojů typu ICT. Zařízení musí na základě konfigurovatelných vstupních dat ověřit správné propojení velkého množství testovacích bodů (řádově tisíce). Správnost propojení bude určena maximálním odporem elektricky vodivé cesty, která propojuje testovací body mezi sebou. Navrhněte snadno škálovatelné řešení testera z hlediska počtu měřicích bodů. Pro zvolenou koncepci navrhněte konkrétní obvodové řešení, desku plošných spojů a mechanické provedení přístroje, který se k testovanému zařízení připojí pomocí testovacích jehel. Vytvořte firmware pro řízení desky, který zároveň umožní komunikaci s PC pomocí LAN a USB.

MP(K)C-MSE:

Realizujte desky plošných spojů a mechanickou konstrukci testeru. Dále vytvořte řídicí program pro PC pro operační systém Windows, který umožní výsledek testu prezentovat obsluze srozumitelnou grafickou formou a zároveň ukládat do lokální databáze. Proveďte ověření funkčnosti zařízení a dosažených parametrů.

DOPORUČENÁ LITERATURA:

- [1] HOROWITZ, P., HILL, W. The Art of Electronics. New York: Cambridge University Press, 2015.
- [2] MARTIN, T. The Insider's Guide to the STM32 ARM Based Microcontroller. Coventry: Hitex Ltd., UK, 2008.

Termín zadání: 23.9.2022

Termín odevzdání: 2.1.2023

Vedoucí práce: prof. Dr. Ing. Zdeněk Kolka

prof. Dr. Ing. Zbyněk Raida

předseda rady studijního programu

UPOZORNĚNÍ:

Autor semestrální práce nesmí při vytváření semestrální práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

ABSTRAKT

Diplomová práce se zabývá návrhem a realizací zařízení, které slouží k ověření správnosti vnitřního elektrického zapojení ICT testerů. Správnost zapojení je ověřována měřením odporu mezi jednotlivými testovacími body. ICT testery mohou obsahovat řádově tisíce propojení. Navrhované zařízení by mělo být schopno identifikovat chyby propojení a následně navrhnout vhodné řešení.

KLÍČOVÁ SLOVA

In-Circuit Testing (ICT), Fixture, Testovací body, Testovací jehly, End Of Line (EOL).

ABSTRACT

The diploma thesis deals with the design and implementation of a device, which is used to verify the internal electrical wiring of ICT testers. Wiring is verified by measuring the resistance between individual test points. ICT testers can contain thousands of connections. The device should be able to identify wiring errors, inform the operator about the error and propose a relevant solution.

KEYWORDS

In-Circuit Testing (ICT), Fixture, Testpoint, Test probes, End Of Line (EOL).

PAUL, Filip. *Výrobní tester*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, Ústav radioelektroniky, 2023, 58 s. Semestrální práce. Vedoucí práce: prof. Dr. Ing. Zdeněk Kolka, ...

Prohlášení autora o původnosti díla

Jméno a příjmení autora: Bc. Filip Paul

VUT ID autora: 211 538

Typ práce: Semestrální práce

Akademický rok: 2022/23

Téma závěrečné práce: Výrobní tester

Prohlašuji, že svou závěrečnou práci jsem vypracoval samostatně pod vedením vedoucí/ho závěrečné práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené závěrečné práce dále prohlašuji, že v souvislosti s vytvořením této závěrečné práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a/nebo majetkových a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., o právu autorském, o právech souvisejících s právem autorským a o změně některých zákonů (autorský zákon), ve znění pozdějších předpisů, včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č. 40/2009 Sb.

Brno podpis autora*

*Autor podepisuje pouze v tištěné verzi.

Obsah

Úvod	9
1 Koncept funkčnosti testeru	10
1.1 Princip funkčnosti ICT testeru	10
1.2 Koncepce navrhovaného testeru	11
1.2.1 Systémová koncepce	11
1.2.2 Hardwarová koncepce	13
Propojení bRC pinů mezi sebou	13
Propojení mezi bRC a Probes	13
2 Návrh měřících karet	14
2.1 Základní požadavky na měřící karty	14
2.2 Funkční bloky	14
2.2.1 Měřící část	15
Teoretický návrh	15
Výběr součástek a volba jejich hodnoty	18
Volba velikosti odporu děliče Rout	18
Volba P-channel mosfetu	23
Volba N-channel mosfetu	24
Volba komparátoru	24
Volba shift registrů	25
Volba multiplexerů	25
2.2.2 Napájecí část	26
2.2.3 Návrh PCB	27
3 Návrh ovládacích karet	30
3.1 Základní požadavky na Ovládací karty	30
3.2 Funkční bloky	30
3.2.1 Mikrokontrolér a jeho periférie	31
D/A převodník	31
Programování a debugging	32
Konfigurace hodinového signálu	32
3.2.2 Konektivita	33
Ethernet	33
USB	34
3.2.3 Napájení	35
4 Algoritmizace a měřící procedury	37
4.1 Mód PASS/FAIL	38
4.2 Mód měření přesné hodnoty odporu	39
5 Řídící PC aplikace	40
5.1 Záložka routing	40

Závěr	42
Literatura	43
Seznam symbolů a zkratek	46
Seznam příloh	47
A Schéma měřící karty	48
B Schéma Ovládací karty	54

Seznam obrázků

1.1	Části ICT testera (obrázek testera vlevo nahoře převzat z [4])	10
1.2	Koncepce funkčnosti navrhovaného testera	11
1.3	Systémová koncepce	11
1.4	Měřící karta	12
1.5	Ovládací karta - 3D model (Není vyrobena jedná se o předběžný návrh)	12
2.1	Blokový diagram měřících karet	14
2.2	Napěťový dělič pro 2 a 4 propojené bRC piny	15
2.3	Napěťový dělič pro s možností high Z vstupem	16
2.4	Zapojení měřící části s p-channel MOSFET	17
2.5	3D zobrazení rovnice pro výstupní napětí děliče (generováno pomocí MATLAB) .	20
2.6	3D zobrazení rovnice 2.8 s podmínkami (generováno pomocí MATLAB)	20
2.7	PASS FAIL - přesnost R_{path} 2Ω (generováno pomocí MATLAB)	21
2.8	Přesné měření mezi 2 piny - (generováno pomocí MATLAB)	22
2.9	vliv RDSON na přesnost měření (generováno pomocí MATLAB)	23
2.10	Výstřížek z datasheetu mosfetu SSM3J358R,LF - RDSON[9]	23
2.11	Výstřížek z datasheetu N-channel mosfetu PJA3432_R1_00001 - RDSON[10] .	24
2.12	Napájení měřící karty: 5V regulátor (celé schéma měřící karty v příloze - POWER REGULATORS)	26
2.13	Všechny vrstvy bez polygonů	27
2.14	Vrstvy PCB top to bottom včetně polygonů	28
2.15	3D model top a bot s osazeným DIN konektorem	29
3.1	Funkční diagram ovládací karty	30
3.2	DAC-externí zesilovač	31
3.3	8 MHz krystalový rezonátor	32
3.4	Clock configuration	33
3.5	USB rozhraní	34
3.6	Regulátor napětí - 3V3 MCUs	35
3.7	Distribuce napájení	36
4.1	Telnet komunikace	37
4.2	PASS/FAIL matrix	38
4.3	TRUEVALUE matrix	39
5.1	PC aplikace - záložka routing	40
5.2	PC aplikace - Zobrazení cesty	41

Úvod

Cílem diplomové práce je navrhnout zařízení, které bude schopno ověřit správnost interního zapojení In Circuit Testing (ICT) testerů. ICT tester slouží k odhalování výrobních chyb a programování Desek Plošných Spojů (DSP - dále označováno jako PCB z anglického Printed Circuit Board) pomocí připojení velkého množství testovacích jehel. Testovací jehly jsou připojovány do určených míst na PCB, kde se následně provádí různé testy.

Diplomová práce je vypracována ve spolupráci s firmou Čevor inovation a.s., která se zabývá výrobou ICT testerů. Při výrobě těchto testerů vzniká potřeba kontroly správnosti zapojení fixture části. Fixture část je označení pro zakládání (Obr. 1.1), je odlišná pro každé PCB a obsahuje řádově tisíce propojení. Zařízení navrhované v této práci tak není ICT testerem samotným, ale slouží právě k ověření správnosti interního zapojení fixture části ICT testeru. Jedná se tedy o tester ICT testerů.

Ověření správnosti propojení se určuje odporem elektrické cesty. Zařízení tedy musí být schopno měřit odpor mezi kterýmkoliv dvěma testovanými body. Zároveň jsou zde kladeny požadavky na škálovatelnost celého řešení z pohledu počtu testovaných propojení. V diplomové práci se počítá s návrhem zařízení, které má 4000 testovaných bodů. Fyzické (reálné) propojení testeru je následně porovnáno s výrobními daty ICT testeru. Výsledky testu jsou přenášeny do PC pomocí Ethernetu, kde jsou následně zpracovány. Výsledkem testu by pak měla být jasná identifikace chyb.

Diplomová práce popisuje funkčnost, hardwarové řešení testeru (návrh PCB) a softwarové řešení v podobě firmwaru pro PCB a uživatelského programu pro PC.

1 Koncept funkčnosti testeru

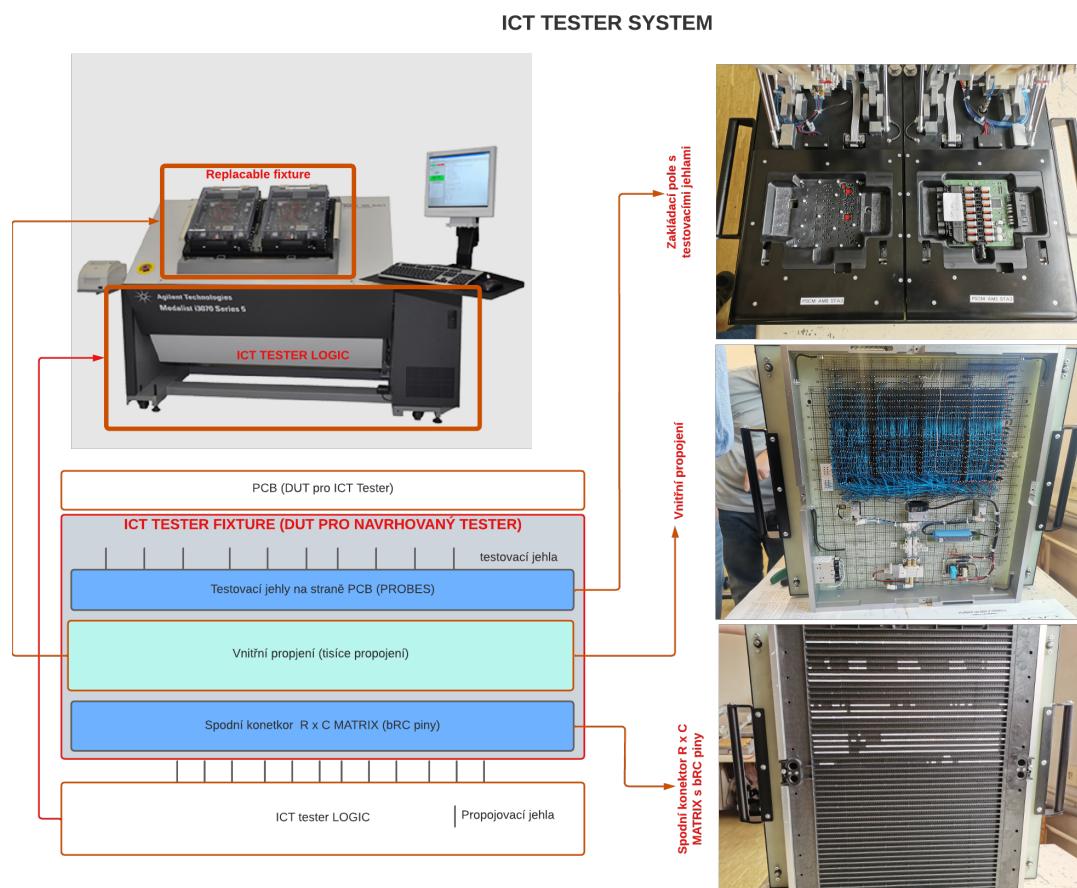
Tato kapitola definuje rozsah diplomové práce a podává úvodní náhled na funkčnost navrhovaných zařízení.

1.1 Princip funkčnosti ICT testeru

ICT tester se skládá ze dvou hlavních částí (měřící a fixture). Měřící část obsahuje různé měřící přístroje např. osciloskop, multimeter, proudové a napěťové zdroje, boundary scan atd. Pomocí těchto zařízení ICT tester provádí různá měření.

Fixture je vyměnitelnou částí a obsahuje zakládací pole s testovacími jehlami (Probes). Testovací jehly zajišťují elektrické propojení mezi testovanými body na PCB a měřící částí. Ze spodní strany je fixture propojena s měřící částí pomocí matice bRC pinů. Písmena R a C v označení bRC označují Row (řádek) a Column (sloupec).

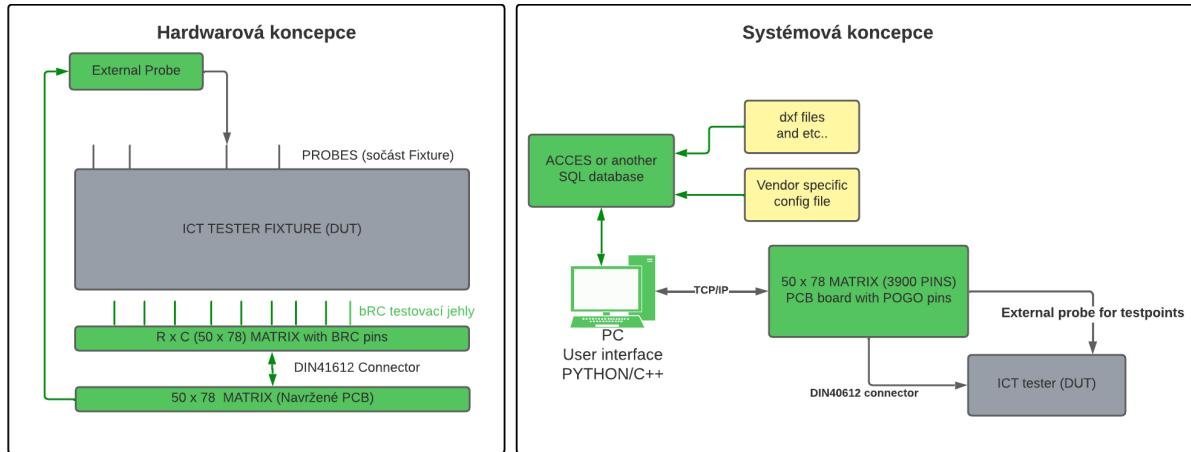
Fixture umožňuje mezi sebou libovolně propojovat bRC a Probes piny, včetně propojení pinů stejného druhu mezi sebou. Propojení mezi jednotlivými piny je většinou zajištěno pomocí ovíjení. Nicméně propojení může obsahovat i různé pasivní součástky. Obrázek 1.1 znázorňuje jednotlivé části ICT testeru[3][4].



Obr. 1.1: Části ICT testeru (obrázek testeru vlevo nahoře převzat z [4])

1.2 Koncepce navrhovaného testeru

Zatímco pro ICT tester bylo úkolem otestovat vložené PCB. Úkolem zařízení, navrhovaným v diplomové práci, je otestovat správnost propojení fixture části ICT testeru. Pro tento účel je navržena následující koncepce.

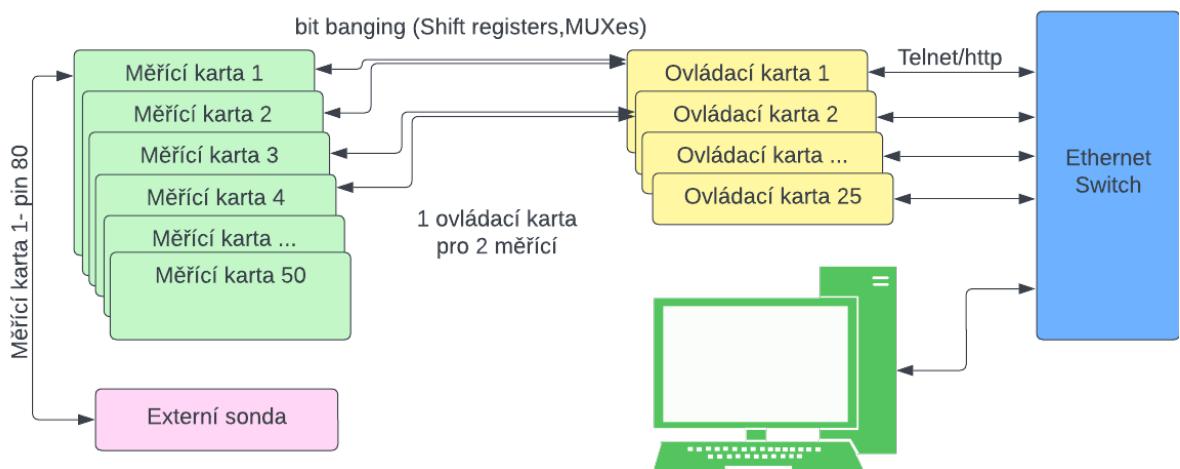


Obr. 1.2: Koncepce funkčnosti navrhovaného testeru

Na obrázku 1.2 jsou zeleně znázorněny části, která jsou součástí diplomové práce. Ostatní barvy značí části, které již existují a nebudou navrhovány.

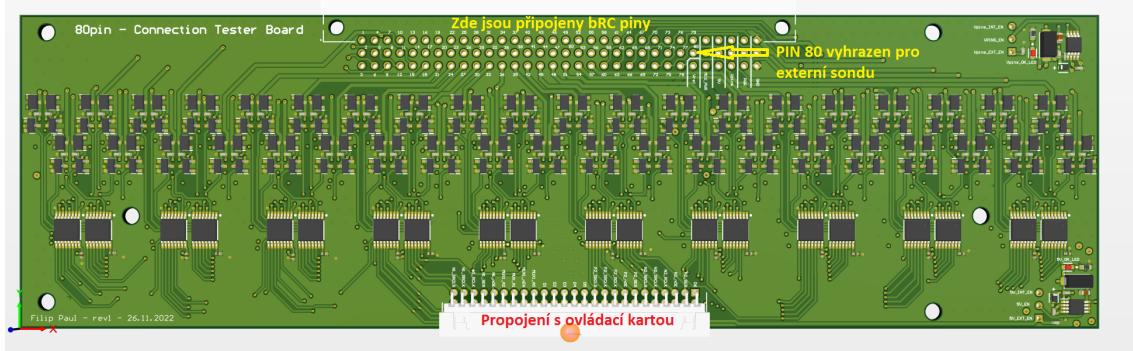
1.2.1 Systémová koncepce

Na obrázku 1.2 v pravé části je znázorněna systémová koncepce testeru. Pro otestování vnitřního propojení fixture je nutné propojit všechny bRC piny s logikou navrhovaného testeru. Většina komerčních ICT testerů omezuje počet sloupců v bRC MATRIX na 78 a liší se tak pouze počtem řad. Z tohoto důvodu je tester navržen tak, aby bylo možné libovolně měnit počet řad o 78 pinech[5].

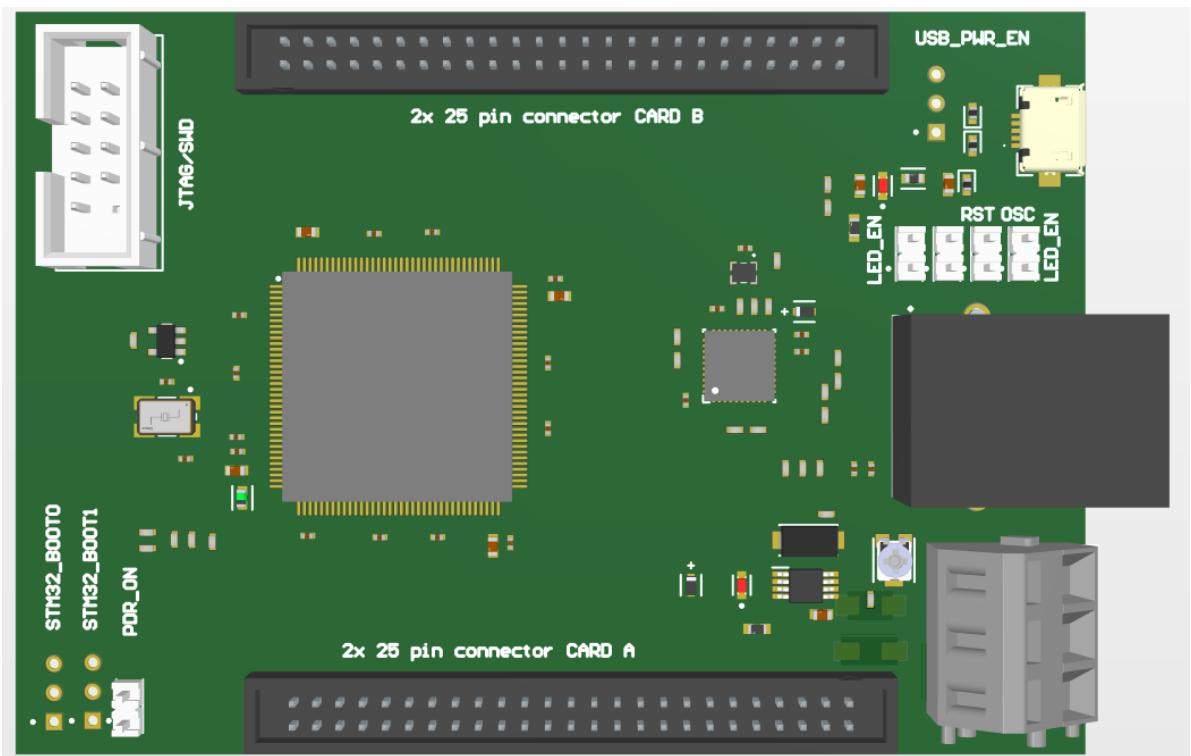


Obr. 1.3: Systémová koncepce

Navržené zařízení se skládá z měřících karet, ovládacích karet a řídícího počítače (Obr. 1.3). Úkolem měřící karty je měřit hodnoty odporu mezi jednotlivými bRC piny a odesílat data do ovládací karty. Měřící karty jsou kompatibilní s 5V a 3V3 logikou.



Obr. 1.4: Měřící karta



Obr. 1.5: Ovládací karta - 3D model (Není vyrobena jedná se o předběžný návrh)

Jednotlivé ovládací karty mají možnost připojení k ethernetové síti pomocí 100BASE-T PHY a jsou schopny ovládat až 2 měřící karty zároveň. Ovládací karty komunikují pouze s řídící PC aplikací (nikoliv mezi sebou). Řídící PC aplikace řídí všechny testy. Ovládací karty mají v sobě implementován Telnet a http server, přičemž se pro hlavní komunikaci používá právě Telnet server. Takto lze využít jakékoli zařízení s přístupem do sítě pro řízení testeru.

Řídící aplikace využívá ke své činnosti celou řadu vstupních souborů. Jedná se o soubory, které definují zapojení fixture, CAD, CAM a další data[6]. Protože vstupní soubory nemají

jednotný formát pro každého výrobce, aplikace nejprve data převede do SQL databáze (ACCESS). S takto zpracovanými daty již lze provádět jednotné operace. Aplikace porovnává naměřená data z jednotlivých karet ze vstupními soubory a následně generuje výsledek testu propojení v co nejsrozumitelnější podobě.

1.2.2 Hardwareová koncepce

Propojení bRC pinů mezi sebou

Propojení mezi měřícími kartami a maticí bRC pinů je zajištěno pomocí POGO pinů (strana fixture), bRC jehel (strana testeru) a pneumatického kontaktování. Na Obr. 1.4 je znázorněn 3D model měřící karty. V horní části jsou připraveny body pro připojení bRC jehel a napájení desky. Rozteč kontaktů je zvolena tak, aby bylo možno k měřící kartě připájet standardizovaný DIN41612 konektor (dále pouze DIN) a kartu tak snadno použít pro jiné aplikace.

Ve spodní části se nachází 25x2 konektor, sloužící k propojení s ovládací kartou. Měřící karta je navržena tak, aby buď poskytovala napájení ovládací kartě a nebo byla ovládací kartou napájena (více v sekci o návrhu měřící karty).

Propojení mezi bRC a Probes

Pomocí karet je možné automaticky zjistit propojení mezi všemi bRC piny, nicméně přímé propojení mezi bRC a Probe piny je nutné otestovat zvlášť. Za tímto účelem je k testeru připojena externí sonda (Obr. 1.3). Sonda je připojena do bRC pinu č. 80 na měřící kartě č. 1.

Obsluha v závislosti na pokynech PC aplikace připojuje sondu k jednotlivým probes pinům. Takto lze pomocí jednotlivých karet zjistit propojení. Externí sonda je podobná jako sonda multimetru a slouží pouze k přivedení testovacího napětí na probe pin. Proces lze celý automatizovat v případě, že je k dispozici i maketa PCB, která bude obsahovat všechny probe piny přivedené na DIN konektor. V takovém případě lze připojit maketu PCB k kartě a proces automatizovat.

2 Návrh měřících karet

Tato kapitola se zabývá hardwarovým řešením měřících karet. Dále je zde popsána funkčnost základních bloků karet, výběr komponentů a návrh PCB.

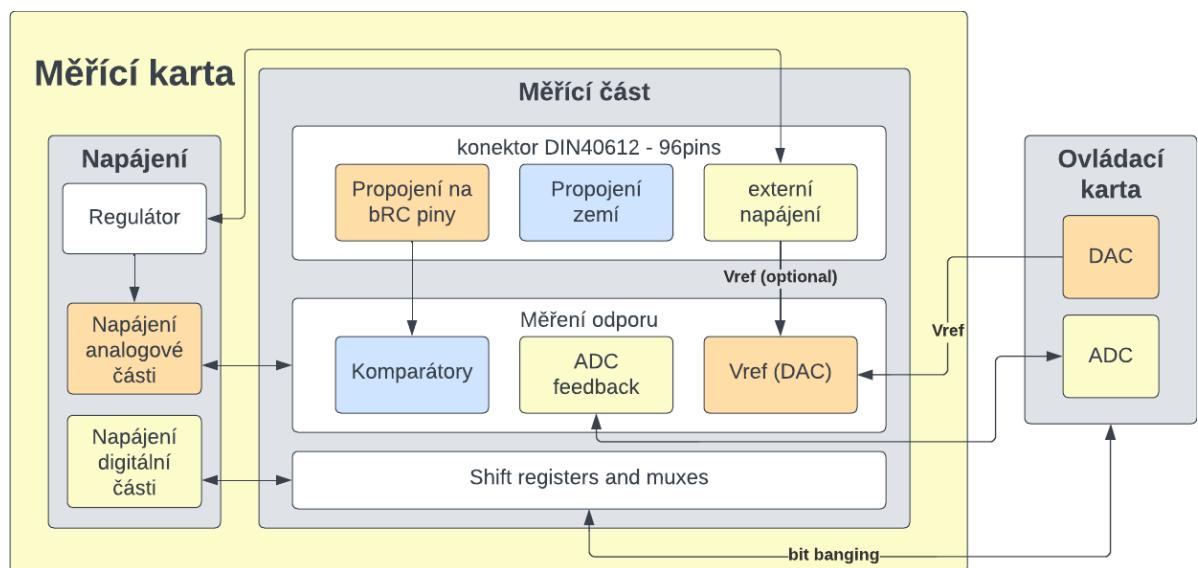
2.1 Základní požadavky na měřící karty

Následující seznam popisuje základní požadavky na měřící karty, seznam je seřazen podle priorit.

1. Schopnost měřit odpor mezi jakýmkoliv dvěma bRC piny a to i v případě, že se každý z pinů nachází na jiné kartě.
2. Komunikace s ovládací kartou.
3. Škálovatelnost.
4. Modularitou se rozumí, co největší nezávislost jednotlivých funkčních bloků na sobě.
5. Dostupnost komponentů.
6. Cena komponentů.

2.2 Funkční bloky

Na následujícím obrázku je znázorněn blokový diagram měřících karet.



Obr. 2.1: Blokový diagram měřících karet

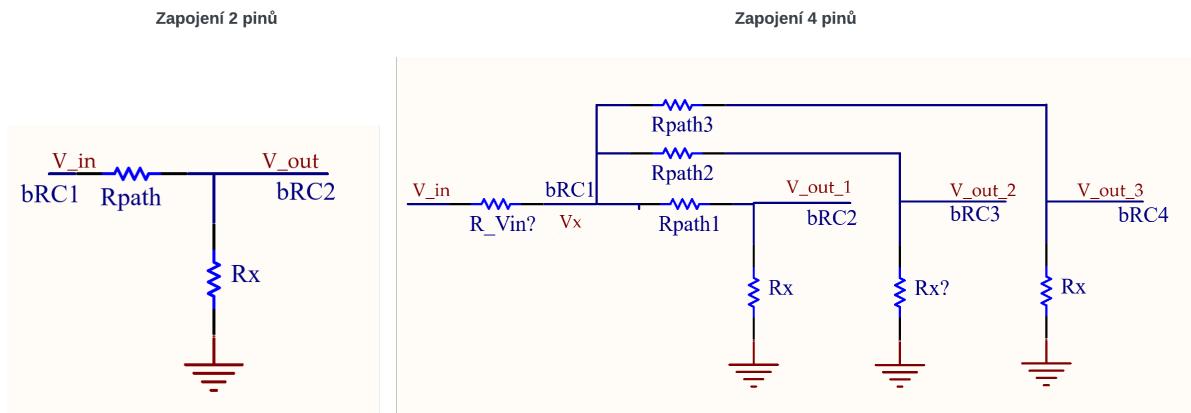
Karta se skládá ze 2 hlavních bloků (Měřící části a napájení). V následujících kapitolách jsou tyto bloky podrobně popsány.

2.2.1 Měřící část

Teoretický návrh

Měřící část je zodpovědná za měření odporu mezi dvěma bRC piny. Obr. 2.2 v levé části zobrazuje jednoduchý ideální napěťový dělič. Dělič je zapojen tak, že jeden z testovaných pinů bRC1 generuje napětí V_{in} a na druhém pinu bRC2 se měří napětí V_{out} . Měřeným odporem je odpor R_{path} , který lze dopočítat následovně:

$$R_{path} = \frac{(V_{in} - V_{out}) \cdot R_x}{V_{out}} \quad (2.1)$$



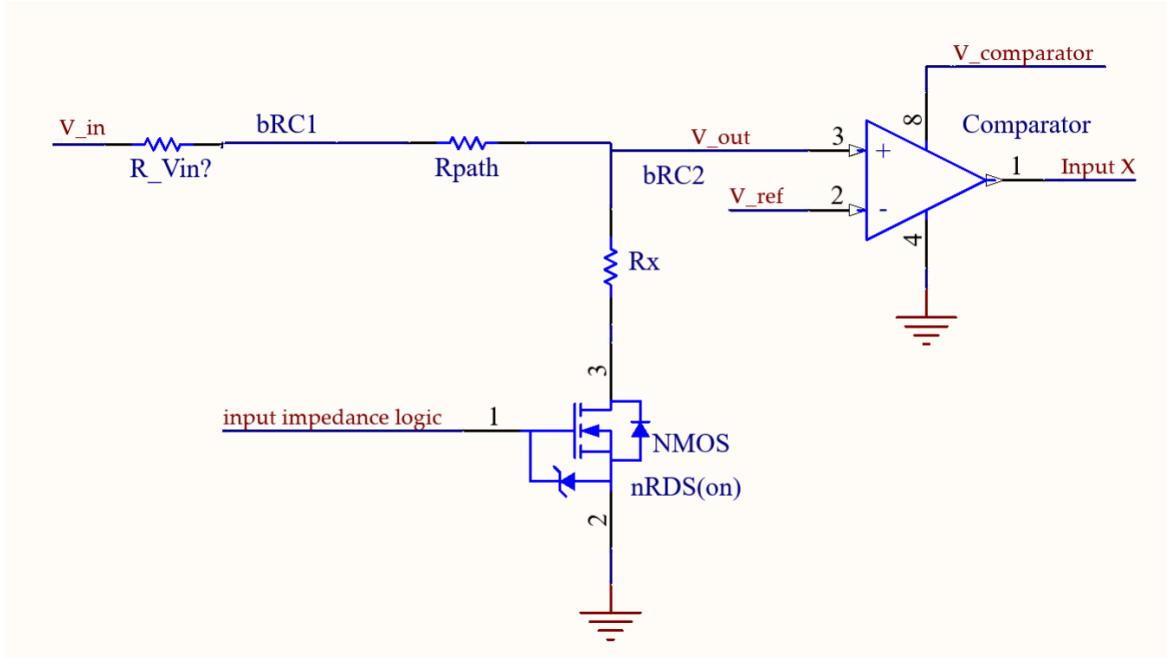
Obr. 2.2: Napěťový dělič pro 2 a 4 propojené bRC piny

Fixture může mít vnitřní zapojení takové, že se vzájemně propojí více než dva bRC piny. V takovém případě by pro např. 4 propojené bRC piny situace vypadala jako na obrázku v pravé části, kde odpory R_{path1} až R_{path3} značí odpory jednotlivých cest mezi piny. V_{out_1} až V_{out_3} značí napětí na výstupech děličů. V případě ideálního zdroje napětí (na obrázku značeno jako Vx) by obvod stále fungoval a platila by rovnice 2.1. Do obvodu by však tekl 3-násobný proud.

V případě reálného zdroje napětí se uplatňuje jeho vnitřní odpor R_{Vin} a především úbytek napětí vzniklý na tomto odporu. Vzhledem k tomu, že úbytek napětí, na vnitřním odporu zdroje, je úměrný protékajícímu proudu a zároveň proud je úměrný počtu propojených pinů, kterých může být v případě zemních smyček fixture mnoho. Vzniká potřeba možnosti odpojení jednotlivých bRC pinů. Odpojení bRC pinu je zajištěno pomocí N-channel mosfetu (obr. 2.3). Toto zapojení v případě nulového napětí na vstupu mosfetu vytvoří vysokou impedanci na vstupu pinu, kterým pak protéká pouze zanedbatelný proud. V případě, že je na vstupu napětí vyšší než prahové napětí mosfetu, výpočet odporu se pro ideální zdroj napětí změní následovně.

$$R_{path} = \frac{(V_{in} - V_{out}) \cdot (R_x + N_{RDSON})}{V_{out}}, \quad (2.2)$$

kde N_{RDSON} je odpor otevřeného mosfetu.



Obr. 2.3: Napěťový dělič pro s možností high Z vstupem

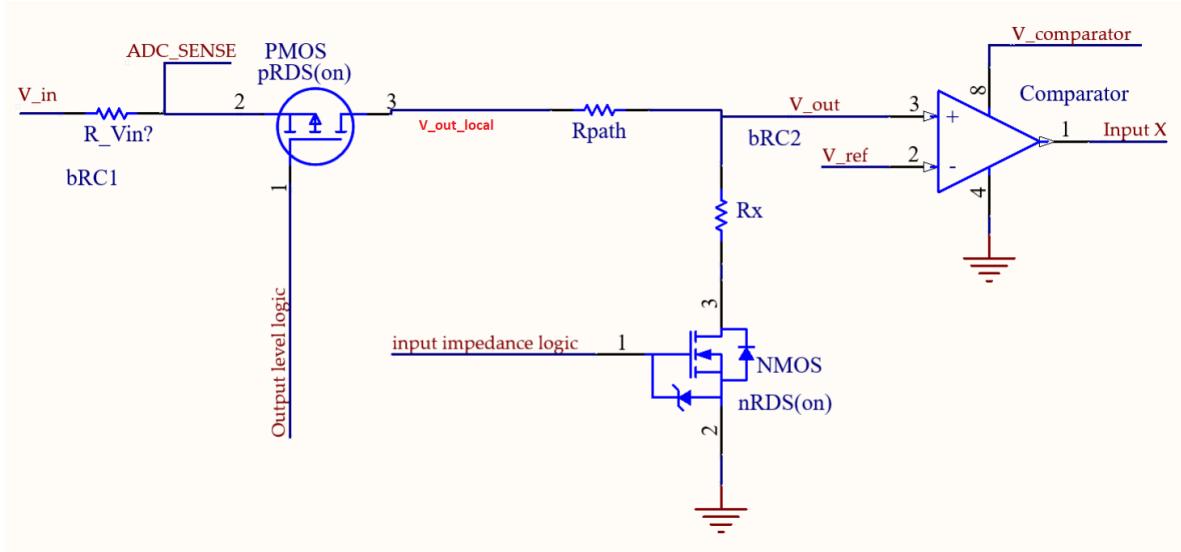
Další nevýhodou zapojení na obr.2.2 je nutnost měření analogového napětí na každém pinu, což by vedlo k složitosti zapojení a vysokým nákladům na výrobu. Naprostá většina bRC pinů je propojená jako zkrat a zajímá nás především, zda hodnota odporu propojení nepřekračuje nějakou mez. Toho lze využít připojením komparátoru na výstup děliče (Obr.2.3). Komparátor porovnává výstupní napětí V_{out} s hodnotou referenčního napětí V_{ref} .

Referenční napětí je nastavováno pomocí 12-bit D/A převodníku ovládací desky. V případě nastavení referenčního napětí pro určitou mezní hodnotu R_{path} , lze kontrolovat pouze logickou hodnotu výstupu $V_{comparator}$ (na obr.2.3 jako InputX). V případě, že bude nutné změřit reálný odpor cesty, je možné měnit napětí V_{ref} a sledovat při jaké hodnotě se komparátor překlopí.

Další otázkou je, jak generovat napětí V_{in} na vstupu děliče. Protože každý bRC pin musí být zároveň vstupní i výstupní, musí být konfigurovatelný do vysoké impedance (HIGH Z). Zároveň pokud bude každý pin schopen dodat do obvodu dostatečné množství proudu, bude možné měřit odpor několika cest současně. Řešením je obvod na obr.2.4.

V tomto zapojení přibyl P-channel mosfet, který umožnuje spínat (ovládat) výstupní napětí V_{in} . Nicméně vzniká zde obdobný problém jako u zapojení na obr.2.2 a to, že s rostoucím proudem roste úbytek napětí na vnitřním odporu zdroje charakterizovaným odporem R_{Vin} . Z tohoto důvodu je úbytek monitorován 12 bitovým A/D převodníkem (na ovládací kartě). Výsledek měření odporu je pak vztažen k hodnotě změřené pomocí A/D převodníku. Odpor zdroje se pak bude rovnat R_{DSon} P-channel mosfetu. Nastává tak problém určit vliv odporu R_{DSon} na výslednou hodnotu změřeného odporu $R_{path}[1, 2]$.

Protože každý pin může být zároveň výstupní i vstupní, kde vstupní funkci plní lokální komparátor. Lze pro přesné měření změřit přímo výstupní napětí V_{out_local} pomocí lokálního komparátoru a vliv R_{DSon} úplně eliminovat. Nicméně tato metoda je časově náročnější a je více diskutována v kapitole o algoritmizaci.



Obr. 2.4: Zapojení měřící části s p-channel MOSFET

Ve schématu na obr.2.4 si lze všimnout řídících napětí (Output level logic, input impedance logic a input X). Output level logic řídí, zda generuje rBC pin napětí. Input impedance logic umožnuje nastavit HIGH Z na vstupním obvodu. Input X je výstup komparátoru. Vzniká tak potřeba pro každý bRC pin mít 2 logické výstupy a jeden vstup. Každá deska musí mít minimálně 78 bRC pinů, což znamená minimálně 156 logických výstupů a 78 logických vstupů.

Pro tento účel je použito pro nastavení 78x Output level logic 2x5x8-bit shift registrů zapojených do série. Obdobně je pro nastavení 78x input impedance logic je použito 2x5x8-bit shift registrů zapojených do série. a pro 78 logických výstupů je použito 2x5x8-bit multiplexerů se společnou adresací. Společnou adresací se rozumí, že adresy 2x5 multiplexerů jsou řízeny 2x3 adresními piny. Vzhledem k použití 8-bit komponentů je výsledný počet bRC pinů na desce zaokrouhlen na 80 místo 78, přičemž 2 poslední vstupy/výstupy jsou na testeru ignorovány (v případě měřící desky č.1 je pin č. 80 použit pro externí sondu). Hierarchické schéma měřící karty lze nalézt v příloze.

Měřící karty fungují, vzhledem k potřebám testování, ve dvou režimech (PASS/FAIL a měření reálného odporu). PASS/FAIL režim je určen pro rychlé hromadné otestování všech pinů, kde hlavním kritériem je, zda propojení mezi piny odpovídají nějaké mezní hodnotě odporu nebo ne. Výsledkem je pak pouze mapa propojení bez hodnot reálného odporu. Režim měření reálného odporu pak umožňuje změřit co nejpřesnější hodnotu odporu všech propojení.

Výběr součástek a volba jejich hodnoty

V předchozí sekci byla diskutována funkčnost zapojení. Nicméně nebylo doposud zmíněno, jaké kvantitativní hodnoty součástek jsou vhodné pro realizaci. V této sekci jsou popsány konkrétní reálné součástky, které byly použity včetně zdůvodnění jejich výběru.

Volba velikosti odporu děliče Rout

Odvození podmínek pro výběr odporu děliče:

V celé následující sekci je zanedbán vliv komparátoru na měřící obvod. V první řadě je nutné definovat jaká je vyžadovaná přesnost, rozsah a rychlosť měření. Vzhledem k charakteru propojení ve fixture by měl být tester schopen změřit odpor v rozsahu od 1Ω do $1\text{k}\Omega$. Vyžadované rozšíření je 1Ω především pro odpory do 100Ω . Co se týče rychlosti měření, tak pro automatické měření mezi dvěma bRC piny nejsou kladený žádné požadavky, protože je proces plně automatizován.

Při měření odporu mezi bRC a Probe piny, obsluha postupně testuje všechny piny všech karet zvláště externí sondou. V tomto případě by prodleva mezi přiložením sondy a vyhodnocením signálu neměla být pro člověka rozpoznatelná (signalizace pískáním obdobně jako continuity test multimetru). Z tohoto důvodu je nutné pro jeden pin změřit propojení mezi všemi ostatními piny do cca 40 ms (včetně komunikací s PC cca. 30 ms). Nicméně stačí vyhodnocovat PASS/FAIL pro odpor cesty a ne přímo jeho hodnotu. Následující tabulka je shrnutím tohoto odstavce.

Požadované charakteristiky měřícího obvodu					
TEST MODE	Počet pinů	Rozsah [Ω]	Přesnost [$\pm\Omega$]	čas [$\mu\text{s}/\text{pin}$]	Celkový čas [ms]
PASS/FAIL	4000	1-1000	2	2,5	10
Měření "pravé" hodnoty	4000	1-1000	1	Nedefinován	Nedefinován

Tab. 2.1: Požadované měřící charakteristiky

Všechna následující odvození vycházejí z následující výchozí rovnice pro výstup napěťového děliče pro 2 propojené bRC piny:

$$V_{out} = \frac{V_{in} \cdot R_{out}}{R_{out} + R_{path} + R_{DSon}^P}, \quad (2.3)$$

kde $R_{out} = R_X + R_{DSon}^N$ a R_{DSon}^P je ekvivalent R_{Vin} a odpovídá odporu P-channel mosfetu.

Z tabulky vyplývá několik podmínek pro volbu rezistoru R_{out} . První podmínka se vztahuje k přesnosti měření. Přesnost měření ovlivňují převážně 2 faktory. Prvním faktorem je chyba vzniklá diskretizací referenčního napětí komparátoru, které je generováno 12bit D/A převodníkem. Protože rovnice pro výstupní napětí děliče je nelineární bude nelineární i chyba vzniklá kvantováním. Podmínku pro splnění přesnosti, v případě, že se projeví pouze kvantizační chyba, lze vyjádřit následovně:

$$\left| \frac{\partial V_{out}}{\partial R_{path}} \cdot \Delta R_{path} \right| > \frac{V_{ref}}{2^{12}}, \quad (2.4)$$

kde $\left| \frac{\partial V_{out}}{\partial R_{path}} \cdot \Delta R_{path} \right|$ značí změnu napětí Vout způsobenou změnou R_{path} o požadovanou přesnost v Ω a R_{path} je z rozsahu 0 - 1k Ω . Tento vztah se také dá reprezentovat jako citlivost měření na změnu R_{path} .

Druhým faktorem, ovlivňujícím přesnost je chyba, kterou do měření přidává odpor R_{DSon}^P P-channel mosfetu při paralelném měření několika bRC pinů. Tato chyba roste s zvyšujícím se proudem a projeví se tak především při PASS/FAIL režimu. Vzhledem k náhodnému vnitřnímu propojení fixture není možno dopředu odhadnout, kolik bRC pinů bude připojeno a tak ani výsledný proud odporem R_{DSon}^P . Uvažujme, že chceme změřit "nejhorší scénář" (všechny piny jsou mezi sebou propojeny tvrdým zkratem). Následně poteče obvodem proud přibližně:

$$I = \frac{V_{in}}{R_{out}/N_{pins} + R_{DSon}^P} \quad (2.5)$$

Proud je tak nepřímo úměrný velikosti hledaného odporu Rout a počtu paralelně měřených pinů. Pokud bychom chtěli změřit všechny piny na kartě současně ($N_{pins} = 80$). Musí každý pin být schopen dodat do obvodu proud $I = 80 \cdot V_{in}/R_{out}$. Vzhledem k nenulovému odporu R_{DSon}^P , který lze připodobnit vnitřnímu odporu zdroje napětí vzniká následující podmínka pro nejhorší možný případ:

$$I \cdot R_{DSon}^P < \left| \frac{\partial V_{out}}{\partial R_{path}} \cdot \Delta R_{path} \right| \quad (2.6)$$

$$\frac{V_{in} \cdot R_{DSon}^P}{R_{out}/N_{pins} + R_{DSon}^P} < \left| \frac{\partial V_{out}}{\partial R_{path}} \cdot \Delta R_{path} \right| \quad (2.7)$$

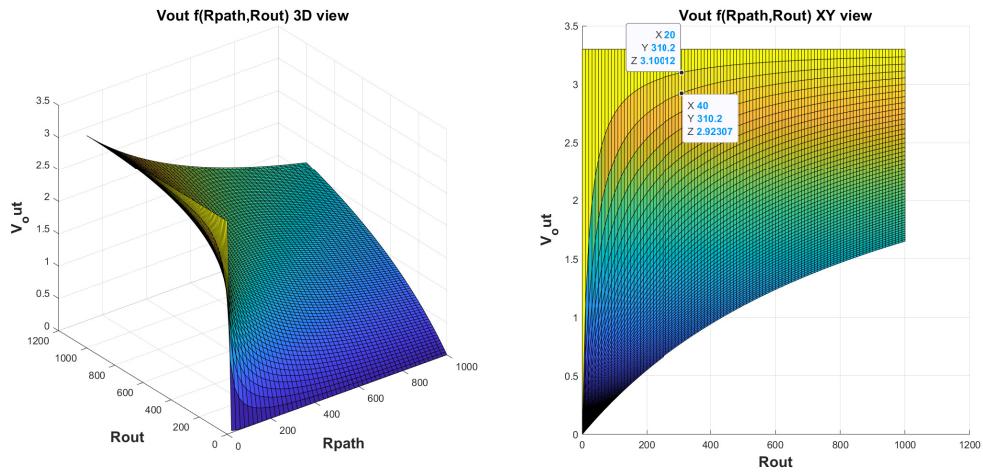
Podmínka vyjadřuje, že chyba vzniklá úbytkem napětí na R_{DSon}^P za předpokladu Npins propojených pinů, by na výstupu děliče Vout neměla být větší než nejnižší napětí, které vznikne změnou odporu cesty o požadovanou přesnost v Ω .

Při uvážení nejhoršího scénáře, že se sečte chyba dáná kvantováním a chyba dáná odporu R_{DSon}^P , lze vyjádřit podmínku pro hledaný odpor R_{out} následovně:

$$\frac{V_{ref}}{2^{12}} + \frac{V_{in} \cdot R_{DSon}^P}{R_{out}/N_{pins} + R_{DSon}^P} < \left| \frac{\partial V_{out}}{\partial R_{path}} \cdot \Delta R_{path} \right| \quad (2.8)$$

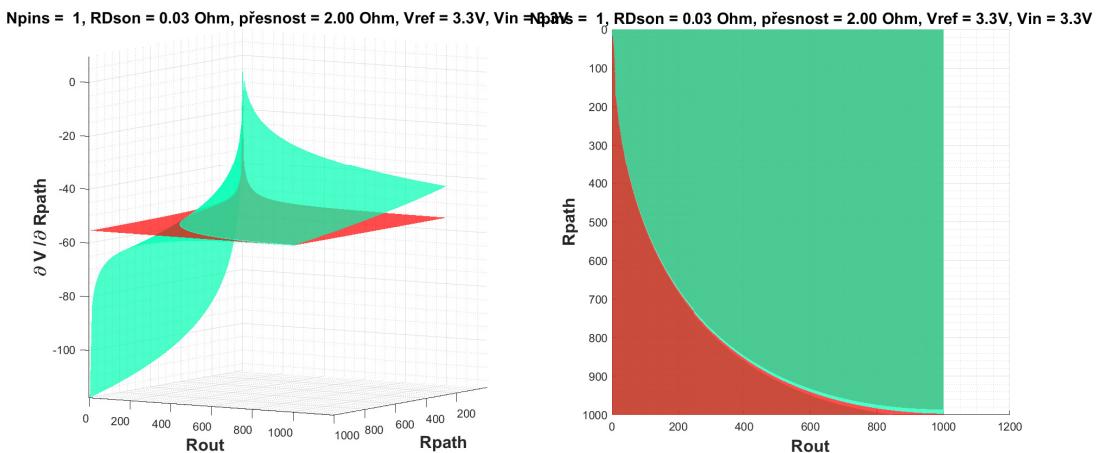
Řešení podmínek výběru hodnoty odporu děliče:

Rovnici 2.8 lze považovat za citlivost obvodu na změnu odporu R_{DSon}^P . Řešením by měla být být oblast hodnot, ve které odpor R_{out} splňuje podmínky pro přesnost. Kvůli názornosti byla zvolena grafická metoda řešení. Následující obrázek 2.5 ukazuje výstupní napětí ideálního děliče v závislosti na odporu R_{out} a R_{path} . V levé části je zobrazena celá zkoumaná oblast a v pravé části je stejný graf zobrazen z "bočního" pohledu. V takovém zobrazení je patrné, jaká je změna výstupního napětí V_{out} při změně odporu R_{path} . Pokud zobrazíme 2 sousední hodnoty výstupního napětí tak, aby náležely stejnemu odporu R_{out} (leží vertikálně nad sebou). Rozdílem těchto 2 hodnot získáme citlivost $\left| \frac{\partial V_{out}}{\partial R_{path}} \cdot \Delta R_{path} \right|$. Na obrázku je z důvodu lepšího zobrazení zvolena velká změna odporu ΔR_{path} (v tomto případě 20 Ω). Pro správný návrh je pak nutné zvolit stejnou změnu odporu ΔR_{path} jako má požadovaná přesnost [7, 8].



Obr. 2.5: 3D zobrazení rovnice pro výstupní napětí děliče (generováno pomocí MATLAB)

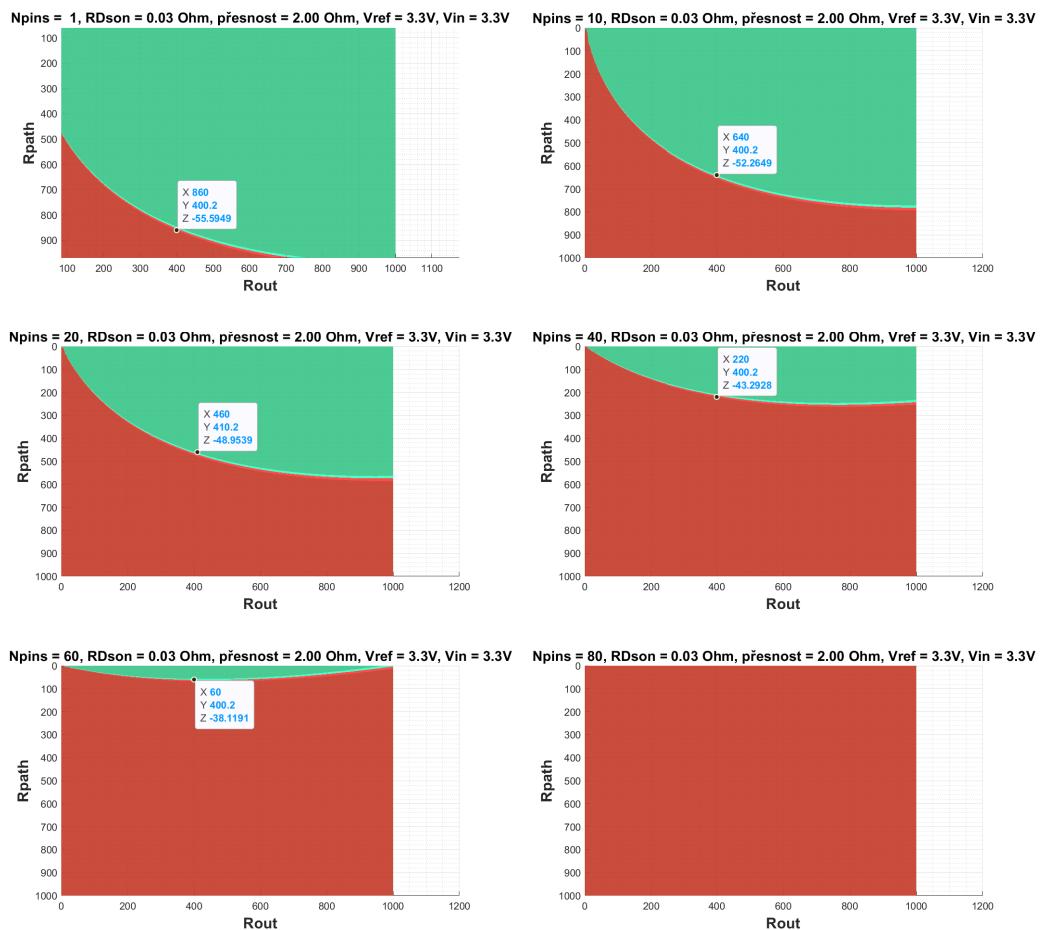
Nyní přejděme k řešení rovnice (2.8). Následující obrázek 2.6 zobrazuje ve své levé části zeleně hodnotu citlivosti $\frac{\Delta V_{out}}{\Delta R_{path}}$ v celém zkoumaném prostoru. Červeně je pak zobrazena druhá strana rovnice (2.8). Podmínky jsou splněny ve všech kombinacích odporu R_{out} a R_{path} , kde má zelená část vyšší hodnoty diference než červená. V pravé části obrázku je pro jednodušší odečítání hodnot odporu výsledné oblasti pohled "shora". Zelená oblast splňuje podmínky a červená nesplňuje. Obecně platí, čím hlouběji v zelené oblasti se zkoumaný bod nachází, tím vyšší je přesnost



Obr. 2.6: 3D zobrazení rovnice 2.8 s podmínkami (generováno pomocí MATLAB)

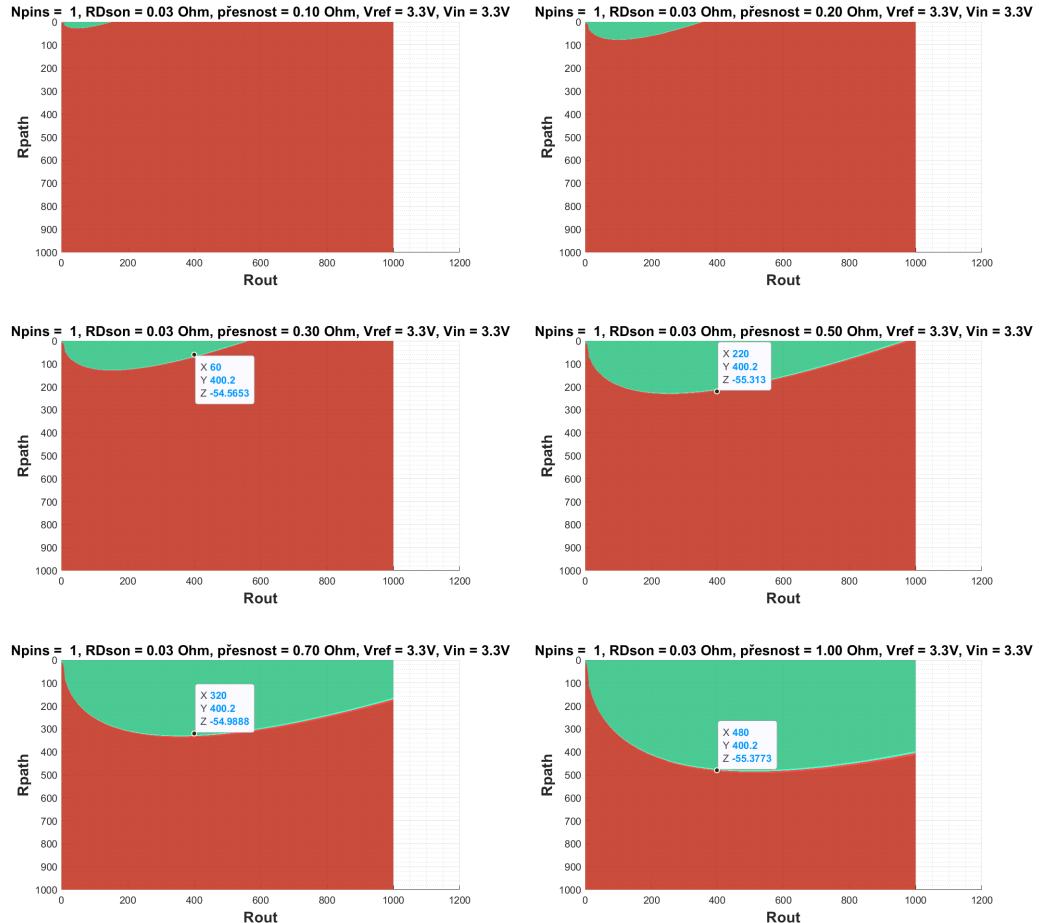
Do rovnice však vstupují parametry, jako je počet paralelně měřených pinů, odpor R_{DSon}^P a volba přesnosti. Následující série grafů zobrazuje vliv těchto parametrů na výslednou oblast, která splňuje podmínky. Výsledný zvolený odpor je 400Ω a v grafech jsou krajní hodnoty pro tento bod označeny (x: R_{path} , y: R_{out} a z: $20\log(|\frac{\partial V_{out}}{\partial R_{path}} \cdot \Delta R_{path}|)$).

Zkoumání vlivu počtu pinů nás zajímá především při provozu testeru v PASS/FAIL režimu, kdy je nutné provádět měření rychle. Zároveň zde máme definovanou maximální chybu měření do 2Ω . Při tomto testu se předpokládá, že všechny měřené cesty mají odpory do 100 Ω . Z obrázku 2.7 je patrné, že nebude možné změřit všech 80 pinů jedné karty současně s požadovanou přesností. Požadovanou přesnost nebude možné dosáhnout ani při měření 60 pinů současně, protože nejvyšší hodnota odporu cesty, která leží v zelené oblasti je přibližně 60 Ω . Při této úvaze bylo počítáno s $R_{DSon}^P = 0.03\Omega$, což je hodnota o cca 15m Ω vyšší než má použitý P-channel mosfet. (Výběr mosfetu je dále v diplomové práci). Hodnota zvoleného odporu 400 Ω umožňuje, při měření 40 pinů současně, splnit podmínu přesnosti $\pm 2\Omega$ pro určení hodnoty odporu propojené do přibližně 220 Ω .



Obr. 2.7: PASS FAIL - přesnost R_{path} 2Ω (generováno pomocí MATLAB)

Vliv požadované přesnosti měření nás zajímá v režimu vyhodnocení co nejpřesnější hodnoty měřené cesty. V tomto režimu se předpokládá měření propojení pouze 2 pinů. Z obrázku 2.8 je patrné, že vyšší přesnosti lze docílit volbou nižšího odporu R_{out} . Tento požadavek je protichůdný s požadavkem na velikost odporu pro PASS/FAIL test(2.7). Hodnota výsledného odporu 400Ω tak byla zvolena jako jistý kompromis mezi těmito dvěma požadavky.



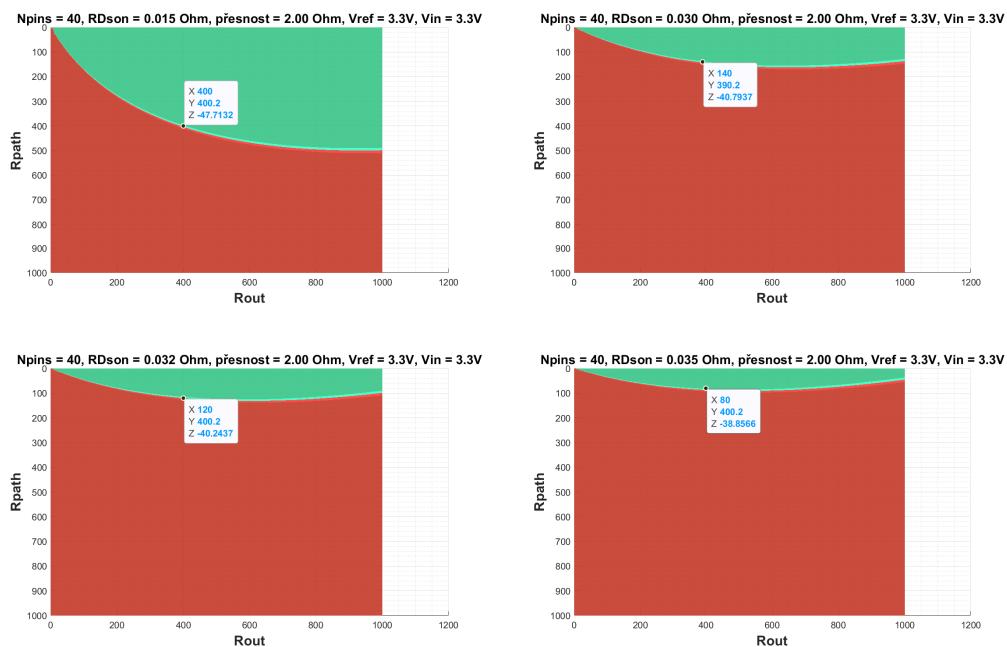
Obr. 2.8: Přesné měření mezi 2 piny - (generováno pomocí MATLAB)

Volba P-channel mosfetu

Při výběru P-channel mosfetu je vzhledem k podmínkám na přesnost nutné zvolit mosfet s nízkým odporem R_{DSon}^P . Tohoto odporu by mělo být možno dosáhnout pomocí řídícího napětí 3.3V. Zároveň by měl mosfet být schopen dodat do obvodu dostatečný proud pro měření 40 pinů současně (proč 40 pinů je zdůvodněno v kapitole o volbě odporu R_{out}). Mosfet musí tedy do obvodu být schopen dodat následující minimální proud.

$$I_{min} = \frac{40 \cdot V_{in}}{R_{out}} = \frac{40 \cdot 3.3}{400} = 330mA \quad (2.9)$$

Z následujícího obrázku je patrné, že při použití $R_{out} = 400\Omega$ je pro splnění podmínky přesnosti měření 2Ω v rozsahu od 1 do 100Ω zvolit mosfet s nejvyšším možným R_{DSon}^P přibližně 0.032Ω . Zároveň je zde požadavek na co nejnižší cenu, dostupnost a menší velikost pouzdra.



Obr. 2.9: vliv RDson na přesnost měření (generováno pomocí MATLAB)

Na základě výše zmíněným požadavků byl zvolen mosfet SSM3J358R,LF. Níže je výstřížek z datasheetu. Podle typických hodnot by se mělo docílit R_{DSon} do $25\text{ m}\Omega$.

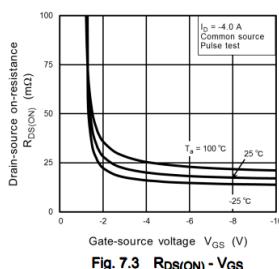


Fig. 7.3 $R_{DS(ON)} - V_{GS}$

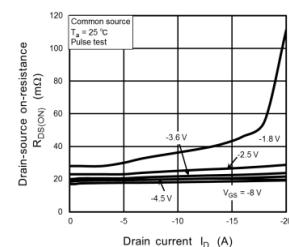
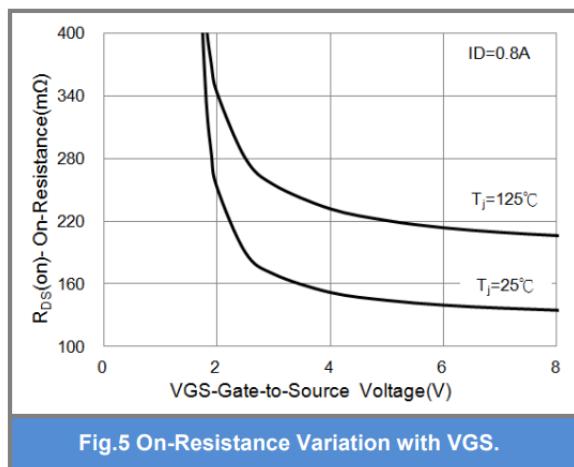


Fig. 7.4 $R_{DS(ON)} - Id$

Obr. 2.10: Výstřížek z datasheetu mosfetu SSM3J358R,LF - RDSON[9]

Volba N-channel mosfetu

Parametry N-channel mosfetu nemají příliš velký vliv na chování obvodu, protože jeho odpor R_{DSon}^N je započítán do hodnoty odporu R_{out} . Zároveň je hodnota R_{DSon}^N většinou nižší než tolerance odporu R_{out} . Hlavním požadavkem je zde, aby bylo možno ovládat mosfet 3.3 a 5V logikou. Dále by měl mosfet být schopen snést proud $I = 3.3/400 = 8.25\text{mA}$, byl co nejlevnější dostupný a měl menší velikost pouzdra. Byl vybrán PJA3432_R1_00001 s následujícími parametry.



Obr. 2.11: Výstřížek z datasheetu N-channel mosfetu PJA3432_R1_00001 - RDSON[10]

Volba komparátoru

Doposud nebylo počítáno s vlivem reálného komparátoru. Aby byly výsledky co nejpřesnější je vhodné zvolit komparátor s co nejvyšším vstupním odporem. Protože při propojení pinů nízkou hodnotou odporu je výstupní napětí děliče blízké napájecímu napětí, tak je komparátor napájen vyšším napájecím napětím konfigurovatelným od cca 4 do 5.5V (více v sekci o napájení). Komparátor by také neměl mít hysterzi. Dále, protože je vstup komparátoru přímo připojen na bRC piny, tak by zde měla být ESD ochrana.

Pro jednodušší PCB layout je vhodné, aby pouzdro obsahovalo více komparátorů. Co se týče input voltage offsetu, tak na jeho velikosti příliš nezáleží, protože bude minimalizován kalibrací. Offset by však měl být stabilní.

Byl vybrán komparátor LM393LVQDRQ1. Vstup komparátoru je interně chráněn proti ESD do 2kV. Na výstupu komparátoru je pull-up rezistor připnutý k napájení ovládací karty (tímto je docíleno napěťové kompatibility s 3V3 i 5V logikou). Vybraný komparátor má poměrně vysokou kapacitu vstupu (3 pF). Vliv kapacity je diskutován v sekci o návrhu D/A převodníku ovládací karty[11].

Volba shift registrů

Základním požadavkem na shift registry je možnost řízení pomocí 3V3 logiky, přičemž shift registr samotný je napájen 5V. Dále schopnost řídit vybrané P a N-Channel mosfety. Všech 80 výstupů (P-Mosfetů) je řízeno 2x5 shift registry zapojených do série. Pro výstupní piny není kladen velký důraz na rychlosť nastavení hodnot, protože pro každý výstupní pin je nutné změnit dalších 4000 vstupních tak je na přepínání času dostatek. Naopak ovládání N-channel mosfetů by mělo být co nejrychlejší.

V kapitole o výběru rezistoru děliče je zmíněno, že bude možné měřit 40 pinů současně. Jistým kompromisem jednoduchosti ovládání a rychlostí je tak ovládat N-channel mosfety 10 shift registry zapojenými stylem 2x5 do série (viz. schéma měřící karty v příloze).

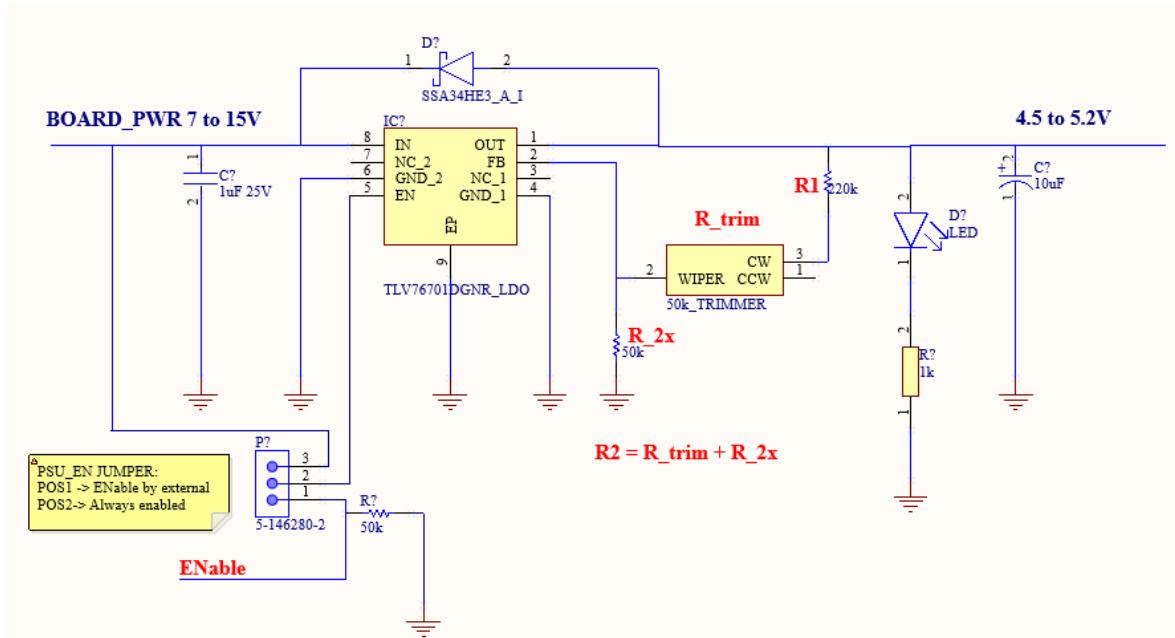
Toto řešení ovládání je zároveň modulární, lze odebírat celé bloky po 8 pinech a zlevnit tak měřící kartu pro použití v jednodušších aplikacích. Stejně jako u předchozích součástek i zde je požadavek na menší pouzdro. Byl vybrán shift registr SN74AHCT595PWR. Tento shift registr je 3 stavový, lze tak přímo řídit jednotlivé mosfety bez nutnosti pull-up/down rezistorů. Poblíž napájení každého z shift registrů je umístěn 100nF vazební kondenzátor. Řídící piny shift registrů jsou přivedeny na 2x25 pinový konektor, kterým je měřící deska připojena k ovládací desce[12].

Volba multiplexerů

Multiplexer by měl být ovladatelný 3.3V i 5V logikou. Byl zvolen multiplexer TMUX1308QDYYRQ1. K multiplexeru je obdobně jako k shift registru připojen 100nF vazební kondenzátor. Komparátory jsou zapojeny stylem 2x5 a mají jednotnou adresaci (2x3 adresní piny, 2x enable pin, 2x5 výstupních pinů). Výstupy multiplexeru jsou přivedeny na 2x25 pinový konektor[13].

2.2.2 Napájecí část

Měřící karta je ve svém standardním provedení napájena 7V až 15V. Toto napájecí napětí je následně regulováno dvěma nastavitelnými regulátory TLV76701DGNR na 3V a 5V. Tyto regulátory disponují enable pinem, kterým je možné spínat regulátory ve správném pořadí, tak aby nedocházelo k nedefinovaným stavům. Enable piny jsou řízeny pomocí ovládací karty, je však možno pomocí jumperů přepnout regulátory do režimu, kde se spínají současně automaticky. Dále tyto regulátory nabízí výstupní proud až 1A, ESD ochranu vstupů a automatickou tepelnou ochranu.[14]



Obr. 2.12: Napájení měřící karty: 5V regulátor (celé schéma měřící karty v příloze - POWER REGULATORS)

Napětí 5V, ve finálním schématu v příloze označeno jako Vcomp, slouží k napájení multiplexerů, komparátorů a shift registrů. Ve zpětnovazebním obvodu regulátoru je připojen odporový dělič s $50\text{ k}\Omega$ trimmerem, pomocí kterého lze nastavit výstupní napětí v rozmezí přibližně od 4.5 do 5.2V. Vzhledem k povaze napájených komponentů se nepředpokládá vysoký odběr proudu.

Napětí 3V, ve finálním schématu v příloze označeno jako Vpins, slouží k generování napětí na bRC pinech. Obdobně jako regulátor pro 5V má i regulátor pro 3V trimmer pro nastavení výstupního napětí. Zde je však v napěťovém děliči zvolena jiná hodnota pevného rezistoru R1, tak aby bylo možno pomocí $50\text{ k}\Omega$ trimmeru nastavit výstupní napětí v rozmezí od 2.8 do 3.5V. Protože bude referenční napětí generováno 3.3V D/A převodníkem. Počítá se s nastavením výstupního napětí na 3V pro případ, že by převodník nefungoval v celém svém rozsahu. 3V regulátor musí být schopen dodat do obvodu proud minimálně 330mA (zdůvodnění je patrné z rovnice 2.9). Volba hodnot rezistorů ve zpětné vazbě vychází z rovnice pro výstupní napětí

regulátoru

$$V_{out} = V_{FB} \cdot \left(1 + \frac{R1}{R2}\right), \quad (2.10)$$

kde $V_{FB} = 0.8V$, pro $R2$ byl použit $50\text{k}\Omega$ trimmer v sérii s odporem $50\text{k}\Omega$. Hodnota $R1$ pro 5V regulátor byla zvolena $220\text{k}\Omega$ a pro 3V regulátor $120\text{k}\Omega$.

Regulátory mají připojeny shotky diody SSA34HE3. Tyto diody slouží jako ochrana proti přepětí na výstupu. Na výstupu regulátorů jsou připojeny LED pro snadnou kontrolu, zda je regulátor zapnutý. Výstupy regulátorů jsou přivedeny na jak na 2×25 pin konektor, tak na pole pinů pro připojení bRC (případně DIN konektoru). Je tak možno využít výstupní napětí regulátorů pro napájení externích komponent, nebo také regulátory neosazovat a napájet měřící kartu externím regulovaným zdrojem.

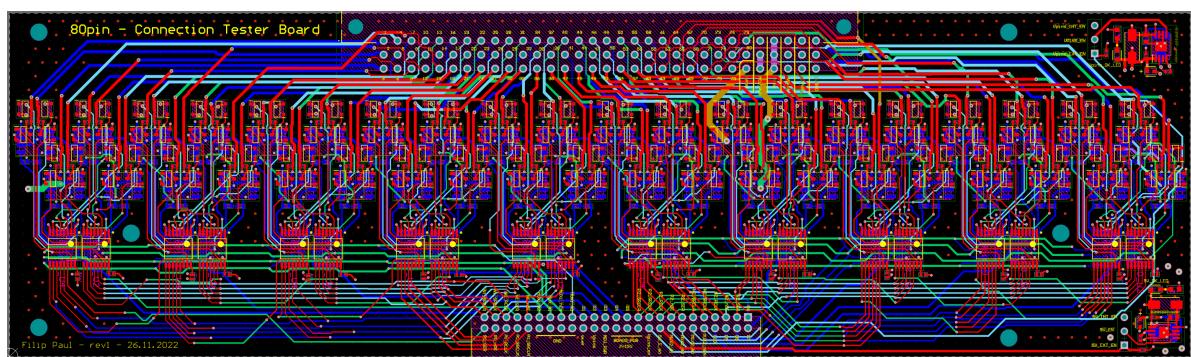
Na měřící kartě lze také nalézt napětí, které je ve finálním schématu v příloze označeno jako PWR_MCU. Toto napětí je do měřící desky přivedeno z ovládací karty. Je to napětí, které je následně využito pro výstup multiplexerů (pull up výstupu komparátoru) a je tím zajištěna napěťová kompatibilita s ovládací logikou 3.3V a 5V .

2.2.3 Návrh PCB

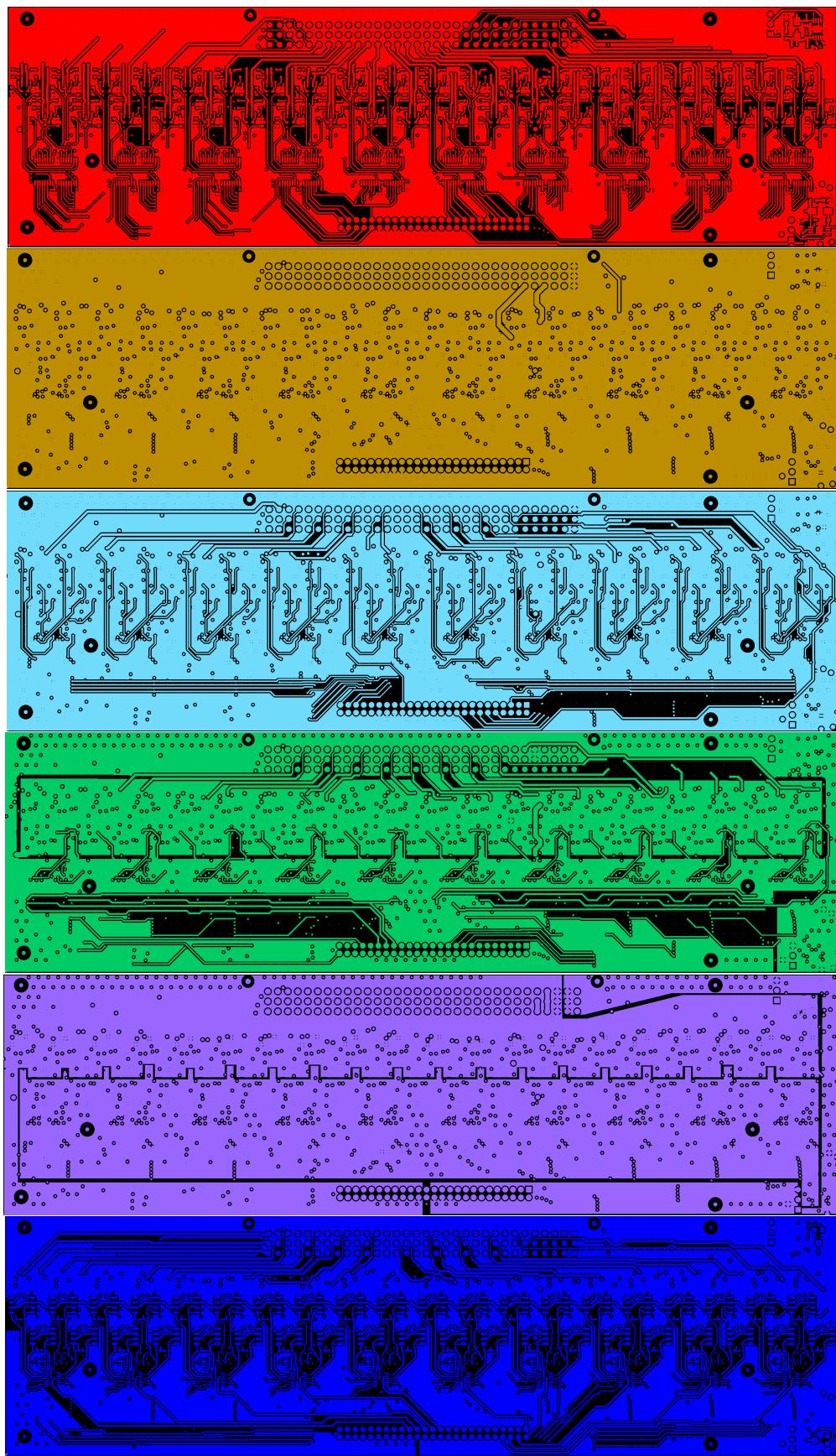
Pro návrh PCB bylo využito softwaru Altium Designer. PCB bylo vyrobeno firmou JL-CPCB. Jedná se o 6-ti vrstvě PCB s následujícím rozložením vrstev. Jednotlivé vrstvy mají následující účel:

- TOP layer: signal; polygon - GND
- inner layer 1: GND
- inner layer 2: signal; polygon - GND
- inner layer 3: signal/PWR; polygon - PWR_MCU, Vref
- inner layer 4: PWR; polygon - BOARD_PWR, Vpins, Vcomp
- BOTTOM layer: signal; polygon - GND, Vref

Za označením "polygon -" jsou uvedeny jména signálů, které mají v dané vrstvě nějaký polygon. Následující obrázek zobrazuje všechny vrstvy současně bez polygonů. Na další straně jsou jednotlivé vrstvy včetně polygonů.



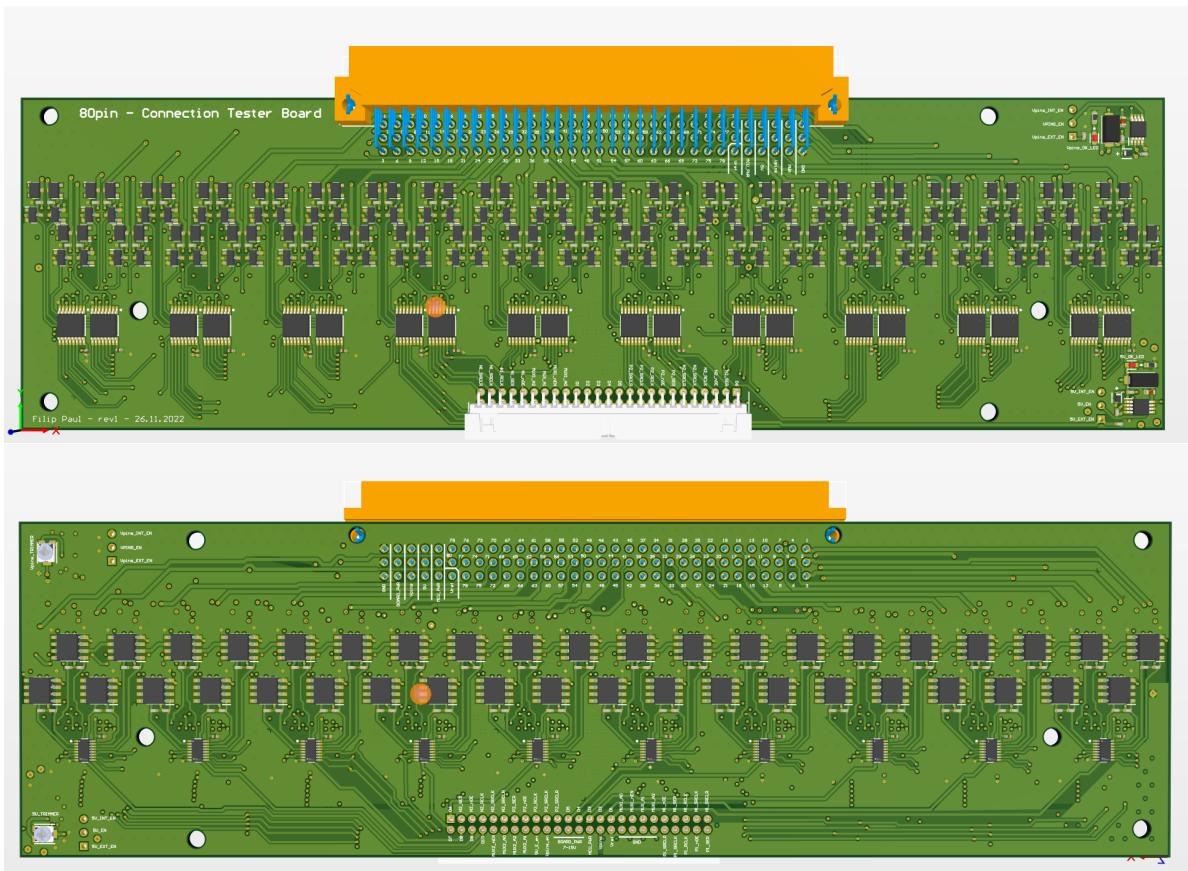
Obr. 2.13: Všechny vrstvy bez polygonů



Obr. 2.14: Vrstvy PCB top to bottom včetně polygonů

Pro minimalizaci zemních smyček jsou po celé desce rozmístěny stitching vias, které propojují GND signály. V gerber datech a 3D modelu jsou stitching vias zobrazeny jako tented vias. Nicméně kvůli nižší ceně výroby PCB jsou použity odkryté vias. Z důvodu požadavků na osazení komponent byl použita povrchová úprava.

Důležitou podmínkou návrh PCB měřících karet je, že jejich výška (včetně komponentů) nesmí přesáhnout 8mm. Tento rozměr je dán roztečí jednotlivých řad bRC pinů. Na následujících obrazcích jsou zobrazeny 3D modely měřící karty s DIN konektorem, který přesahuje výšku 8mm (nebude však osazen). Finální rozměry měřící karty bez DIN konektoru jsou (délka x šířka x výška) 215 x 62.5x 7.65mm. PCB obsahuje několik děr pro uchycení pomocí M3 šroubů.



Obr. 2.15: 3D model top a bot s osazeným DIN konektorem

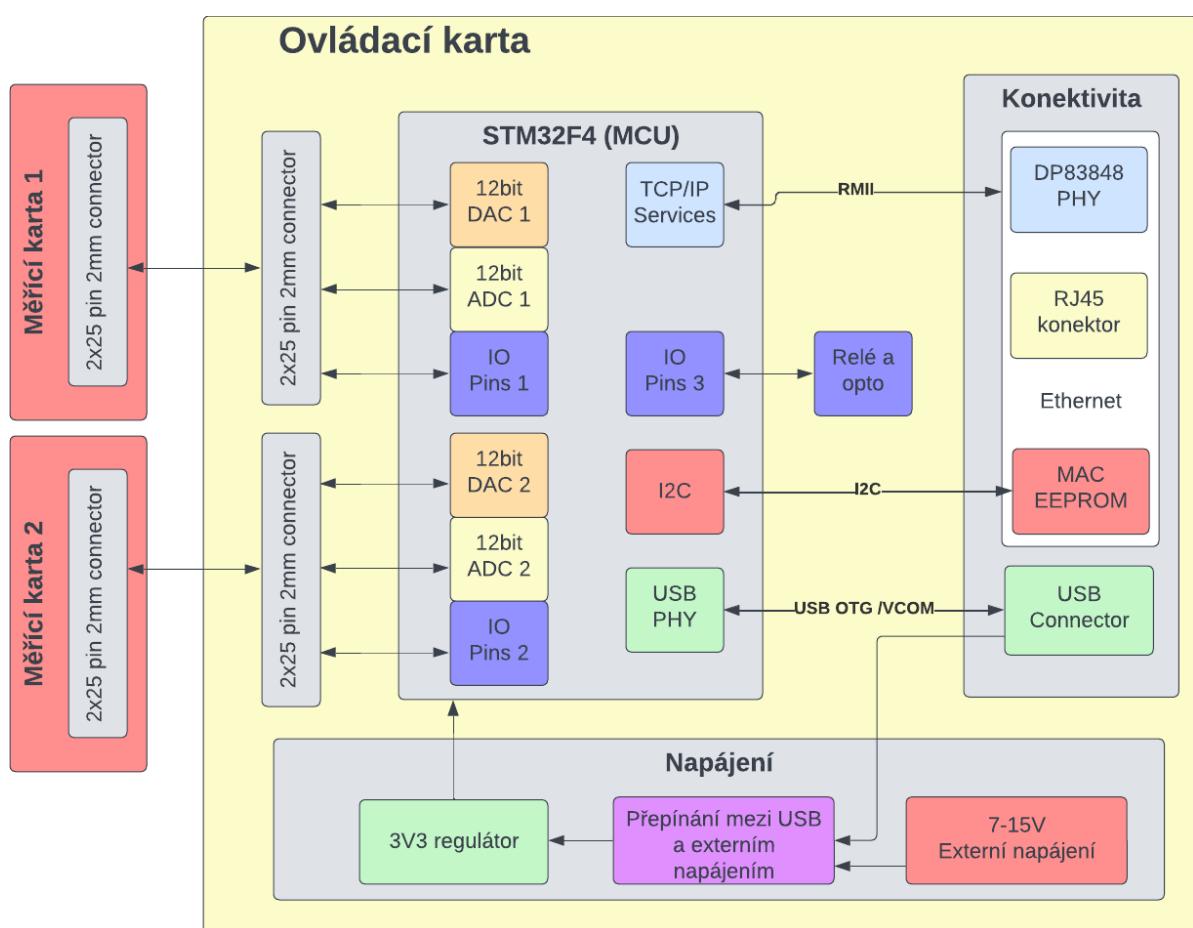
3 Návrh ovládacích karet

3.1 Základní požadavky na Ovládací karty

Následující seznam popisuje základní požadavky na ovládací karty, seznam je seřazen podle priorit.

1. Schopno ovládat měřící karty.
2. Možnost komunikace pomocí 100 Mbit Ethernetu.
3. Dostupnost komponentů.
4. Cena komponentů.

3.2 Funkční bloky



Obr. 3.1: Funkční diagram ovládací karty

Ovládací karta obsahuje několik pomyslných funkčních bloků (Obr. 3.1). Jednotlivé bloky jsou podrobněji popsány v následujících kapitolách. Celé schéma k ovládací kartě je v příloze na konci tohoto dokumentu.

3.2.1 Mikrokontrolér a jeho periférie

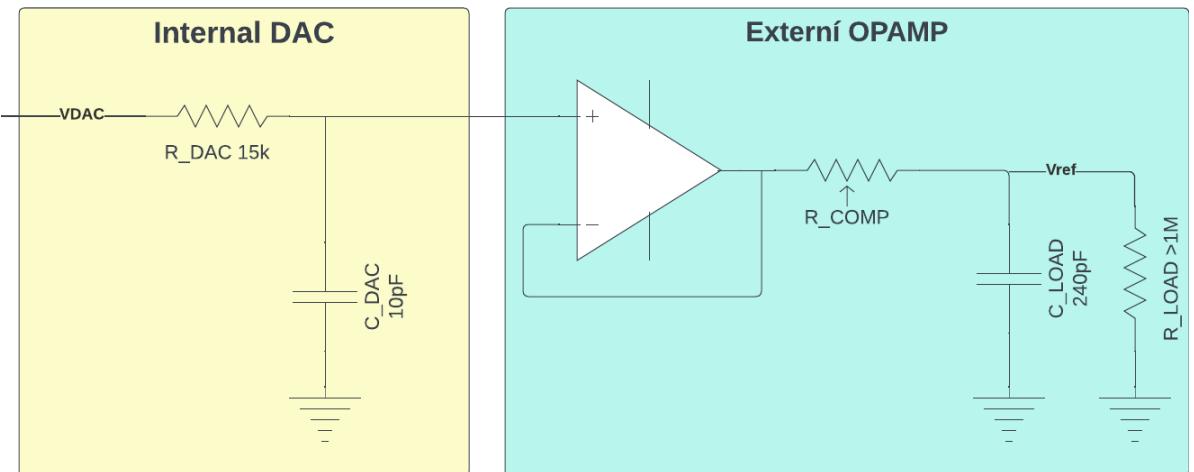
Ovládací karta je založena na 32-bitovém mikrokontroléru STM32F407ZGT6 s Cortex M4 jádrem. Tento mikrokontrolér disponuje 114 I/O piny (3V3 logika), dvěma nezávislými 12-bit A/D a D/A převodníky, nativní podporou USB OTG a 100 Mbit Ethernet MAC vrstvou. Právě díky těmto vlastnostem, je tento mikrokontrolér vhodný pro ovládání měřících karet a komunikaci s PC.

Pro komunikaci s PC aplikací se primárně počítá s telnet serverem, který běží na mikrokontroléru. Nicméně pro debugovací účely je možno s ovládací kartou komunikovat i pomocí USB. K programování mikrokontroléru lze použít interface SWD nebo JTAG.

Díky poměrně vysokému počtu I/O pinů, je možno pomocí jednoho mikrokontroléru ovládat napřímo až 2 měřící karty. Shift registry a multiplexery, umístěny na měřící kartě, jsou ovládány pomocí metody bit bangingu. Pro každou z měřících karet je použit dedikovaný D/A a A/D převodník[2].

D/A převodník

STM32F407ZGT6 nabízí dva 12-bit D/A převodníky s možností využití integrovaného bufleru v podobě invertujícího operačního zesilovače. Nicméně podle datasheetu je možné použít výstupní buffer pouze do velikosti kapacitní zátěže 50 pF. Kapacitní zátěž D/A převodníku bude rovna parazitním kapacitám, které nelze jednoznačně určit a vstupní kapacitě 80 komparátorů (V+ proti GND). Každý z komparátorů má svou vstupní kapacitu přibližně 3 pF. Dohromady tedy vznikne kapacitní zátěž minimálně 240 pF.[15]



Obr. 3.2: DAC-externí zesilovač

Pro použití D/A převodníku je použit externí operační zesilovač v zapojení (Obr. 3.2). V tomto zapojení je rychlosť D/A převodníku limitována kapacitou pinu D/A převodníku C_{DAC} (cca 10 pF) a vnitřním odporem R_{DAC} (cca 15 k Ω). Mezní kmitočet nezatíženého

D/A převodníku pak lze určit následovně.

$$f_{max} = \frac{1}{2\pi \cdot C_{dac} \cdot R_{dac}} = \frac{1}{2\pi \cdot 10\text{ pF} \cdot 15\text{ k}\Omega} = 1,06\text{ MHz} \quad (3.1)$$

Protože kapacitní zátěž společně s výstupním odporem operačního zesilovače by mohla způsobit nestabilitu a s tím spojené nežádoucí oscilace v časové oblasti. Byl přidán do obvodu odpor R_{comp} . Tento odpor přidá nulu do přenosové funkce a zabrání tak tomu, aby se fáze přenosové charakteristiky dostala do nuly (zajistí stabilitu).

Protože datasheet neuvádí přesnou hodnotu výstupního odporu operačního zesilovače a nelze jednoznačně určit kapacitní zátěž, je odpor R_{comp} realizován trimmerem. Trimmer je použit při kalibraci D/A převodníku. Kalibrace je prováděna tak, že se na výstupu D/A převodníku nastaví obdélníkový signál o frekvenci 500 kHz a poté se trimmerem nastaví taková hodnota, aby v časové oblasti byl co nejmenší překmit[16, 17].

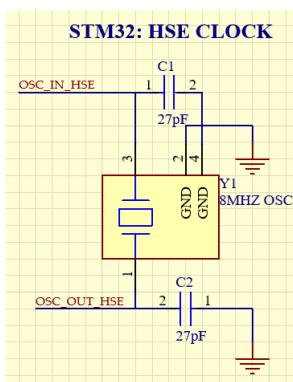
Nevýhodou kompenzačního rezistoru je však přidání nechtěného DC offsetu D/A převodníku. Tento offset by však měl být zanedbatelný, protože vstupní odpor komparátoru je vysoký. Zároveň je na výstup externího zesilovače připojen A/D převodník pro případnou kompenzací offsetu.

Programování a debugging

Pro účely debugování a programování mikrokontroléru jsou zpřístupněny SWD a JTAG piny. Dále je možno modifikovat konfiguraci mikrokontroléru pomocí jumperů, které jsou propojeny s boot piny mikrokontroléru. Při normálním provozu se počítá s programováním pomocí SWD rozhraní.

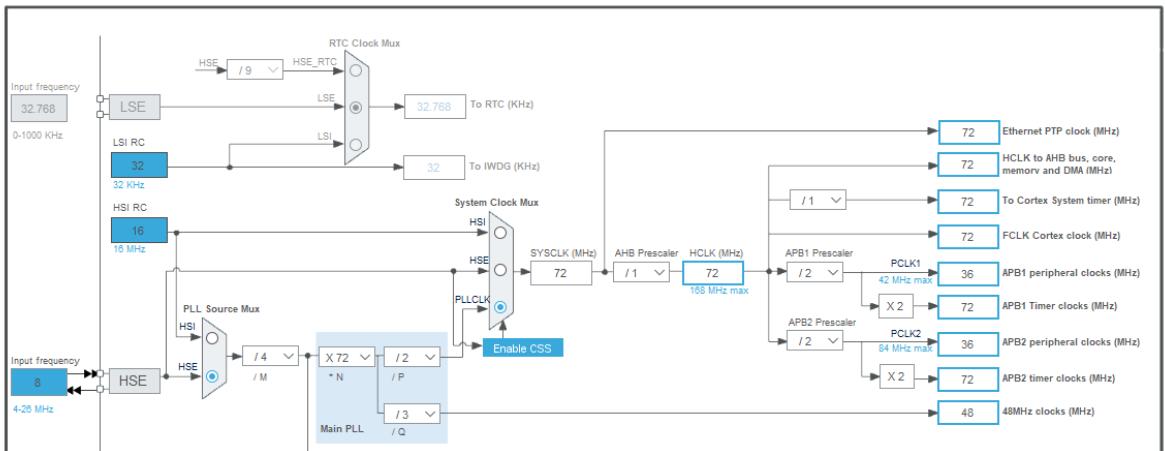
Konfigurace hodinového signálu

Mikrokontrolér má vysokou variabilitu v konfiguraci hodinových signálů. K požadovaným funkcím ovládací karty je vhodné použít externí krystalový rezonátor, který bude připojen do High Speed Clock pinů mikrokontroléru. V případě ovládací karty bylo použit 8 MHz krystalového rezonátoru ABM3B-8.000MHZ-D2-T společně s 2x27 pF zatěžovacími kapacitami.



Obr. 3.3: 8 MHz krystalový rezonátor

Pro jednodušší konfiguraci hodinových signálů mikrokontroléru bylo využito programu STM32CubeMX. Výsledná konfigurace hodinových signálů je znázorněna na následujícím obrázku.



Obr. 3.4: Clock configuration

3.2.2 Konektivita

Ovládací karta je vybavena USB-micro a RJ45 konektorem. Umožňuje tak velmi snadné propojení s PC aplikací pomocí standardních USB a ethernetových rozhraní.

Ethernet

Pro zajištění ethernetového připojení je využito MAC vrstvy mikrokontroléru společně s fyzickou vrstvou (PHY) realizovanou pomocí čipu DP83848 a RJ45 konektoru s integrovaným transformátorem pro 100 BASE-T. Komunikace mezi mikrokontrolérem a DP83848 je realizováno pomocí RMII rozhraní. PHY vyžaduje pro svou správnou funkčnost 100Ω diferenciální páry (viz. schéma ovládací karty v příloze).

DP83848 vyžaduje pro svou činnost v RMII režimu připojení externího 50 MHz oscilátoru. Výstup oscilátoru je zároveň přiveden na příslušný pin mikrokontroléru a slouží jako hodinová reference.

DP83848 je možno konfigurovat pomocí tzv. bootstrap pinů. DP83848 při svém startu zjišťuje logické úrovně bootstrap pinů a podle toho konfiguruje své parametry. Následující tabulka shrnuje nastavení bootstrap pinů použitých v ovládací kartě.

PIN	Nastavení	Popis
AN0	1	AN0 a AN1 piny konfigurují, jakými možnostmi se bude zařízení prezentovat při AutoNegotiation.
AN1	1	Pro kombinaci AN0 = 1 a AN1 = 1 zařízení se prezentuje jako 10BASE-T a 100BASE-TX HALF/FULL duplex
LED_CFG	1	Konfiguruje chování LED na RJ45 konektoru.
MII_MODE	1	DP83848 očekává RMII pro komunikaci s MAC vrstvou
MDIX_ENABLE	1	Interní pull up - MDIX (crossover) povolen

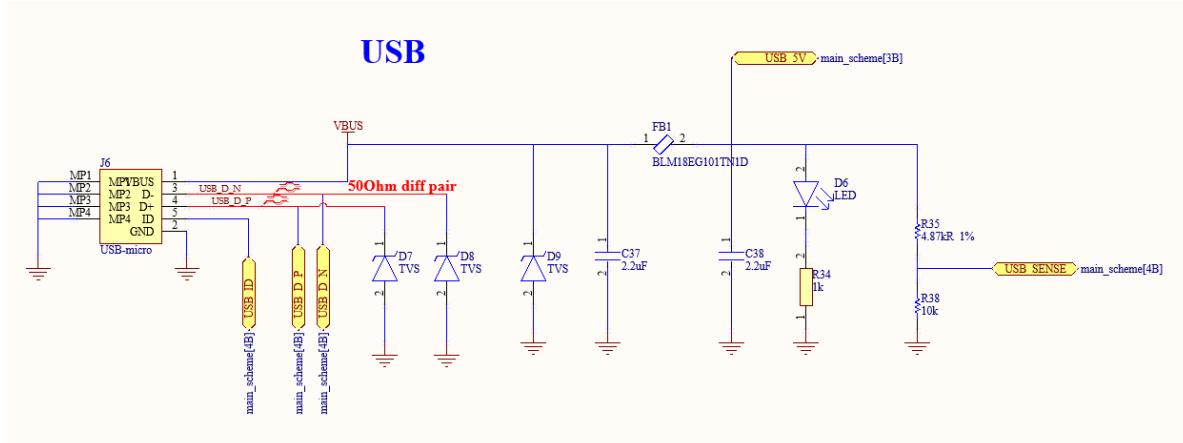
Tab. 3.1: Nastavení bootstrap pinů DP83848

Protože ani mikrokontrolér a ani DP83848 nenabízí jedinečnou MAC adresu je použita EEPROM, která má již od výrobce naprogramovanou jedinečnou MAC adresu. EEPROM používá ke komunikaci I2C protokol a při startu zařízení je MAC adresa načtena do MAC vrstvy mikrokontroléru. V mikrokontroléru je implementován telnet a http server a je využito LWIP stacku společně s HAL knihovnami a RTOS.

USB

Mikrokontrolér je vybaven fyzickou vrstvou pro USB OTG, je tak možné propojit datové signály přímo s USB-micro konektorem. Přestože je do USB konektoru vyveden ID pin, který slouží k rozlišení mezi host a device, využívá ovládací karta pouze device režim. Pro detekci připojení ovládací karty k USB portu je použit napěťový dělič, jehož výstup je přiveden do USB_sense pinu mikrokontroléru. Napěťový dělič obsahuje rezistor o toleranci 1%. Tuto toleranci není nutno dodržet a tento rezistor byl použit pouze z důvodu nízké ceny a faktu, že se již v návrhu vyskytuje.

Připojení pomocí USB slouží převážně k servisním účelům. Ovládací kartu lze napájet přímo z USB portu, přičemž napájení je opatřeno vstupním filtrem realizovaným feritovou perličkou a kondenzátorem (více v sekci o napájení). Obdobně jako u ethernetu je i zde nutno při návrhu PCB použít diferenciální páry pro datové signály ($50\ \Omega$). Každý ze signálů, který je vyveden na USB-micro konektor je opatřen TVS diodami pro ochranu proti ESD.

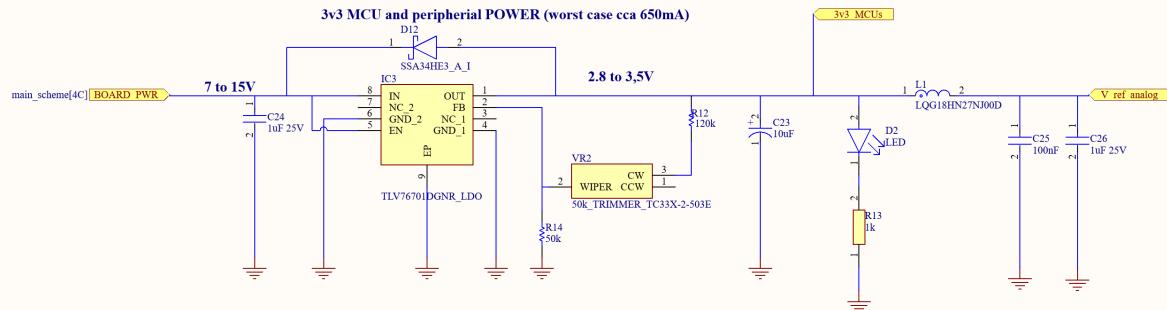


Obr. 3.5: USB rozhraní

3.2.3 Napájení

Při normálním provozu se počítá s externím napájení v rozmezí 7-15 VDC. Toto napětí je přivedeno na WAGO svorky. Napětí (ve schématu BOARD_PWR) přivedeno na vstup nastavitelného regulátoru TLV76701DGNR. Funkce tohoto regulátoru je obdobná jako u regulátorů popsaných v sekci o měřící kartě. Výstup regulátoru je možné nastavit trimmerem v rozmezí přibližně od 2.8 do 3.45V (ve schématu 3v3_MCUs).

POWER - REGULATORS



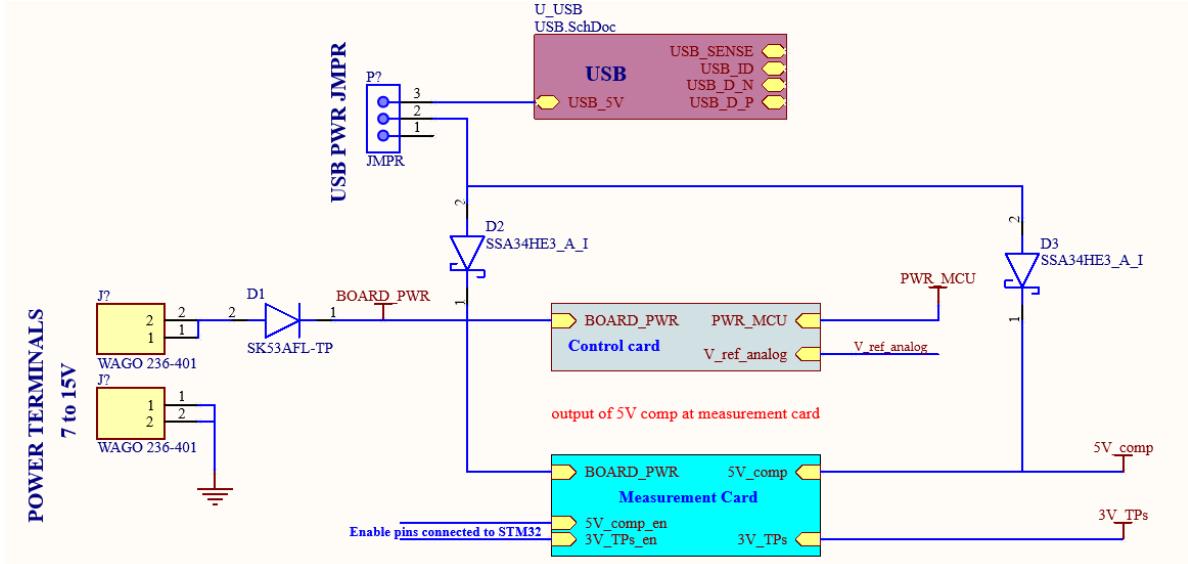
Obr. 3.6: Regulátor napětí - 3V3 MCUs

Takto regulované napětí je použito pro napájení všech doposud popsaných částí ovládací karty. Protože je vhodné aby referenční napětí (V_{ref_analog}), které mikrokontrolér používá pro funkci A/D a D/A převodníků bylo co nejpřesnější, je napětí 3V3_MCU.s filtrováno dolní propustí realizovanou pomocí LC filtru.

Očekávaný maximální proud fyzické vrstvy ethernetu je přibližně 150 mA. Proudový odběr ovládací karty nelze jednoznačně určit, protože je závislý na firmwaru mikrokontroléru (deska není zatím fyzicky vyrobena a proudový odběr bude ověřen experimentálně). Nicméně se očekává, že by proud v nejhorším případě neměl přesáhnout 500 mA. Použitý regulátor by měl být schopen dodat do obvodu proud 1A, což by mělo být dostačující.

Napětí je dále přivedeno na 2x25 pinový konektor, aby bylo možné napájet měřící a ovládací karty současně připojením napájecí napětí pouze na jednu z karet.

Celý systém měřících a ovládacích karet může být napájen pomocí USB. V tomto případě je však přesnost měření limitována kvalitou USB napájení. Následující obrázek znázorňuje distribuci napájení ovládacích a měřících karet. Schéma však neodpovídá reálnému zapojení, protože jednotlivé komponenty jsou propojeny přes 2x25 pin konektory. Pro přehlednost jsou však konektory vynechány.



Obr. 3.7: Distribuce napájení

V případě napájení pomocí USB je napětí BOARD_PWR generováno z USB portu. Aby se zamezilo poškození všech připojených zařízení, které by mohlo potenciálně vzniknout při pojením vyššího napětí na WAGO svorkách a USB současně, je do schématu připojena dioda D2. Dioda D1 slouží jako ochrana k přepólování na vstupu WAGO svorek. Zároveň dioda D1 plní obdobnou funkci jako dioda D2 nyní však pro ochranu zdroje napájení připojeného do WAGO svorek proti napětí na USB. V případě současného připojení externího napětí na WAGO svorky a USB portu, bude deska napájena vyšším z napětích.

Napětí BOARD_PWR je v případě napájení přes USB rovno přibližně:

$$V_{BOARD_PWR} = V_{USB} - V_{D2} = 5V - 0.4V = 4.6V, \quad (3.2)$$

Kde V_{D2} je úbytek na diodě D2. Tento úbytek je pro diodu SSA34HE3_A_I roven přibližně 0.2V při proudu 1A a přibližně 0.4V při proudu 2A

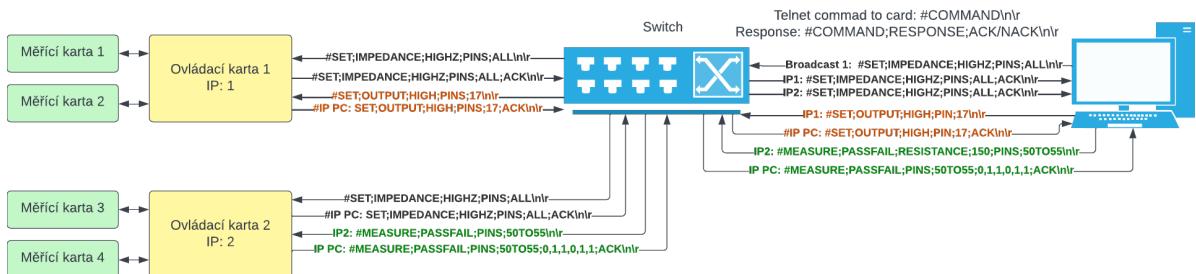
Úbytek napětí na regulátorech TLV76701DGNR je přibližně 0.8V. Součtem úbytků na diodě D2 a regulátoru lze dosáhnou regulovaného výstupního napětí až 3.8V, což je dostačné pro napájení všech regulátorů kromě regulátoru, který zajišťuje napětí 5V_comp. Napětí 5V_comp je tedy generováno přímo z USB portu přes diodu D3. Dioda D3 má obdobný význam jako dioda D2, nyní však chrání USB port před vyšším napětím na výstupu regulátoru 5V_comp v případě napájení z WAGO svorek. Z tohoto je patrné, že napětí 5V_comp není nijak regulováno a je přímo závislé na napětí a rušení USB portu. V případě detekce napětí na USB_sense pinu je komparátor 5V_comp vypnut pomocí enable pinu.

Pro možnost použití USB rozhraní pouze pro komunikaci (ne pro napájení), lze USB napájení rozpojit pomocí jumperu.

4 Algoritmizace a měřící procedury

Jak již bylo zmíněno v kapitole o systémové koncepci a na obr.1.3. Jednotlivé ovládací karty jsou propojeny pomocí ethernetového rozhraní do switche. Pro správnou funkčnost testera je zde použit spravovatelný switch, který mimo jiné umožňuje získat informace o své MAC tabulce. MAC tabulku společně s protokolem ARP lze využít pro přiřazení čísla portu ethernetového switche k IP adrese připojených ovládacích karet. Tímto způsobem lze přiřadit jednotlivé ovládací karty k jednotlivým řadám bRC pinů bez nutnosti dodatečné konfigurace či různému kódování řad.

Z pohledu celého systému je hlavním řídícím prvkem PC aplikace. Ovládací karty společně s měřícími kartami nabízejí PC aplikaci high level služby. Tyto high level jsou dostupné díky telnet server ovládací karty. Pojmem high level služby si lze představit například telnet příkaz #SET;IMPEDANCE;HIGHZ;PINS;ALL , tento příkaz odešle PC aplikace některé z ovládacích karet. Karta nastaví všechny bRC piny na připojených měřících kartách do vysoké impedance a odešle potvrzení zpět řídící aplikaci pomocí telnet příkazu následovně #SET;IMPEDANCE;HIGHZ;PINS;ALL;ACK. Na následujícím obrázku lze pozorovat složitější příklad mezi PC aplikací a ovládacími kartami.



Obr. 4.1: Telnet komunikace

V příkladu na obr. 4.1 PC aplikace nejprve zašle všem připojeným ovládacím kartám (broadcast) příkaz pro nastavení všech pinů do vysoké impedance. Poté PC aplikace čeká až obdrží potvrzení od všech připojených karet. Následně nastaví pomocí ovládací karty č. 1 pin č. 17 na měřící kartě jako výstup. Po obdrženém potvrzení od ovládací karty 1 odešle PC aplikace dotaz ovládací kartě 2. Tento dotaz (#MEASURE;FASTVALUE;RESISTANCE;150;PINS;50TO55) by se do lidské řeči dal přeložit následovně. Nastav výstup D/A převodník tak, aby hodnota napětí změřená na komparátoru odpovídá odporu 150 ohmů. Následně vrát výstupní data multiplexeru pro piny 50 až 55. Z odpovědi ovládací karty lze určit zda mezi pinem (řada 1 pin 17) a pinem (řada 3 piny 50-55) je odporník propojen menší než 150 ohmů.

Z příkladu je také patrné, že karty samotné ne inicializují komunikaci a komunikují pouze s PC aplikací. Tímto je sice poněkud redukován výpočetní výkon systému, ale zároveň se řízení velmi zdokonaluje. Řízení pomocí PC aplikace také zajišťuje synchronizaci mezi jednotlivými kartami.

4.1 Mód PASS/FAIL

V sekci (Volba velikosti odporu děliče Rout) byly zmíněny dva módy, ve kterých tester funguje. Prvním z módu je PASS/FAIL mód. V tomto módu používá obsluha externí sondu připojenou k pinu č. 80 měřící karty připojené k ovládací kartě č.1. Obsluha je vyzvána k připojení externí sondy k určité testovací jehle (probe). Tester následně otestuje, které propojení mezi bRC piny a sondou splňuje požadavky na mezní hodnotu odporu cesty.

Naměřená jsou odesílána do PC aplikace, která výsledky porovnává s konfiguračními soubory a v závislosti na výsledku informuje obsluhu o dalším postupu. Informování obsluhy je realizováno akusticky (obdobně jako continuity test u multimetru) a vizuálně na displeji. Celý systém tak musí provést měření, co nejrychleji, aby aplikace byla schopna informovat obsluhu v reálném čase s co nejnižší odezvou.

Pro tento mód testeru je možné použít obdobný postup jako na obr. 4.1. Zde se místo pinu 17 použije pin 80 a místo pinů 50-55 se postupně proměří všechny cesty po skupinách 40 pinů (zdůvodnění proč zrovna 40 pinů je v sekci o návrhu měřící karty).

PC aplikace postupně ukládá naměřená data z jednotlivých měřících karet do matice o rozměru 50x78 (rozměr používaných bRC pinů). A následně je porovnává s maticí vytvořenou z konfiguračních souborů. Na obrázku níže jsou zobrazeny matice naměřených a očekávaných hodnot. Matice má pro názornost rozměr pouze 3x3.

Matrice vytvořená z konfiguračního souboru	Naměřená matice																		
<table border="1"><tbody><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></tbody></table>	0	1	0	0	0	0	1	1	1	<table border="1"><tbody><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></tbody></table>	0	1	0	1	0	0	1	1	1
0	1	0																	
0	0	0																	
1	1	1																	
0	1	0																	
1	0	0																	
1	1	1																	

Obr. 4.2: PASS/FAIL matrix

V matici naměřených hodnot jsou zeleně znázorněny výsledky, které se shodují s předpokládanými hodnotami. Červeně jsou naopak zobrazeny hodnoty, které jsou rozdílné. Hodnota 0 znamená, že mezi externí sondou (probe pinem) a bRC pinem odpovídající pozici v matici není propojení cesty nižší jak zvolená mezní hodnota odporu. Naopak hodnota 1 znamená, že mezi sondou a bRC pinem je propojení cesty v požadovaném rozsahu. Z výsledků měření na obr. 4.2 je tedy patrné, že zkoumaný probe pin je někde špatně připojený do bRC pinu (řada 2, sloupec 1). Z konfiguračních souborů lze zjistit i název signálu, který vede do tohoto probe popřípadě bRC pinu a obsluhu informovat o tom, mezi kterými signály a piny vznikl pro-

blém. Tímto postupem se proměří všechny probe piny (každý probe pin má sadu těchto matic).

4.2 Mód měření přesné hodnoty odporu

Tento mód se oproti PASS/FAIL módu liší tím, že zde nejsou kladené žádné nároky na čas měření, protože proces je plně automatizován a měření probíhá pouze mezi bRC piny. V tomto módu však tester zjišťuje co nejpřesnější hodnotu propojení cest. Obdobně jako v PASS/FAIL módu je výsledkem matice propojení, kde jsou nyní však místo jedniček a nul hodnoty změřeného odporu. Matice vytvořená z konfiguračních dat však zůstává stejná, protože data v sobě nemají žádné hodnoty odporu propojení. Lze pak stanovit určitý threshold obdobně jako při PASS/FAIL režimu a určit tak, zda naměřené hodnoty odpovídají očekávaným datům. Následující obrázek ukazuje vzniklé matice pro jeden bRC pin pro zvolený threshold 30Ω .

Matrice vytvořená z konfiguračního souboru	Naměřená matice Threshold 30Ω																		
<table border="1"> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table>	0	1	0	0	0	0	1	1	1	<table border="1"> <tr><td>100000</td><td>32</td><td>100000</td></tr> <tr><td>12</td><td>100000</td><td>100000</td></tr> <tr><td>7</td><td>12</td><td>3</td></tr> </table>	100000	32	100000	12	100000	100000	7	12	3
0	1	0																	
0	0	0																	
1	1	1																	
100000	32	100000																	
12	100000	100000																	
7	12	3																	

Obr. 4.3: TRUEVALUE matrix

V obr. 4.3 lze najít hodnoty odporu 100000Ω . Tyto hodnoty však neodpovídají reálné hodnotě propojení cest, ale je značí že měřená hodnota odporu je mimo rozsah testeru a lze tak předpokládat, že zde žádné propojení není. Dále je zde možno najít červené pole s hodnotou 32Ω . Podle matice vytvořené z konfiguračního souboru by tato cesta měla být propojená. Nicméně pro zvolený threshold 30Ω je tato hodnota odporu propojení považována za příliš vyšokou a vyhodnocena jako chybné propojení.

Přesná hodnota odporu se zde měří tak, že pro každou skupinku pinů, je vytvořena rampa D/A převodníku a monitoruje se, při jaké hodnotě napětí na D/A převodníku se překlopí výstup komparátoru daného pinu. Aby se minimalizovala chyba vzniklá úbytkem napětí na P-channel mosfetu (viz kapitola o návrhu měřící karty), lze zároveň využít rampu D/A převodníku pro změření přesného výstupu napětí bRC pinu a výsledek měření tak vztáhnout přímo k napětí na bRC pinu.

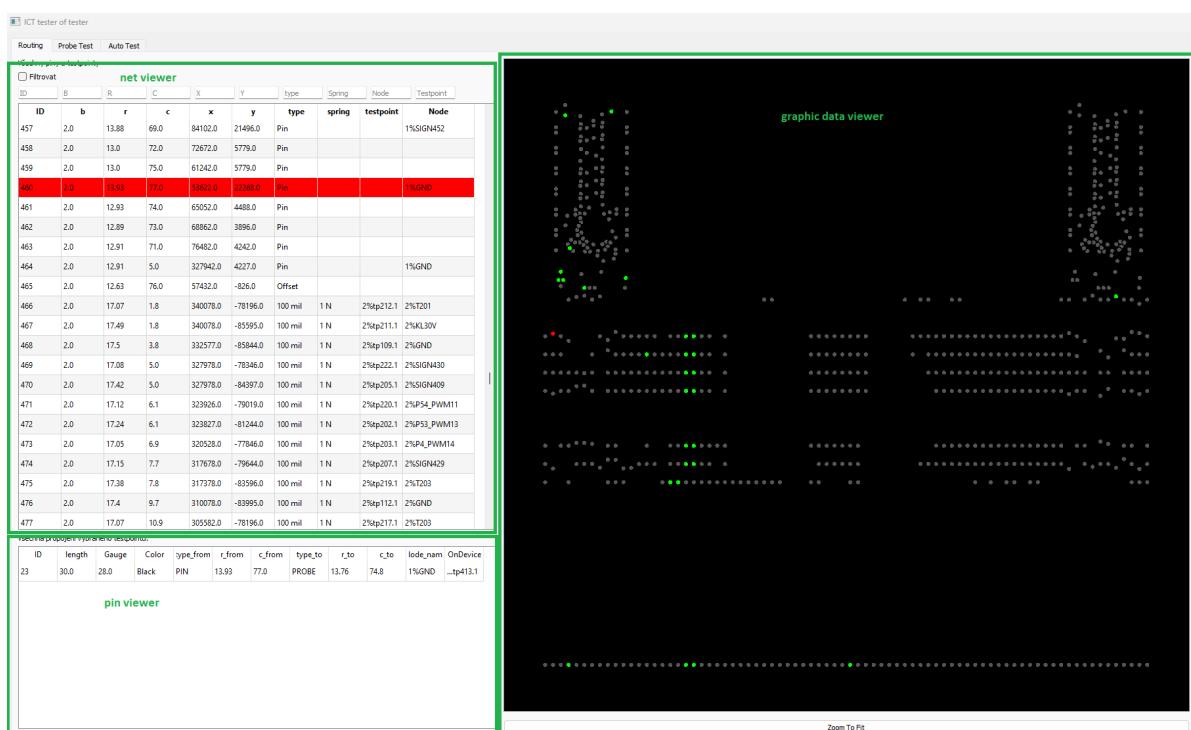
5 Řídící PC aplikace

Pro účely testeru byla vyvinuta PC aplikace založená na programovacím jazyku python. Tato aplikace umožňuje nejen komunikovat s testerem a provádět měření, ale také převádět vstupní CAD, CAM, gerber a různé textové konfigurační soubory do vhodného formátu pro účely testeru.

Aplikace se skládá ze 3 hlavních záložek (Routing, Probe Test a Auto Test) v horním levém rohu. V semestrální práci Je dokončena funkce pouze záložky routing.

5.1 Záložka routing

Tato část řídící aplikace má na starosti převod všech vstupních dat do vhodného grafického zobrazení a vytvoření propojovacích matic (viz obr. 4.3 a Obr.4.2). Ve svém GUI je záložka koncipována tak, aby obsluha testu byla schopna identifikovat různá propojení bRC a probe pinů. Zároveň by mělo být možné na základě tohoto GUI zapojit celou fixture část.



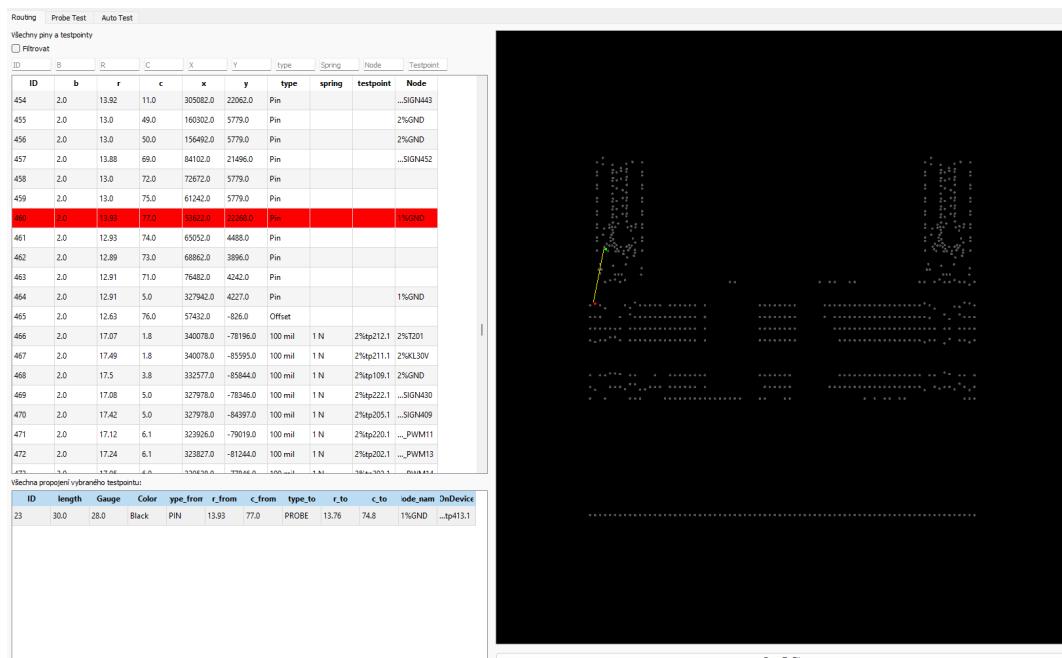
Obr. 5.1: PC aplikace - záložka routing

Záložka se skládá ze 3 hlavních částí (net viewer, pin viewer a data graphics viewer). V části netviewer jsou zobrazeny všechny bRC a probe piny (jsou zde i jiné piny, které nejsou diskutovány v diplomové práci). Každý pin zde má svou polohu vyjádřenou dvěma způsoby. Prvním způsobem je značení pomocí bRC. Toto označení je vztaženo k mřížce, kterou tvoří spodní část fixture (obr. 1.1). Protože jednotlivé piny mají svou toleranci a nemusí ležet přímo v bodě mřížky, je označení bRC nepřesné a je zaokrouhleno k nejbližšímu bodu mřížky. Druhým a přesným způsobem je označení pomocí x a y souřadnic.

Některé piny mají neprázdná pole označení ve sloupci testpoint. Toto označení znamená, že se jedná o probe pin a bude ho nutné otestovat externí sondou. Zároveň probe piny mají ve sloupci type průměr testovací jehly (bRC piny mají označení pin). Dále je zde vidět Node (uzel) do kterého pin patří.

Po kliknutí do příslušného řádku v části netviewer se v části graphic data viewer zobrazí červeně zvolený pin a zároveň zeleně všechny probe a bRC piny se stejným označením node (obr. 5.1). V části graphic data viewer zároveň lze klikat myší na jednotlivé piny a tím je označit v sekci netviewer. Takto lze jednoduše procházet zapojení fixture části. Část graphic data viewer umožňuje různě přibližovat a posouvat zobrazení.

V části pin viewer jsou zobrazeny podrobné informace o vybraném (červeném) pinu. Každý řádek v této sekci (může jich být libovolný počet) obsahuje informace o propojení zvoleného červeného pinu s nějakým dalším pinem. Na obr(5.1) je patrné, že v části pin viewer je pouze jeden řádek, ale zároveň z části graphic data viewer je jasně vidět, že uzel 1%GND obsahuje daleko více pinů. To je způsobeno tím, že uzly nejsou vždy tvořeny paralelním propojením všech pinů. Dále aby bylo možno fixture zapojit, obsluha musí v části pin viewer vidět pouze propojení kam dále má vést propojení. Zobrazeny jsou tedy pouze cesty, které vedou z tohoto pinu. Toto je patrné i z informací v příslušném řádku části pin viewer. V obr.(5.1) jsou ve sloupcích r_from a c_from (značí z kterého pinu vede cesta) stejná data jako ve sloupcích r a c v části netviewer. Jedná se tudíž o červený vybraný pin. Sloupce r_to a c_to jsou souřadnice pinu, kam má vést další cesta. Po kliknutí do řádku v části pin viewer se v části graphic viewer znázorní pomyslné propojení (5.2). Zároveň lze z řádku v sekci pin viewer vyčíst data o délce, typu a barvě použitého propojovacího drátu.



Obr. 5.2: PC aplikace - Zobrazení cesty

Závěr

V semestrální práci bylo navrhnuo škálovatelné řešení pro měření odporu propojení velkého množství elektrických cest. Výsledkem návrhu je koncepce měřících a ovládacích karet, které dohromady tvoří pole 4000 pinů mezi kterými lze libovolně měřit odpor elektrické cesty.

Kombinací těchto karet lze teoreticky docílit měření 4000 projení cest současně v PASS/-FAIL režimu do 40 ms a následně výsledky procházet v řídící PC aplikaci. Byly navrženy 2 módy ve kterých by mělo zařízení pracovat (PASS/FAIL a měření přesného odporu).

K ovládacím kartám bylo navrženo schéma zapojení a téměř hotový návrh PCB. Nicméně ovládací karty nebyly prozatím vyrobeny. K měřícím kartám bylo vyrobeno PCB a nyní se čeká na osazení komponentů externí firmou. Po otestování měřících karet pomocí prototypových NUCLEO-F429ZI budou dány do výroby i ovládací karty.

Dále byl vytvořen firmware pro ovládací karty. Firmware není zdaleka finální, obsahuje však kostru programu, kde je implementován telnet a http server. Funkce těchto serverů bude výrazně rozšířena po vyrobení ovládacích karet. Momentálně telnet server nedisponuje všemi příkazy potřebnými k ovládání měřících karet. V současnosti jsou implementovány pouze příkazy pro nastavení A/D, D/A převodníku a ovládání některých dalších periférií.

V semestrální práci byla vytvořena aplikace pro PC, která umožňuje vhodně formátovat vstupní data pro tester a zobrazovat je v interaktivním grafickém režimu. Aplikace však neobsahuje část, pro ovládání karet. Momentálně slouží jako základ pro tvorbu měřících matic popsaných v části Algoritmizace a měřící procedury. Dále aplikace umožňuje formátovat vstupní data, která jsou generována nejrozšířenějšími ICT testery AGILENT (KEYSIGHT) 30xx.

Úkolem do diplomové práce je dokončit firmware a výrobu ovládacích karet. Navrhnut kalibrační procedury měřících karet. Vyvinout PC aplikaci pro ovládání karet a zobrazování výsledků měření. Společně s konstruktéry navrhnut a realizovat mechanické řešení testeru. Mechanické řešení obsahuje především návrh pneumatického kontaktování. Dále navrhnut bezpečnostní mechanizmy pro případnou poruchu testeru. Na závěr otestovat funkčnost a ověřit věrohodnost předpokládaných parametrů testeru.

Literatura

- [1] HOROWITZ, P., HILL, W.: *The Art of Electronics*. [online]. 2015, New York: Cambridge University Press, [cit. 27. 12. 2022]. Dostupné z URL (direct download):
[<https://www.uvm.edu/~gpetrucc/courses/Chem219/Lectures/Paul%20Horowitz,%20Winfield%20Hill%20-%20The%20Art%20of%20Electronics-Cambridge%20University%20Press%20\(2015\).pdf>](https://www.uvm.edu/~gpetrucc/courses/Chem219/Lectures/Paul%20Horowitz,%20Winfield%20Hill%20-%20The%20Art%20of%20Electronics-Cambridge%20University%20Press%20(2015).pdf).
- [2] MARTIN, T.: *the Insider's Guide to the STM32 ARM Based Microcontroller*. [online]. 2008, T Coventry: Hitex Ltd., UK, [cit. 27. 12. 2022]. Dostupné z URL:
[<https://www.hitex.com/fileadmin/documents/tools/dev_tools/dt_protected/insiders-guides/stm32/isg-stm32-v18d-scr.pdf>](https://www.hitex.com/fileadmin/documents/tools/dev_tools/dt_protected/insiders-guides/stm32/isg-stm32-v18d-scr.pdf).
- [3] KEYSIGHT TECHNOLOGIES: *Keysight Medalist i3070 Series 5* [online]. 2017, Product datasheet Nr. 5990-4344EN [cit. 27. 12. 2022]. Dostupné z URL:
[<https://www.keysight.com/zz/en/assets/7018-02227/data-sheets/5990-4344.pdf>](https://www.keysight.com/zz/en/assets/7018-02227/data-sheets/5990-4344.pdf).
- [4] ACCULOGIC: *Keysight (Agilent) 3070 Test Program* [online]. Keysight (Agilent) 3070 Test Program - product webpage [cit. 27. 12. 2022]. Dostupné z URL:
 [<https://acculogic.com/services/test-engineering-services/in-circuit-test-programming-services/agilent-hp-3070-test-program-development-services/>](https://acculogic.com/services/test-engineering-services/in-circuit-test-programming-services/agilent-hp-3070-test-program-development-services/).
- [5] TERADYNE, Smith, J. Michael: *ICT Fixture Guidelines* [online]. ICT Fixture Guidelines, Test Techniques and Practices [cit. 27. 12. 2022]. Dostupné z URL (direct download):
[<https://courseware.zcu.cz/CoursewarePortlets2/DownloadDokumentu?id=114866>](https://courseware.zcu.cz/CoursewarePortlets2/DownloadDokumentu?id=114866).
- [6] Wikipedia: *CAD data exchange* [online]. 2022, Wikipedia - CAD data exchange [cit. 27. 12. 2022]. Dostupné z URL:
[<https://en.wikipedia.org/wiki/CAD_data_exchange>](https://en.wikipedia.org/wiki/CAD_data_exchange).
- [7] Mark Fortunato: *Analyzing circuit sensitivity for analog circuit design* [online]. 2008, Analyzing circuit sensitivity for analog circuit design - Embedded Staff magazine [cit. 27. 12. 2022]. Dostupné z URL:
 [<https://www.embedded.com/analyzing-circuit-sensitivity-for-analog-circuit-design/>](https://www.embedded.com/analyzing-circuit-sensitivity-for-analog-circuit-design/).
- [8] Emmanuel A. Gonzalez, Martin Christian G. Leonor, Leonard U. Ambata: *Analyzing Sensitivity in Electric Circuits* [online]. 2007, Analyzing Sensitivity in Electric Circuits - IEEE MULTIDISCIPLINARY ENGINEERING EDUCATION MAGAZINE [cit. 27. 12. 2022]. Dostupné z URL (direct download):
[<https://nanopdf.com/download/analyzing-sensitivity-in-electric-circuits_pdf>](https://nanopdf.com/download/analyzing-sensitivity-in-electric-circuits_pdf).
- [9] TOSHIBA: *SSM3J358R* [online]. SSM3J358R - Product datasheet [cit. 27. 12. 2022]. Dostupné z URL:

- <https://cz.mouser.com/datasheet/2/408/SSM3J358R_datasheet_en_20170124-1916450.pdf>.
- [10] PANJIT Semiconductor: *PJA3432* [online]. PJA3432 - Product datasheet [cit. 27. 12. 2022]. Dostupné z URL:
[<https://cz.mouser.com/datasheet/2/1057/PJA3432-1867274.pdf>](https://cz.mouser.com/datasheet/2/1057/PJA3432-1867274.pdf).
- [11] TEXAS INSTRUMENTS: *LM393LV-Q1 Dual and LM339LV-Q1 Quad Low Voltage, RRI Automotive Comparators* [online]. LM393LV-Q1 Dual and LM339LV-Q1 Quad Low Voltage, RRI Automotive Comparators - Product datasheet [cit. 27. 12. 2022]. Dostupné z URL:
[<https://www.ti.com/lit/ds/symlink/lm393lv-q1.pdf?HQS=dis-mous-null-mousermode-dsf-pf-null-wwe&ts=1672576488296&ref_url=https%253A%252F%252Fczech.mouser.com%252F>](https://www.ti.com/lit/ds/symlink/lm393lv-q1.pdf?HQS=dis-mous-null-mousermode-dsf-pf-null-wwe&ts=1672576488296&ref_url=https%253A%252F%252Fczech.mouser.com%252F).
- [12] TEXAS INSTRUMENTS: *SNx4AHCT595 8-Bit Shift Registers With 3-State Output Registers* [online]. SNx4AHCT595 8-Bit Shift Registers With 3-State Output Registers - Product datasheet [cit. 27. 12. 2022]. Dostupné z URL:
[<https://www.ti.com/lit/ds/symlink/sn74ahct595.pdf?HQS=dis-mous-null-mousermode-dsf-pf-null-wwe&ts=1672576686373&ref_url=https%253A%252F%252Fczech.mouser.com%252F>](https://www.ti.com/lit/ds/symlink/sn74ahct595.pdf?HQS=dis-mous-null-mousermode-dsf-pf-null-wwe&ts=1672576686373&ref_url=https%253A%252F%252Fczech.mouser.com%252F).
- [13] TEXAS INSTRUMENTS: *TMUX13xx-Q1 Automotive 5-V, Bidirectional 8:1, 1-Channel and 4:1, 2-Channel Multiplexers with Injection Current Control* [online]. TMUX13xx-Q1 Automotive 5-V, Bidirectional 8:1, 1-Channel and 4:1, 2-Channel Multiplexers with Injection Current Control - Product datasheet [cit. 27. 12. 2022]. Dostupné z URL:
[<https://www.ti.com/lit/ds/symlink/tmux1308-q1.pdf?HQS=dis-mous-null-mousermode-dsf-pf-null-wwe&ts=1672576632072&ref_url=https%253A%252F%252Fczech.mouser.com%252F>](https://www.ti.com/lit/ds/symlink/tmux1308-q1.pdf?HQS=dis-mous-null-mousermode-dsf-pf-null-wwe&ts=1672576632072&ref_url=https%253A%252F%252Fczech.mouser.com%252F).
- [14] TEXAS INSTRUMENTS: *TLV767 1-A, 16-V Precision Linear Voltage Regulator* [online]. TLV767 1-A, 16-V Precision Linear Voltage Regulator - Product datasheet [cit. 27. 12. 2022]. Dostupné z URL:
[<https://www.ti.com/lit/ds/symlink/tlv767.pdf?HQS=dis-mous-null-mousermode-dsf-pf-null-wwe&ts=1672577000555&ref_url=https%253A%252F%252Fczech.mouser.com%252F>](https://www.ti.com/lit/ds/symlink/tlv767.pdf?HQS=dis-mous-null-mousermode-dsf-pf-null-wwe&ts=1672577000555&ref_url=https%253A%252F%252Fczech.mouser.com%252F).
- [15] STMICROELECTRONICS: *Extending the DAC performance of STM32 microcontrollers* [online]. Application note - AN4566 [cit. 27. 12. 2022]. Dostupné z URL:
[<https://www.st.com/resource/en/application_note/an4566-extending-the-dac-performance-of-stm32-microcontrollers-stmicroelectronics.pdf>](https://www.st.com/resource/en/application_note/an4566-extending-the-dac-performance-of-stm32-microcontrollers-stmicroelectronics.pdf).
- [16] Soufiane Bendaoud, Giampaolo Marino: *Practical Techniques to Avoid Instability Due to Capacitive Loading* [online]. Ask The Application Engineer - 32 [cit. 27. 12. 2022]. Dostupné z URL:
[<https://ez.analog.com/cfs-file/_key/telligent-evolution-components-attachments/00-383-00-00-01-74-37/plugin_2D00_capacitive_5F00_loading_2D00_1.pdf>](https://ez.analog.com/cfs-file/_key/telligent-evolution-components-attachments/00-383-00-00-01-74-37/plugin_2D00_capacitive_5F00_loading_2D00_1.pdf).

- [17] Tim Green, Texas Instruments: *Operational Amplifier Stability Part 6 of 15: Capacitance-Load Stability* [online]. Burr-Brown Products from Texas Instruments, published in analogZone [cit. 27. 12. 2022]. Dostupné z URL:
[<https://picture.iczhiku.com/resource/eetop/sYKyS11Zpy00SBNB.pdf>](https://picture.iczhiku.com/resource/eetop/sYKyS11Zpy00SBNB.pdf).

Seznam symbolů a zkratek

ADC	Analogově-Digitální Převodník
bRC	piny na spodní straně fixture
DAC	Digitálně-Analogový Převodník
Fixture	Vyměnitelný adaptér se zakládacím polem pro ICT testery
ICT	In-Circuit Testing
MAC	Media Access Control
PC	Personal Computer - Počítač
PCB	Printed Circuit Board - Deska plošných spojů
PHY	Physical Layer - fyzická vrstva
Probes	Testovací jehly

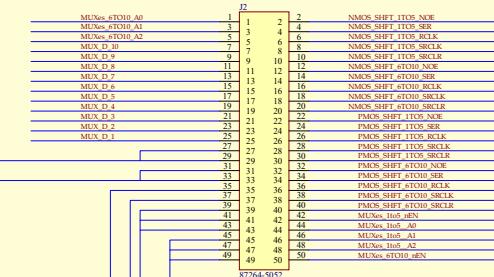
Seznam příloh

A Schéma měřící karty	48
B Schéma Ovládací karty	54

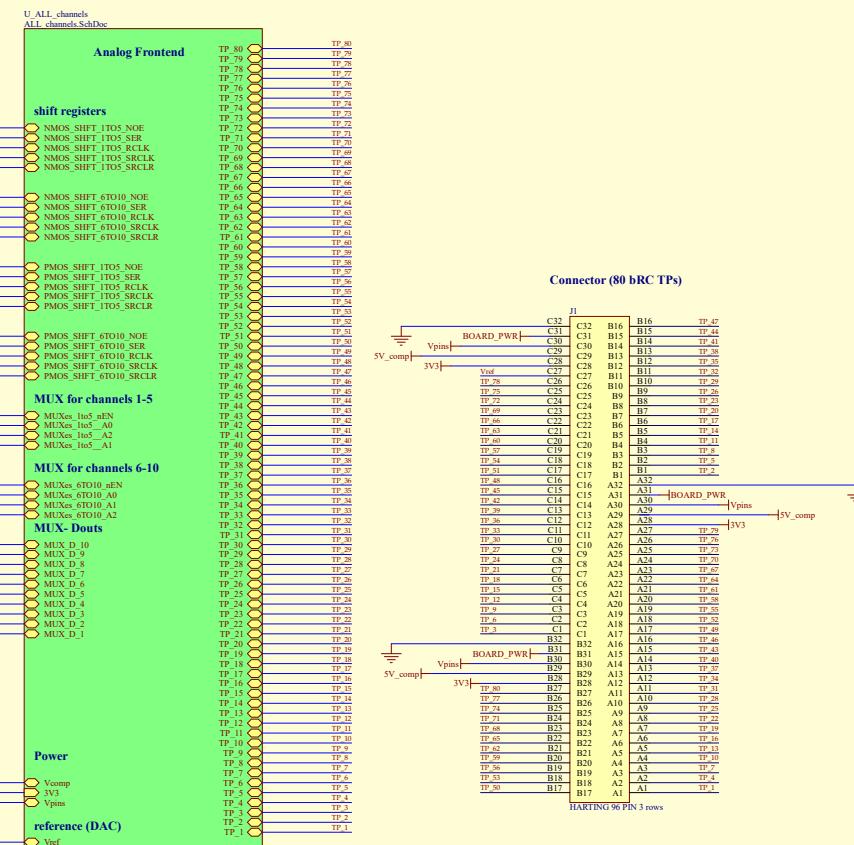
A Schéma měřící karty

SYSTEM TOP LEVEL VIEW

Connection to the controll card



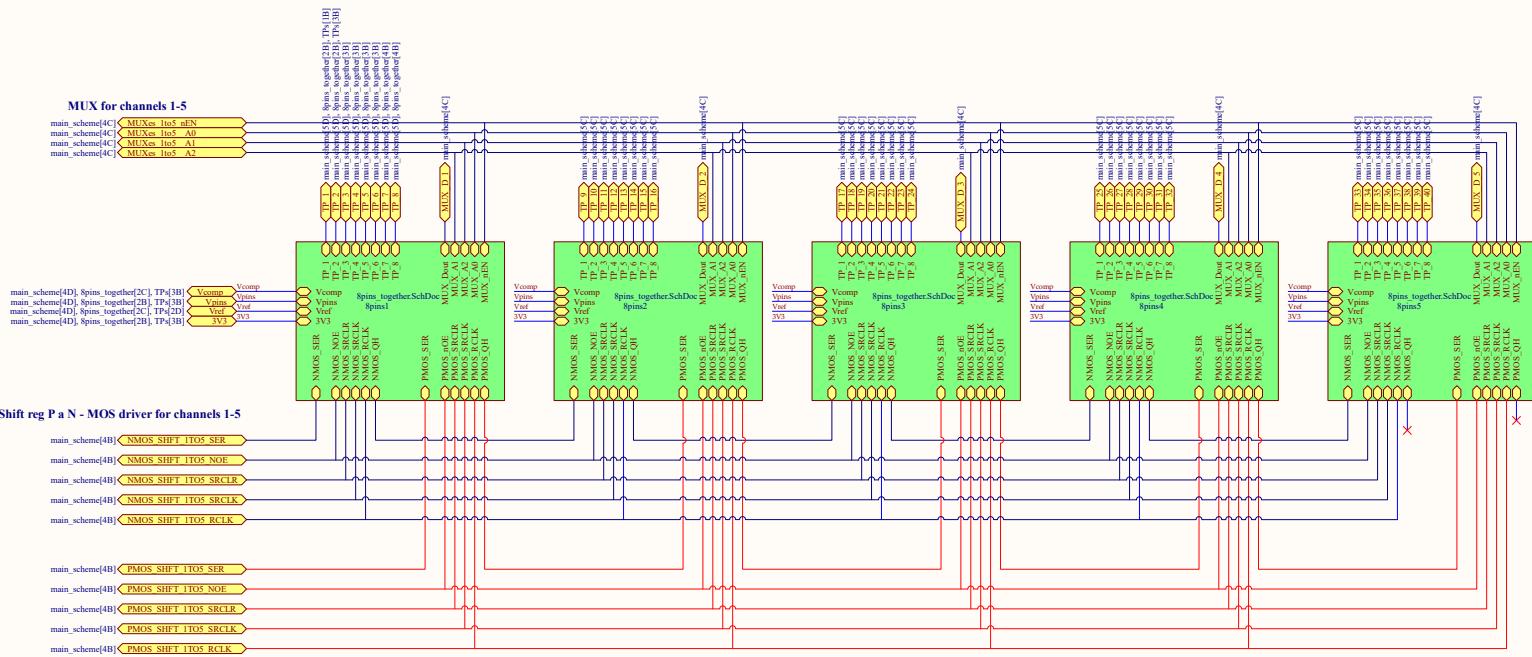
RESISTANCE MEASUREMENTS
ANALOG MODULE CONTROLLED BY MUXES AND SHIFT REGISTERS + 96PIN connector



Title		
Size	Number	Revision
A2		
Date: 12.08.2022	Sheet of	
File: C:\Users\imran.schDoc		Drawn By:

ALL 80 pins - controlled by 2x5 (for P and N MOSFETS) + 2x5MUXES

MUX for channels 1-5

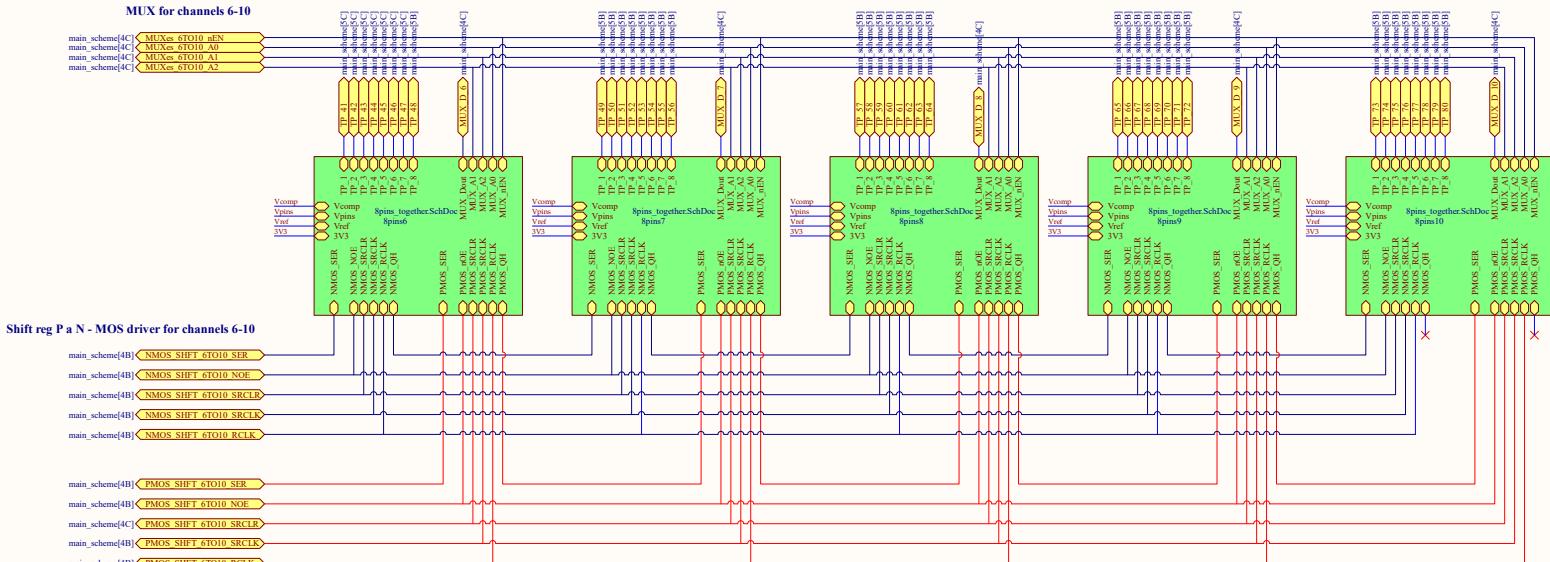


Shift reg P a N - MOS driver for channels 1-5

main_scheme[4B] NMOS SHFT 1T05 SER
main_scheme[4B] NMOS SHFT 1T05 NOE
main_scheme[4B] NMOS SHFT 1T05 SRCLR
main_scheme[4B] NMOS SHFT 1T05 SRCLK
main_scheme[4B] NMOS SHFT 1T05 RCLK

main_scheme[4B] PMOS SHFT 1T05 SER
main_scheme[4B] PMOS SHFT 1T05 NOE
main_scheme[4B] PMOS SHFT 1T05 SRCLR
main_scheme[4B] PMOS SHFT 1T05 SRCLK
main_scheme[4B] PMOS SHFT 1T05 RCLK

MUX for channels 6-10



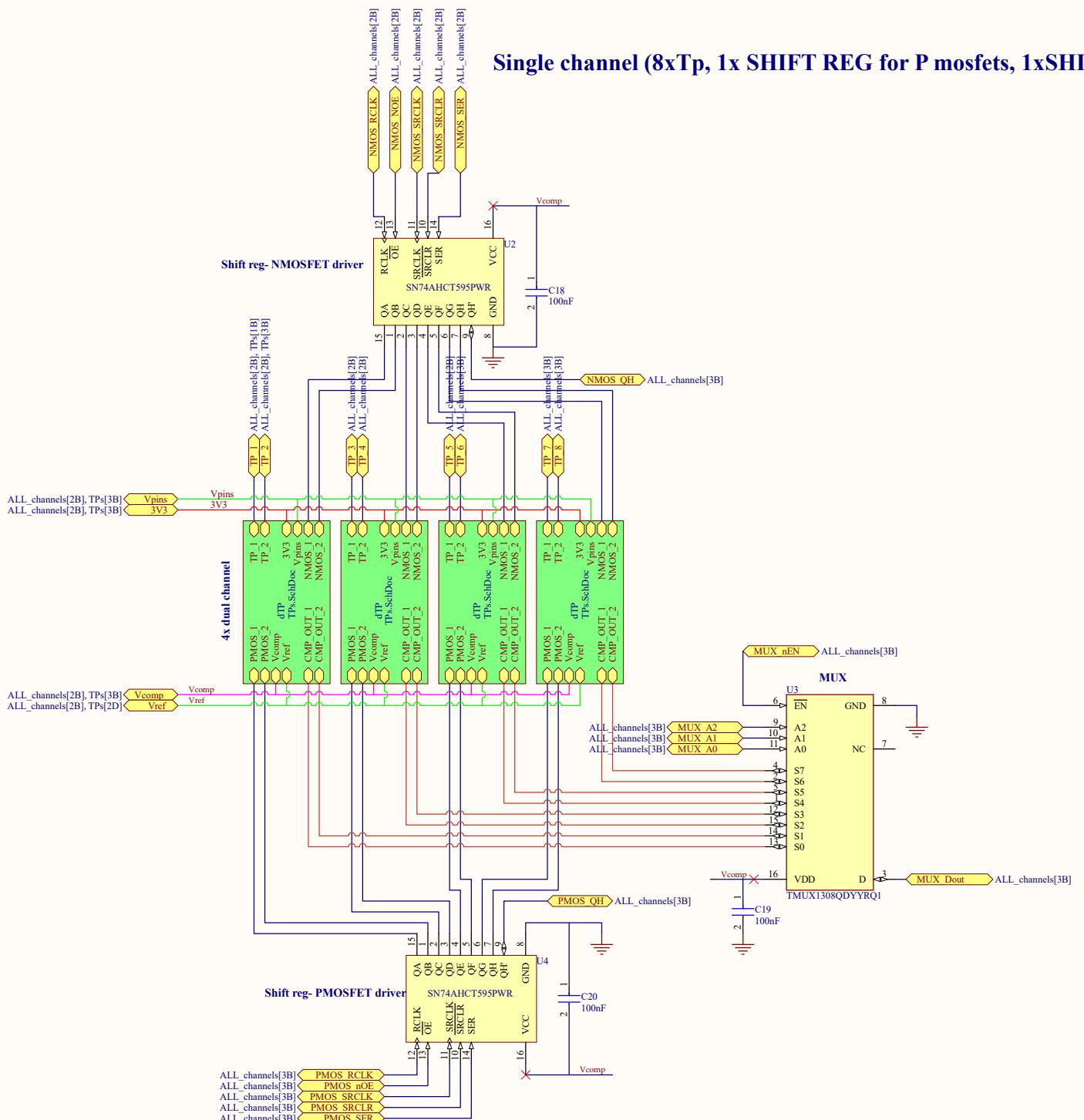
Shift reg P a N - MOS driver for channels 6-10

main_scheme[4B] NMOS SHFT 6T010 SER
main_scheme[4B] NMOS SHFT 6T010 NOE
main_scheme[4B] NMOS SHFT 6T010 SRCLR
main_scheme[4B] NMOS SHFT 6T010 SRCLK
main_scheme[4B] NMOS SHFT 6T010 RCLK

main_scheme[4B] PMOS SHFT 6T010 SER
main_scheme[4B] PMOS SHFT 6T010 NOE
main_scheme[4B] PMOS SHFT 6T010 SRCLR
main_scheme[4B] PMOS SHFT 6T010 SRCLK
main_scheme[4B] PMOS SHFT 6T010 RCLK

Title		
Size	Number	Revision
A2		
Date: 12.08.2022 File: C:\Users\ALL_channels.SchDoc	Sheet of Drawn By:	

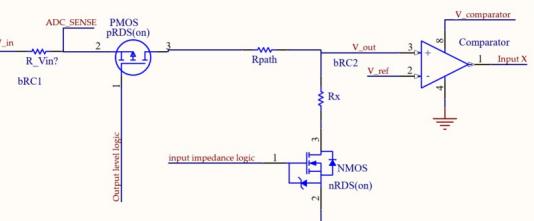
Single channel (8xTp, 1x SHIFT REG for P mosfets, 1xSHIFT REG for Nmosfets, 1X MUX)



Title		
Size	Number	Revision
A3		
Date: 12.08.2022	Sheet of	
File: C:\Users...\8pins_together.SchDoc		Drawn By:

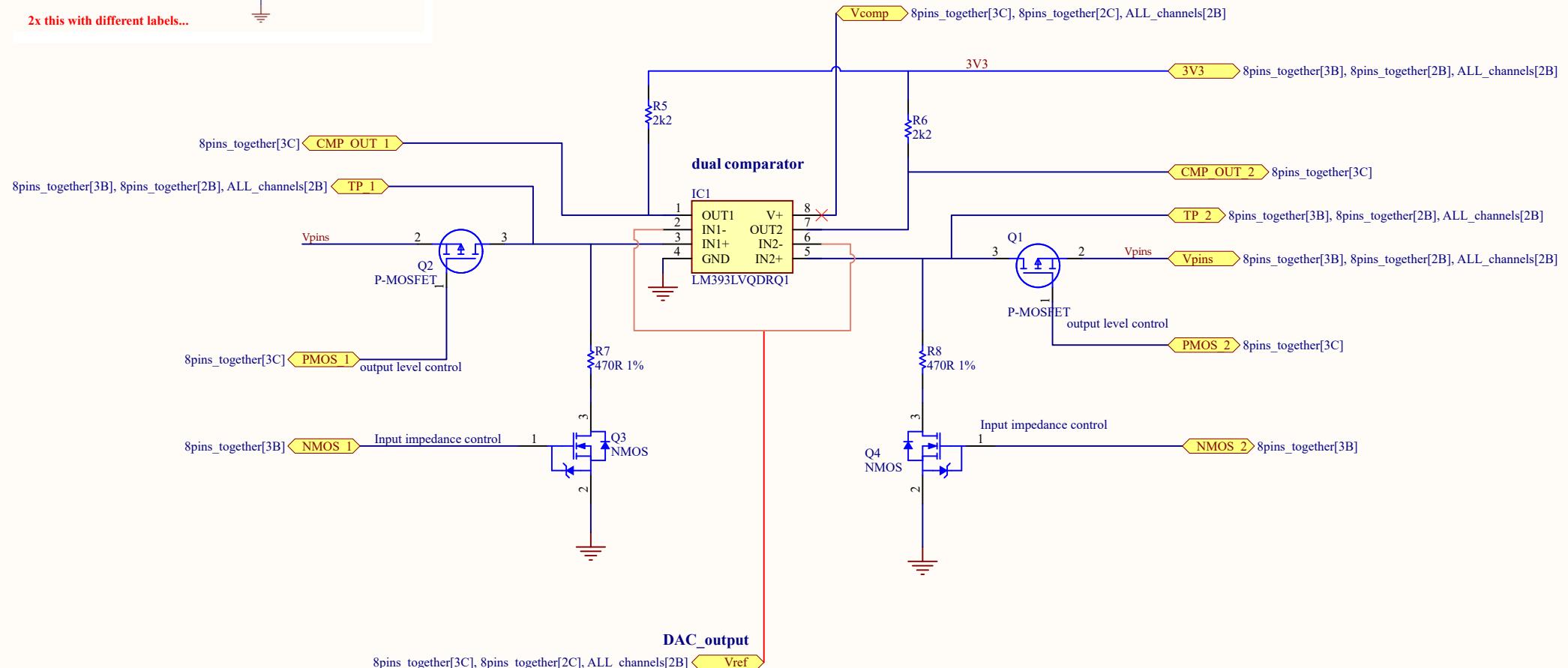
Analog frontend for 2 channels (dual comparator with P and N MOSFETS)

A



A

B



B

C

C

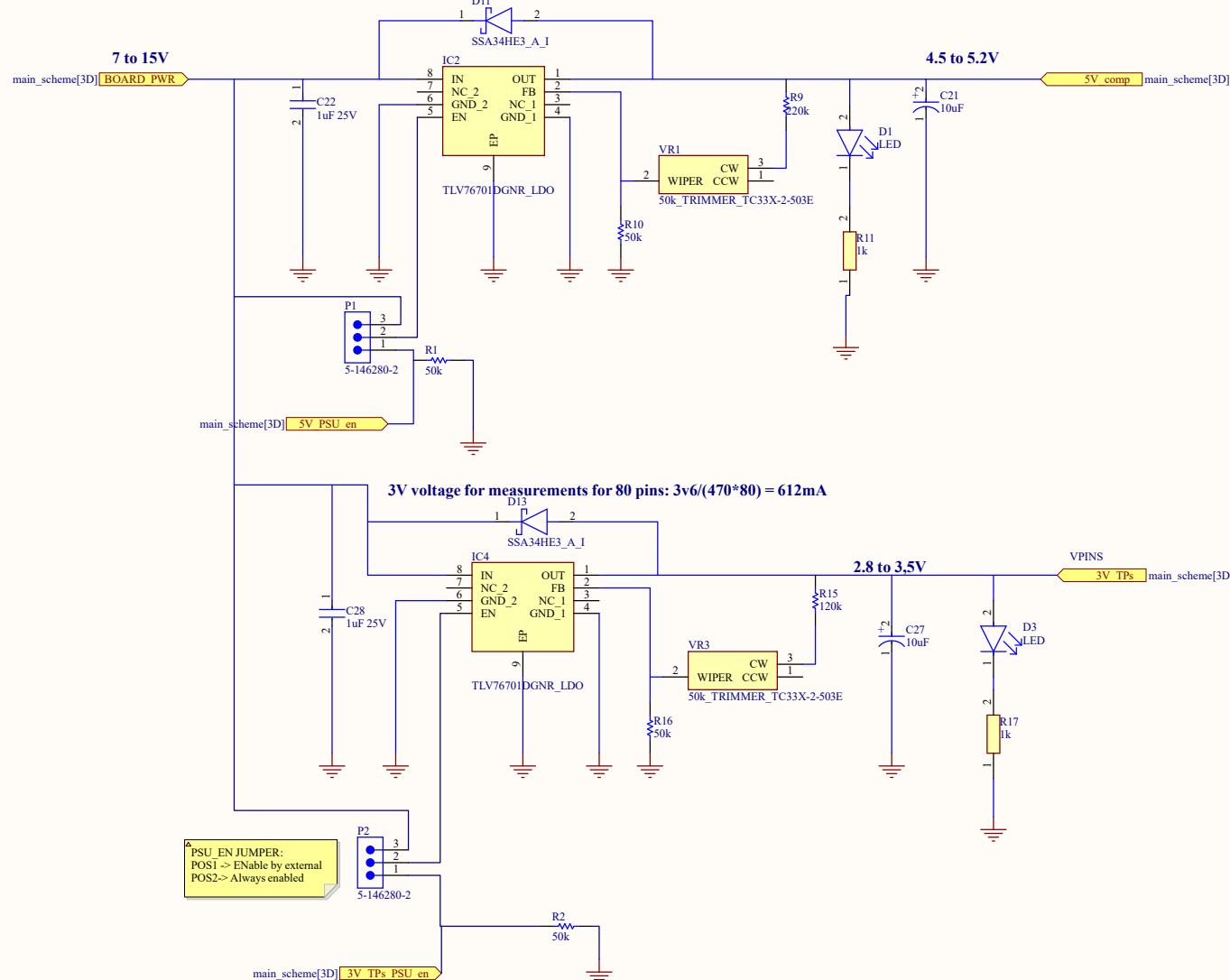
D

D

Title		
Size	Number	Revision
A4		
Date: 12.08.2022	Sheet of	
File: C:\Users\.\TPs.SchDoc		Drawn By:

POWER - REGULATORS

R1 = (Vout/0.8-1)*R2 ; R2 = 50kR
5V : shfregs/comps/mux - (Worst case cca 440mA)

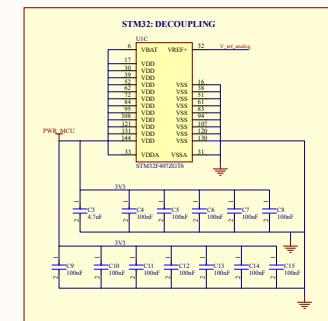


PSU_EN JUMPER:
 POS1 => ENable by external
 POS2=> Always enabled

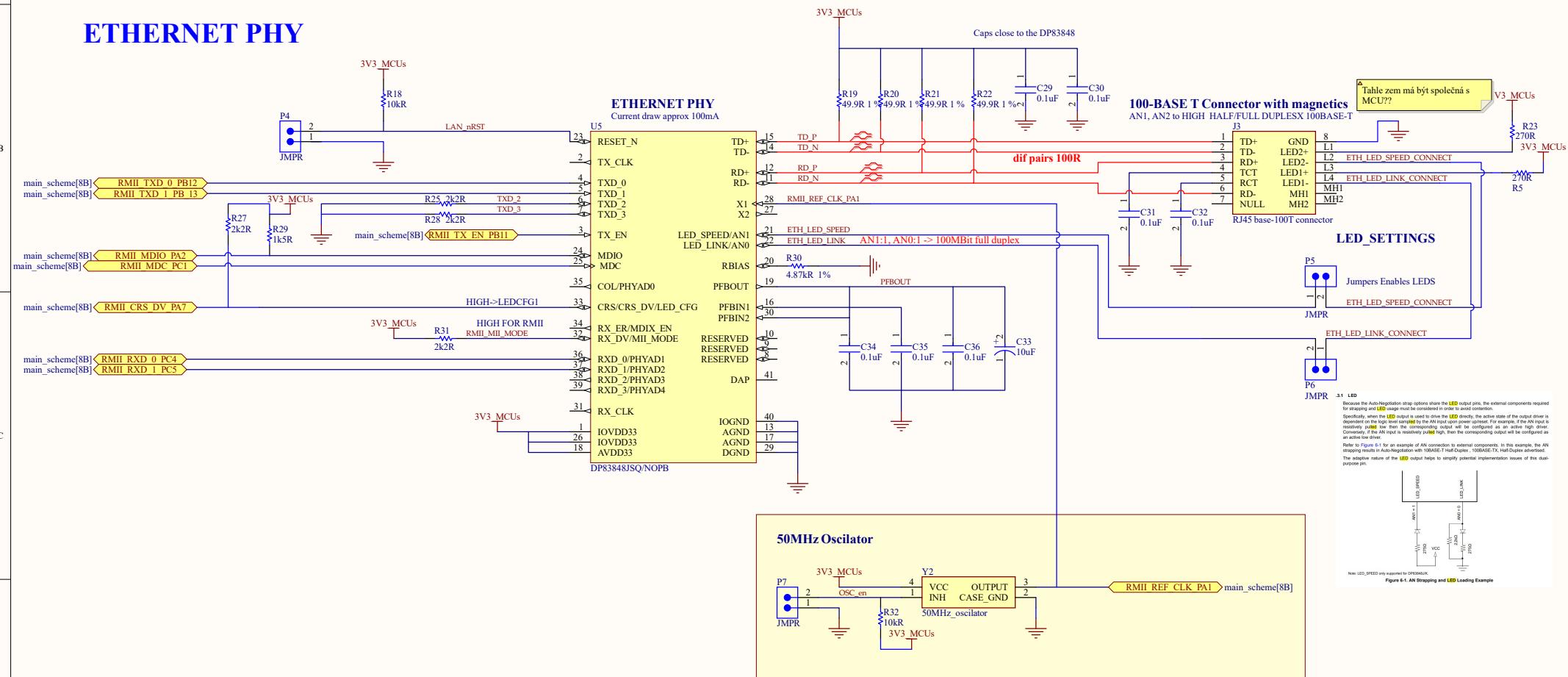
Title		
Size	Number	Revision
A3		
Date: 12.08.2022	Sheet of	
File: C:\Users\...\POWER.SchDoc	Drawn By:	

B Schéma Ovládací karty

SYSTEM TOP LEVEL VIEW

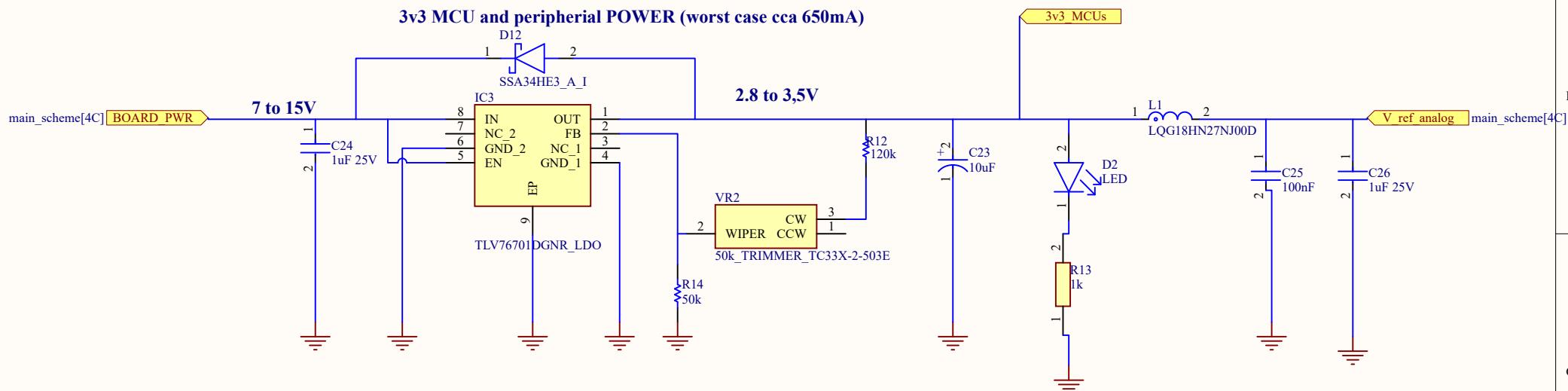


ETHERNET PHY



Title		
Size	Number	Revision
A3		
Date:	12.13.2022	Sheet of
File:	C:\Users\.\Ethernet.SchDoc	Drawn By:

POWER - REGULATORS



Title		
Size A4	Number	Revision
Date: 12.13.2022		Sheet of
File: C:\Users\.\POWER.SchDoc		Drawn By:

A

A

B

B

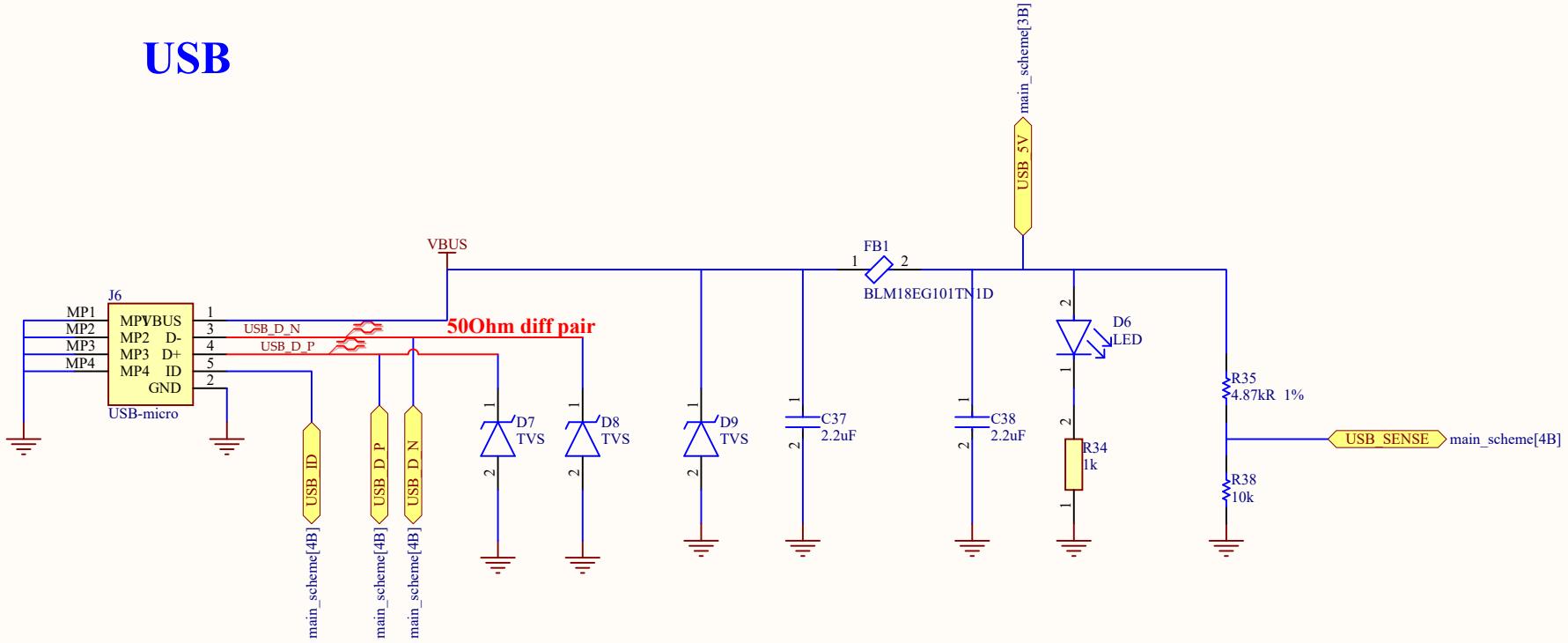
C

C

D

D

USB



Title

Size
A4

Number

Revision

Date:
12.13.2022
File:
C:\Users\.\USB.SchDocSheet of
1
Drawn By: