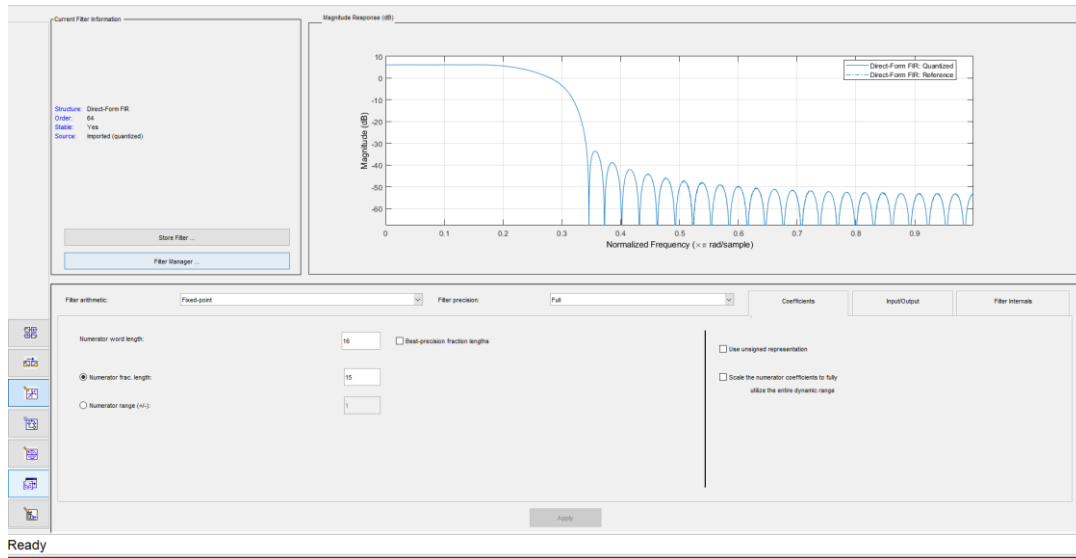


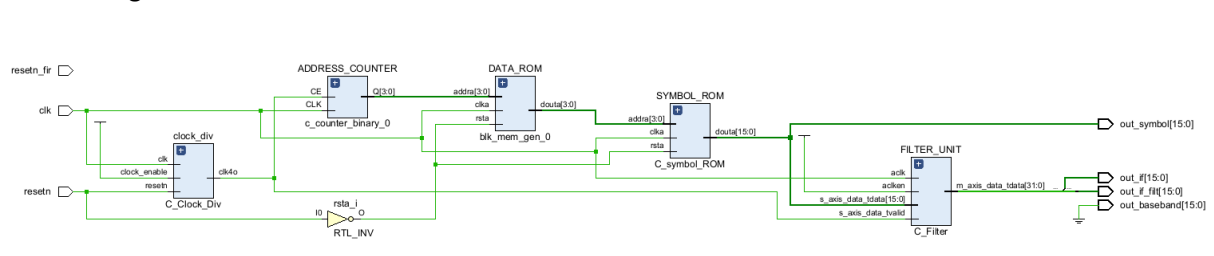
Implementace RRC filtru.

Návrh filtru v Matlabu:

```
beta = 0.35;
nsym = 16;
sps = 4;
rccFilter = rcosdesign(beta,nsym,sps);
```



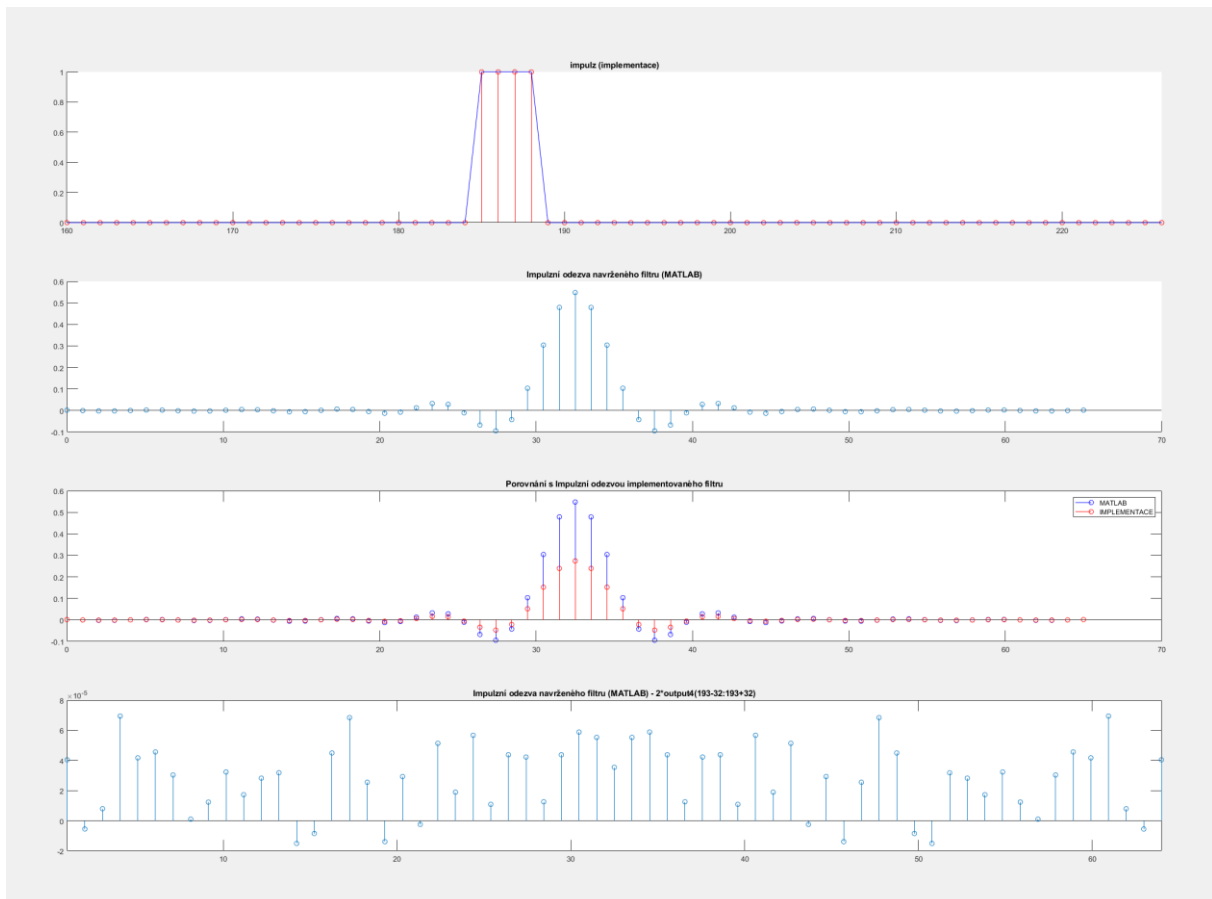
FPGA design:



Simulace

V simulaci jsem musel provést několik změn (kvůli nekompatibilitě verzí VIVADO). Z `C_Clock_div` byly odebrány nepotřebné dělicí poměry a pro dělicí poměr $\frac{1}{4}$ byla implementace mírně pozměněna.

Výsledkem simulace je pak následující průběh. Zde se impulzní odezva liší oproti navržené pouze v amplitudě a to tak, že implementovaný návrh má přibližně 2x menší amplitudu (to bude asi nějakým bitovým posuvem, nejsem si však jistý kde ?). Na posledním obrázku je znázorněn rozdíl: $H_{\text{MATLAB}} - 2 * H_{\text{FPGA}}$.



Obdobně jako v předchozím úkolu je projekt příliš velký a tak můžete použít tento odkaz ke stažení projektu z mého github repozitáře.

[ctvrtak_letni_semestr/miks_bpsk_rrc_clean.zip](https://github.com/FilipPaul/ctvrtak_letni_semestr) at main · FilipPaul/ctvrtak_letni_semestr (github.com)