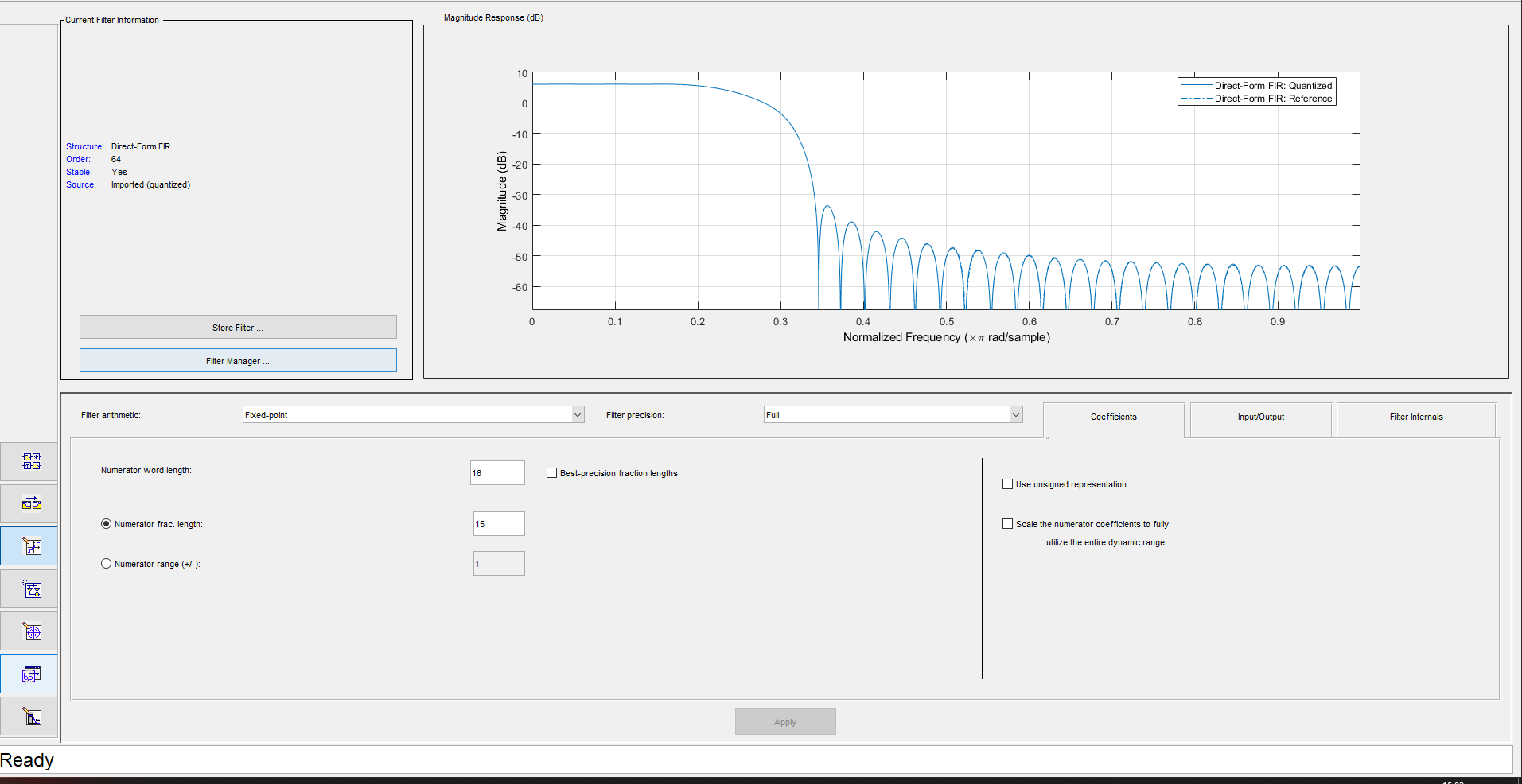
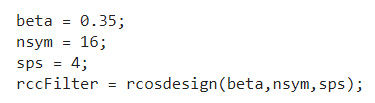
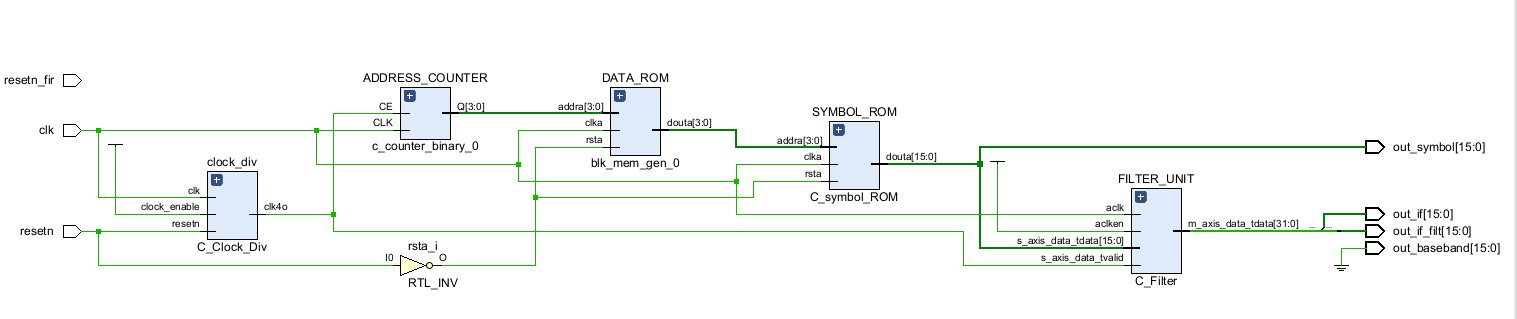
**MKC-IKS úkol č. 5: Filip Paul**

**Implementace RRC filtru.**

Návrh filtru v Matlabu:



FPGA design: 

Simulace

V simulaci jsem musel provést několik změn (kvůli nekompatibilitě verzí VIVADO). Z C\_Clock\_div byly odebrány nepotřebné dělící poměry a pro dělící poměr ¼ byla implementace mírně pozměněna.

Výsledkem simulace je pak následující průběh. Zde se impulzní odezva liší oproti navržené pouze v amplitudě a to tak, že implementovaný návrh má přibližně 2x menší amplitudu (to bude asi nějakým bitovým posuvem, nejsem si však jistý kde ?). Na posledním obrázku je znázorněn rozdíl: H\_MATLAB – 2\* H\_FPGA.

