



Instituto Superior de Engenharia

Politécnico de Coimbra

Sistemas Digitais

**CTeSP Tecnologias e Programação de Sistemas de Informação
(Cantanhede)**

Professor: João Leal

joao.leal@isec.pt

Síntese de Circuitos Sequenciais



**Instituto Superior
de Engenharia**

Politécnico de Coimbra

- O processo de síntese consiste em projetar um circuito sequencial a partir de um determinado conjunto de especificações.
- À semelhança do que se verificou para o processo de análise, também a síntese de um circuito sequencial é constituída por vários passos, os quais são apresentados em seguida.

Síntese de Circuitos Sequenciais

1º passo – Obter o diagrama de estados

Depois de compreendido o enunciado do problema (que contém as referidas especificações), o primeiro passo na síntese de um circuito sequencial, é desenhar o diagrama de estados.

2º passo – Obter a tabela de transição de estados

Depois de desenhado o diagrama de estados, obtém-se a **tabela de transição** de estados. Como habitualmente:

- Nas colunas da esquerda figuram o estado atual e as entradas;
- Nas colunas da direita figuram o estado seguinte e as saídas (correspondentes aos estado atual).

3º passo – Eliminar estados redundantes

Por vezes, num diagrama de estados (ou tabela de transição), verifica-se que alguns dos estados são equivalentes, o que permite realizar algumas simplificações. Com efeito, se dois estados **A** e **B**, para todas as combinações das entradas tiverem saídas iguais e os estados seguintes forem os mesmos, então são o mesmo estado.

4º passo – Codificar os estados

Apesar de inicialmente se utilizarem letras para representar os **estados**, estes últimos não são mais do que o conjunto dos valores das saídas dos *Flip-Flops*.

Por este motivo, há que atribuir-lhes valores binários → essa atribuição designa-se por **codificação de estados**.

Síntese de Circuitos Sequenciais

Existem algumas regras que tendem a simplificar a implementação do circuito final, como sejam:

- **Regra 1:** Atribuir códigos adjacentes a estados que para as mesmas entradas têm o mesmo estado seguinte.
- **Regra 2:** Atribuir códigos adjacentes a estados que são estados seguintes do mesmo estado. Se possível fazer coincidir a parte da codificação que varia com o valor da entrada que provoca a chegada a esse estado.

Síntese de Circuitos Sequenciais



Instituto Superior
de Engenharia

Politécnico de Coimbra

5º passo – Obter a tabela de transição com estados codificados

Substituir na tabela de transição anterior as letras que representavam os estados pelos respectivos códigos binários.

Síntese de Circuitos Sequenciais



Instituto Superior
de Engenharia
Politécnico de Coimbra

6º passo – Determinar as funções de excitação dos *Flip-Flops* (*Descodificador de Estado Seguinte*) e as funções lógicas das saídas (*Descodificador de Saída*) na forma simplificada

Esta simplificação faz-se mediante a utilização de mapas de Karnaugh.

7º passo – Desenhar o diagrama lógico do circuito

Exemplo



Instituto Superior
de Engenharia

Politécnico de Coimbra

Pretende-se implementar um circuito que detete uma sequência de três **1's** na sua entrada **E**, ao longo de três impulsos consecutivos de relógio.

Se tal acontecer, o circuito deve produzir de imediato uma saída **S=1** que deverá manter-se até surgir o quarto impulso do relógio. Nesta altura o circuito deverá reiniciar a deteção de nova sequência.

Exemplo



Instituto Superior
de Engenharia

Politécnico de Coimbra

1º – Diagrama de estados (**MOORE**)

Estado	O que representa
A	Ainda não foi detetado nenhum 1
B	Foi detetado um 1
C	Foram detetados dois 1s
D	Foram detetados três 1s

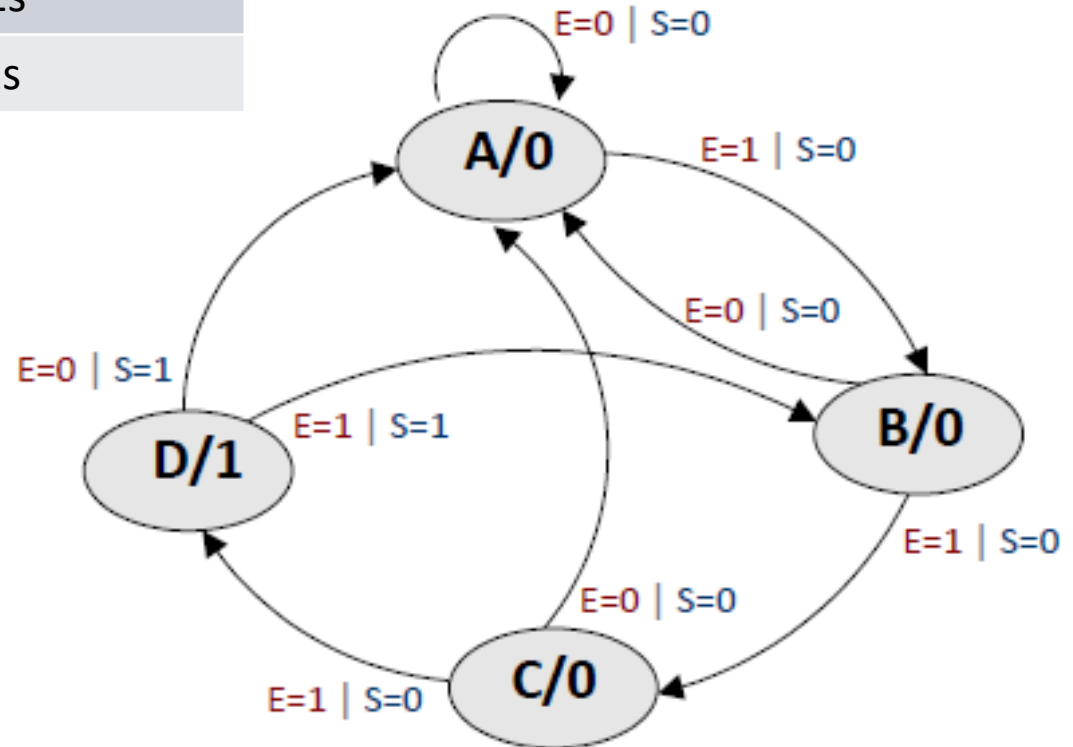
Exemplo



Instituto Superior
de Engenharia

Politécnico de Coimbra

Estado	O que representa
A	Ainda não foi detetado nenhum 1
B	Foi detetado um 1
C	Foram detetados dois 1s
D	Foram detetados três 1s



Exemplo



Instituto Superior
de Engenharia

Politécnico de Coimbra

2º – Tabela de transição de estados

Estado actual	Entrada E	Estado Seguinte	Saída S
A	0	A	0
A	1	B	0
B	0	A	0
B	1	C	0
C	0	A	0
C	1	D	0
D	0	A	1
D	1	B	1

Exemplo



Instituto Superior
de Engenharia

Politécnico de Coimbra

3º – Eliminar estados redundantes

Não existem estados redundantes uma vez que, apesar de **A** e **D** terem os mesmos estados seguintes para os mesmos valores da entrada, têm saídas diferentes.

Exemplo



Instituto Superior
de Engenharia

Politécnico de Coimbra

4º – Codificar os estados

A e **D** são estados que para as mesmas entradas têm estados seguintes iguais. Pela regra 1 devem ter códigos adjacentes.

A e **B** são estados seguintes do mesmo estado, assim como **A** e **C**, e **A** e **D**. Pela regra 2 devem ter códigos adjacentes entre si.

Com **A**=00, **B**=01, **C**=10 e **D**=11, consegue-se que **A** e **B** sejam adjacentes, e **A** e **C** também (mas já não se consegue que **A** seja adjacente a **D**).

Exemplo



5º – Tabela de transição com estados codificados

Através do estado atual e do estado seguinte pretendido, determinam-se os valores a aplicar às entradas J e K dos Flip-Flops (*consultando tabela de excitação do JK*).

$Q_n \rightarrow Q_{n+1}$		J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

Estado actual $Q_B^n \quad Q_A^n$		Entrada E	Entrada dos FFs: $J_B \quad K_B \quad J_A \quad K_A$				Estado Seguinte $Q_B^{n+1} \quad Q_A^{n+1}$	Saída S
0	0	0	0	X	0	X	0 0	0
0	0	1	0	X	1	X	0 1	0
0	1	0	0	X	X	1	0 0	0
0	1	1	1	X	X	1	1 0	0
1	0	0	X	1	0	X	0 0	0
1	0	1	X	0	1	X	1 1	0
1	1	0	X	1	X	1	0 0	1
1	1	1	X	1	X	0	0 1	1

Exemplo



Instituto Superior
de Engenharia

Politécnico de Coimbra

6º – Funções de excitação dos *Flip-Flops* e funções lógicas das saídas na forma simplificada

Descodificador de Estado Seguinte

Recorrendo a mapas de Karnaugh, obtêm-se as funções lógicas aplicadas às entradas dos Flip-Flops na forma pretendida:

J_B

	Q_A			
	0	0	1	0
Q_B	X	X	X	X
	E			

$$J_B = Q_A \cdot E$$

K_B

	Q_A			
	X	X	X	X
Q_B	1	0	1	1
	E			

$$K_B = Q_A + \bar{E}$$

Exemplo



Instituto Superior
de Engenharia

Politécnico de Coimbra

J_A

	Q_A			
Q_B	0	1	X	X
	0	1	X	X
	E			

$$J_A = E$$

K_A

	Q_A			
Q_B	X	X	1	1
	X	X	0	1
	E			

$$K_A = \bar{Q}_B + \bar{E}$$

Descodificador de Saída

A função lógica da saída obtém-se da mesma forma:

S

	Q_A			
Q_B	0	0	0	0
	0	0	1	1
	E			

$$S = Q_A \cdot Q_B$$

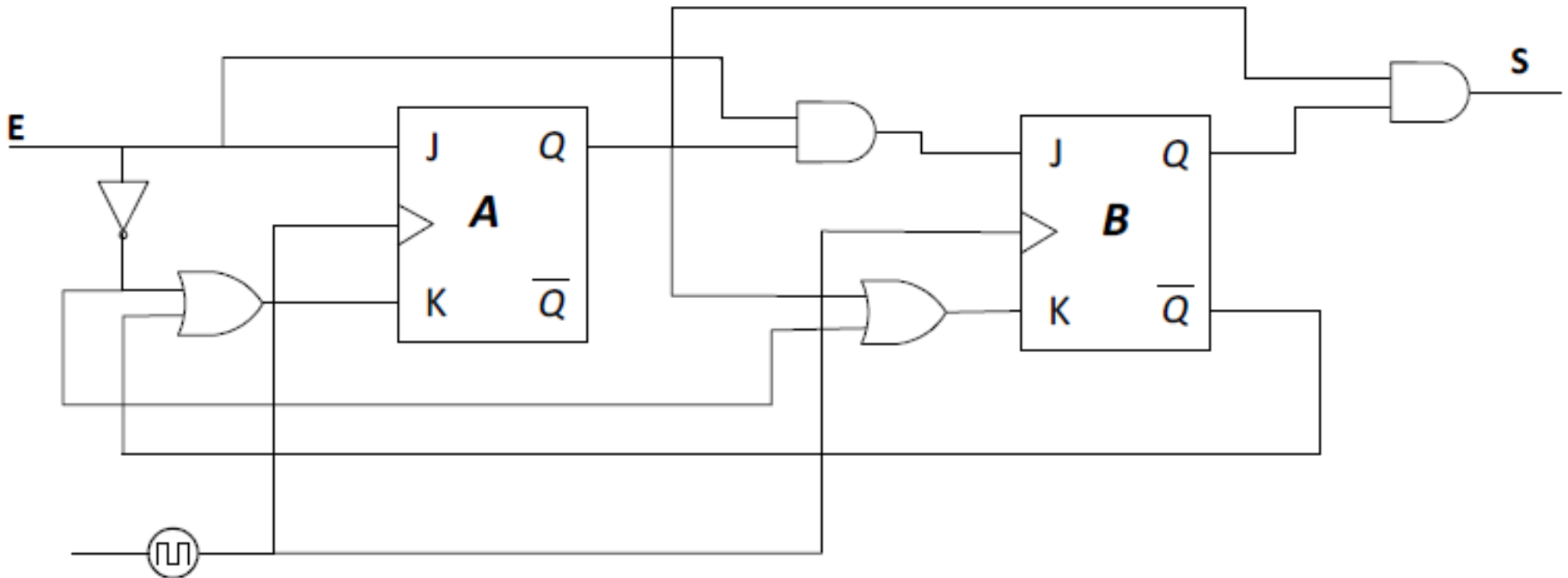
Exemplo



Instituto Superior
de Engenharia

Politécnico de Coimbra

7º – Diagrama lógico do circuito



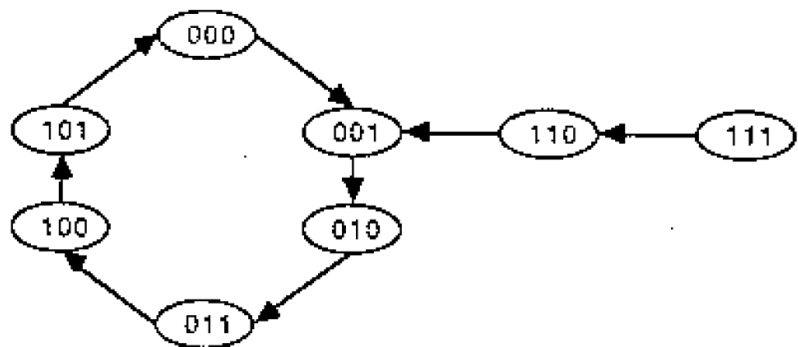
- No caso dos circuitos em que o número de *Flip-Flops* possibilita mais estados do que os efetivamente usados na sequência principal, tem que haver um método que garanta que um estado dessa sequência é sempre alcançado.
- O processo de **auto-correcção** consiste em projetar o circuito de modo a que um estado da sequência principal seja atingido ao fim de x impulsos de relógio.

Auto-Correção

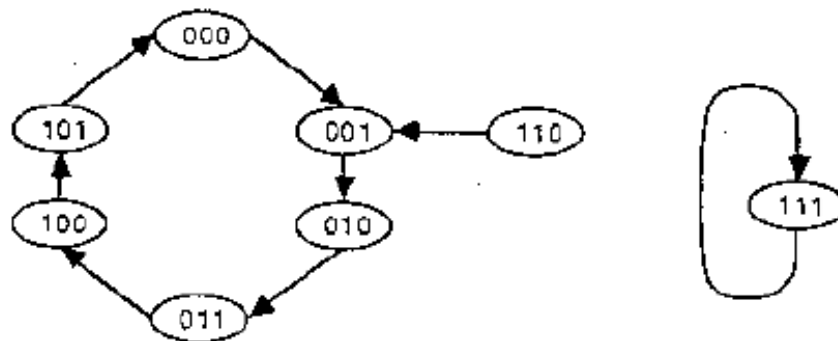


Instituto Superior
de Engenharia

Politécnico de Coimbra



Circuito auto-corretor



Circuito não auto-corretor

Para projetar um **circuito auto-corretor** existem duas hipóteses:

1ª: Logo à partida, desenhar um Diagrama de Estados (e respetiva Tabela de Transição) em que aos estados não pertencentes à sequência principal se faz corresponder um estado seguinte que pertença a essa mesma sequência.

- *A solução anterior **não é ótima porque se está a obrigar cada estado a evoluir**, de forma aleatória, para um determinado estado seguinte, apenas com o intuito de garantir uma entrada na sequência principal.*
- *O **circuito Descodificador de Estado Seguinte** pode ser bastante mais complexo.*

2ª (a mais adequada): Desenhar o diagrama de estados e verificar a existência de ciclos indesejáveis (sequências fechadas que não a principal).

- *Caso existam, substituir alguns **X** por **0's** e **1's** num dos Mapas de Karnaugh usados para sintetizar o Descodificador de Estado Seguinte, de modo a que um ou vários estados “excedentes” passem a evoluir para um estado da sequência principal.*
- *Feita esta alteração, **verificar o que acontece aos outros estados excedentes**. Eventualmente, como consequência das alterações anteriores, todos poderão estar já “corrigidos”. Se isso não acontecer, voltar ao primeiro passo e repetir o procedimento.*

Os **contadores** são uma classe particular de circuitos sequenciais que possuem as seguintes características:

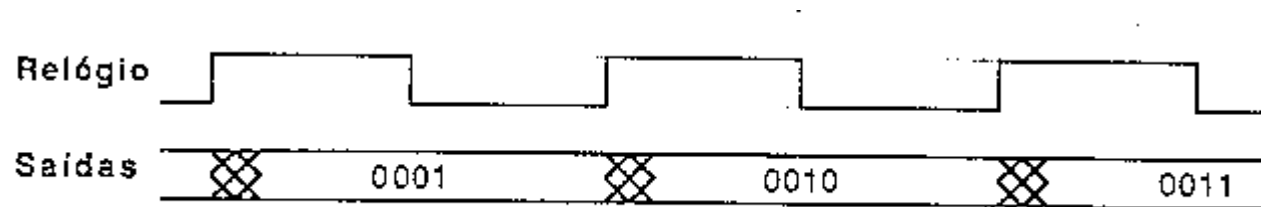
- Os **mais simples não têm entradas externas** (para além da entrada de relógio);
- Seguem uma **sequência fixa de estados**;
- Nos circuitos mais complexos **podem existir entradas externas para determinar o sentido da contagem, parar a contagem, inicializar a contagem com um dado valor, etc...**

Os **contadores** podem ser utilizados com as seguintes finalidades:

Contagem de impulsos

Nesta situação, as saídas do contador percorrem os estados sucessivos de uma sequência de contagem pré-determinada.

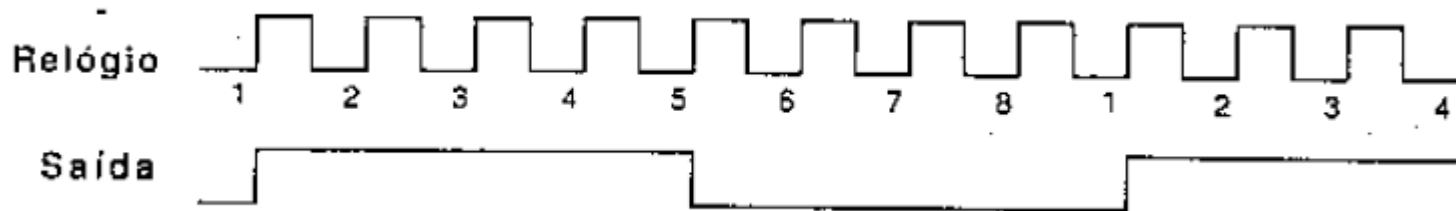
Exemplo de um contador binário de 4 *bits*:



Divisão de frequência

Neste caso, é produzida uma saída cuja frequência é um submúltiplo da frequência do relógio.

*Exemplo de um circuito **divisor por 8** (1 período da saída = 8 períodos do relógio):*



Geração de formas de onda faseadas

Neste caso, são produzidos vários sinais de relógio desfasados entre si, mas contidos dentro de um “período global”.

Este tipo de sinais desfasados são normalmente usados em circuitos síncronos constituídos por diversos dispositivos e em que se pretende que cada um deles seja accionado por um relógio diferente.

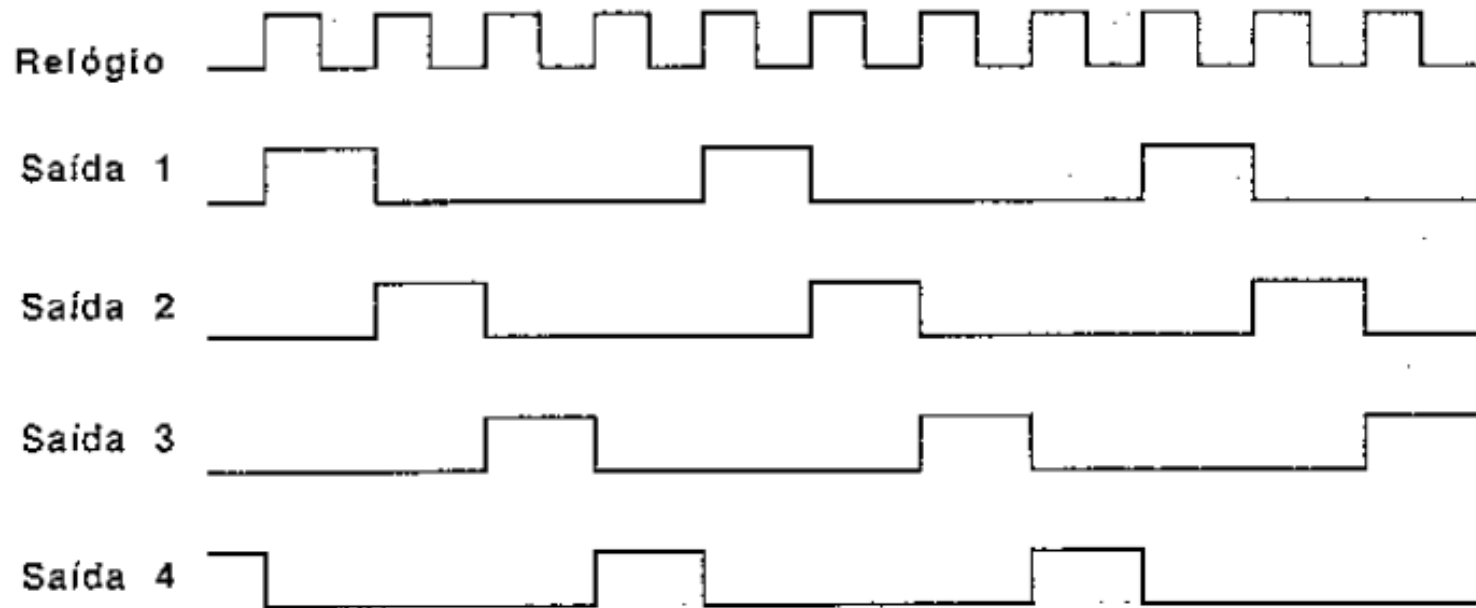
Contadores



Instituto Superior
de Engenharia

Politécnico de Coimbra

Exemplo de ondas geradas neste tipo de aplicação:



Tipos de Contadores



Instituto Superior
de Engenharia
Politécnico de Coimbra

Podem classificar-se os contadores como sendo **uni-modo** ou **multi-modo**:

- Os contadores **uni-modo** não têm entradas externas, para além da entrada de relógio, limitando-se a percorrer a sua sequência de contagem;
- Os contadores **multi-modo** têm entradas externas, de controlo, que permitem seleccionar a sequência de contagem (ex: *up/down*), parar a contagem, inicializar o contador com um valor fornecido externamente (*load*), ou anular o estado do contador (*clear*).

Tipos de Contadores



Instituto Superior
de Engenharia

Politécnico de Coimbra

Podem ainda classificar-se como **assíncronos** ou **síncronos**.

- Os contadores **assíncronos** são constituídos por vários *Flip-Flops* interligados, em que apenas o primeiro destes tem a sua entrada de relógio ligada ao relógio externo.

Tipos de Contadores

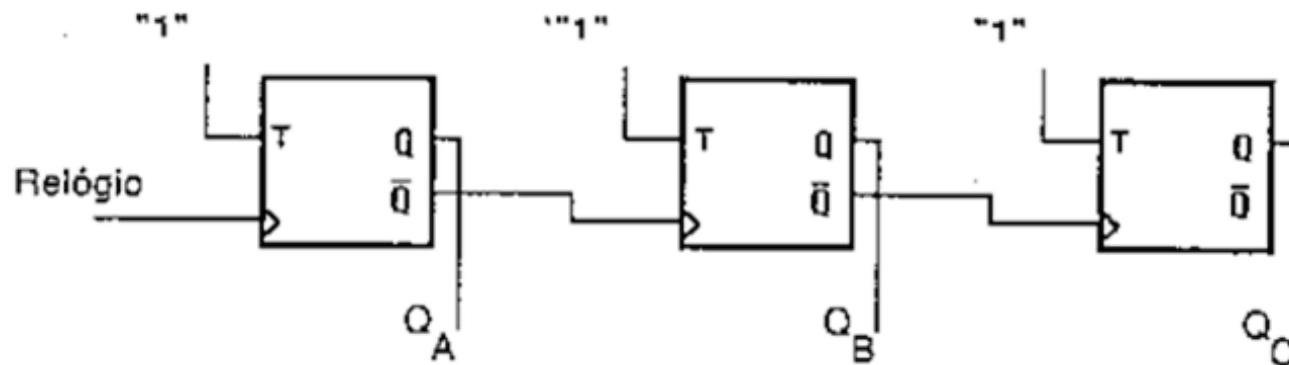


Instituto Superior
de Engenharia
Politécnico de Coimbra

É uma das saídas deste *Flip-Flop* que vai servir de entrada de relógio ao *Flip-Flop* seguinte, a saída deste último será, por sua vez, a entrada de relógio do seguinte, e por aí fora, até ao último *Flip-Flop* do contador.

Estes contadores também se designam por contadores ***Ripple*** ou **Ondulantes**.

Exemplo:



Contador ascendente de 3 bits

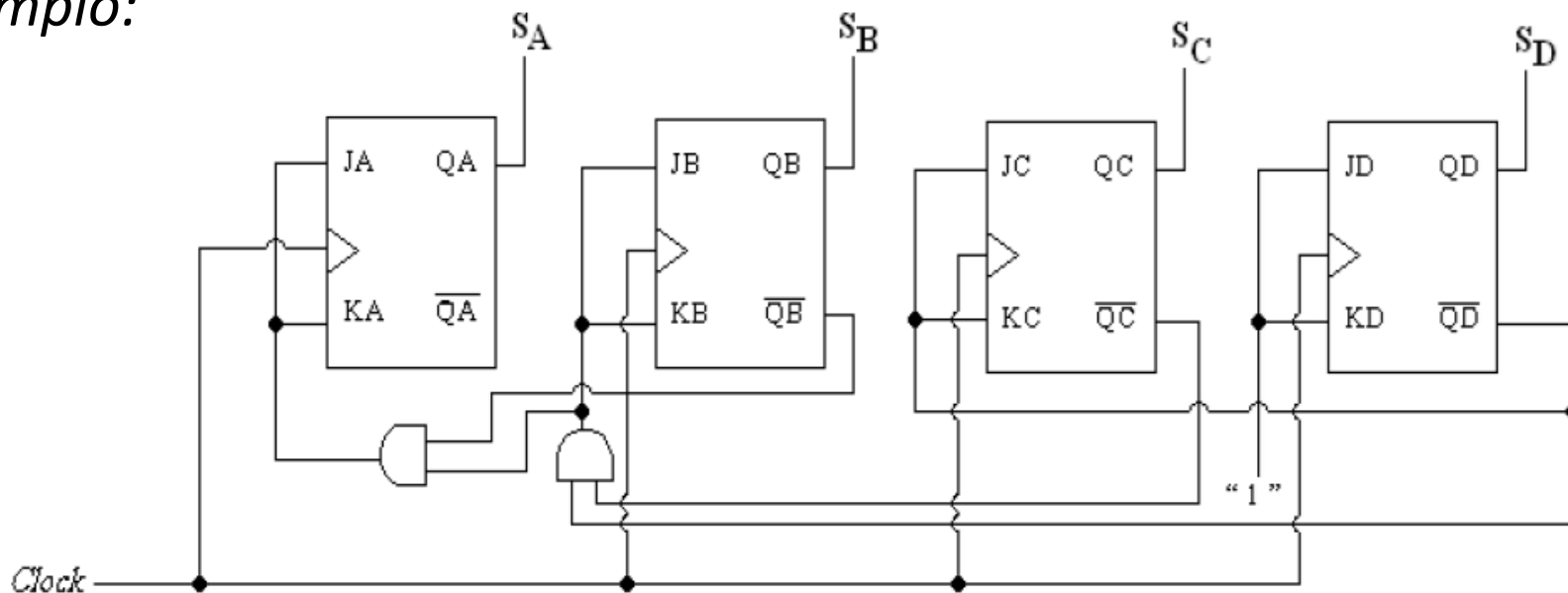
Tipos de Contadores



Instituto Superior
de Engenharia
Politécnico de Coimbra

- Os contadores **síncronos**, são aqueles em que os vários *Flip-Flops* são controlados, em simultâneo, pelo mesmo sinal de relógio.

Exemplo:



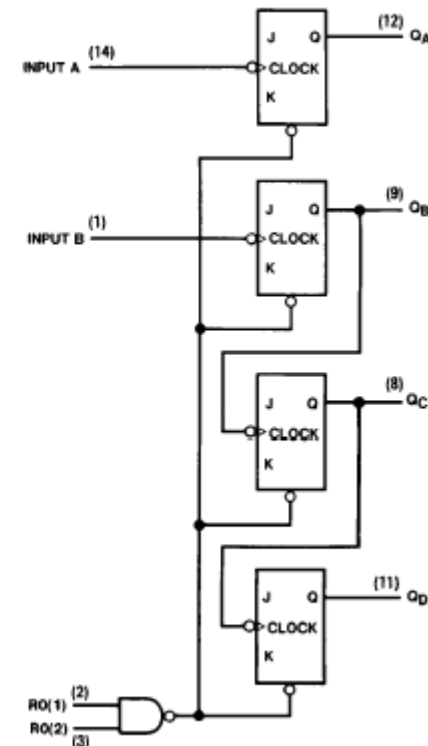
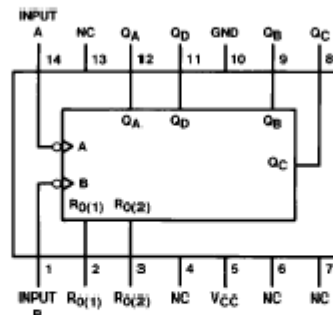
Efetua a contagem ... 8, 0, 15, 7, 11, 3, 13, 5, 9, 1, 14, 6, 10, 2, 12, 4, 8, 0, ...

Contadores

Contadores disponíveis sob a forma de CIs

Circuito comercial 7493A, 74LS93 – *Ripple-clock binary counters*

Count	Outputs			
	Q _D	Q _C	Q _B	Q _A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

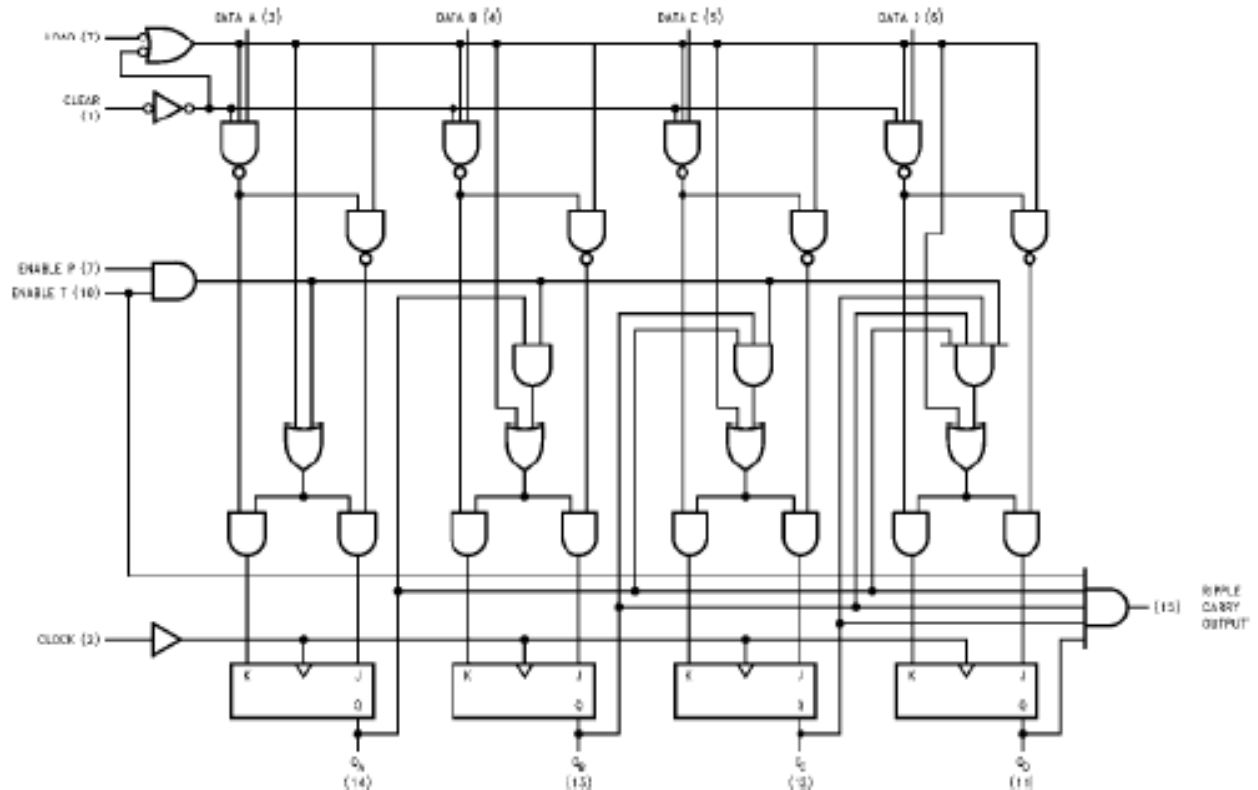
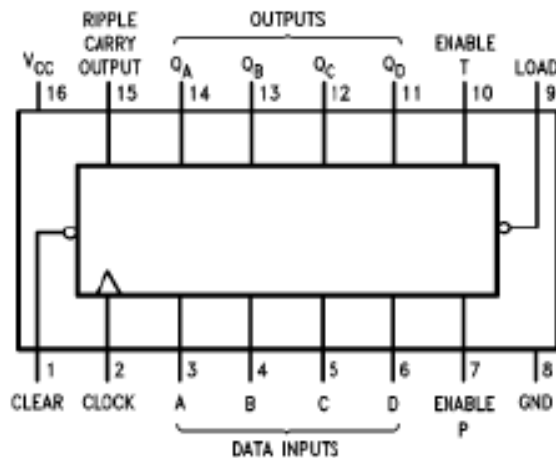


Contadores



Instituto Superior
de Engenharia
Politécnico de Coimbra

Circuito comercial 74163, 74LS163, 74S163 – Synchronous 4-bit binary counter - ripple carry output



Características:

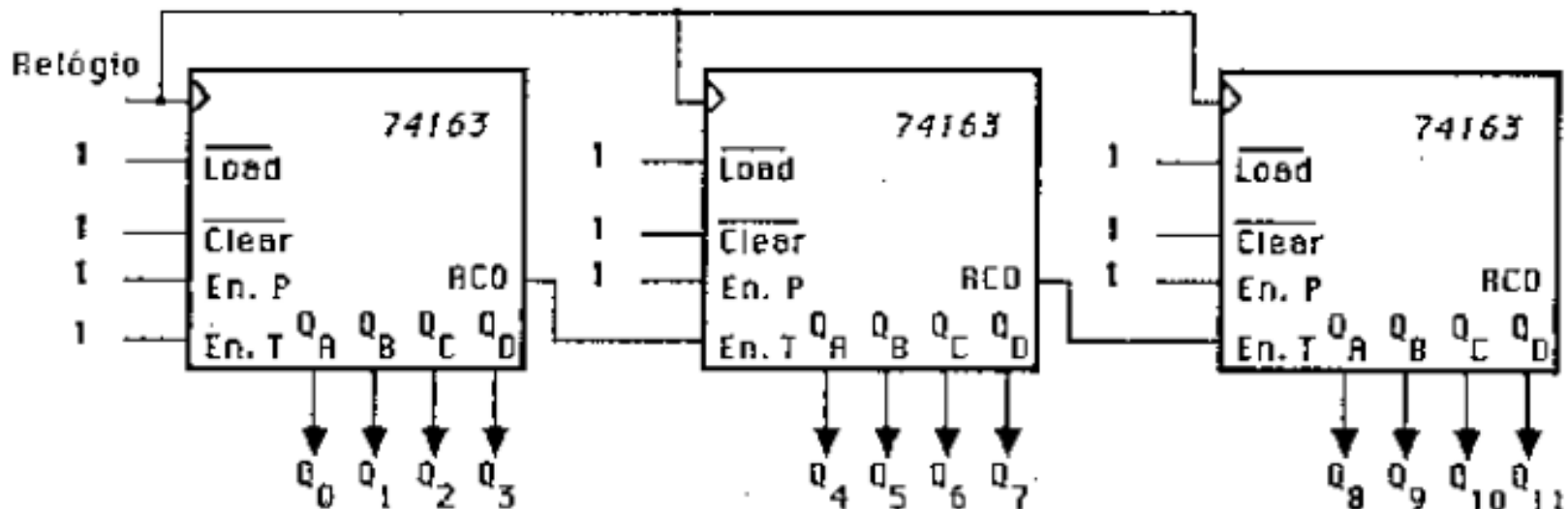
- É um contador binário síncrono, de 4 *bits*;
- Tem uma saída de ***ripple-carry***, que é colocada a **1** quando o contador passa pelo estado **1111**. Esta saída é que permite a ligação em cascata de vários contadores;
- Tem duas entradas **enable P** e **enable T** que precisam de estar ativas (ao nível alto) para que se efetue a contagem. A segunda das entradas também tem que estar ativa para permitir a saída de ***ripple-carry***;

Contadores

- Pode ser carregado com um valor inicial através de 4 entradas de dados (**A**, **B**, **C** e **D**) e de uma entrada de controlo **LOAD** (ativa ao nível baixo).
- A ativação do **LOAD** desativa a contagem, mas como é uma entrada síncrona, os valores presentes em **A**, **B**, **C** e **D** só serão transferidos para as saídas **QA**, **QB**, **QC** e **QD**, quando ocorrer a próxima transição do relógio;
- Possui uma entrada síncrona de **CLEAR** (ativa ao nível baixo) que permite colocar as saídas do contador a **0000**, quando ocorrer a próxima transição do relógio.

Expansão de Contadores Síncronos

Os contadores síncronos, como o 74163, já estão preparados para poderem ser associados (sem necessidade de lógica adicional externa).



Nota: A entrada **Enable T** tem que estar activa para se produzir o **Ripple Carry Output** (que por sua vez entra no **Enable T** do contador seguinte).



**Instituto Superior
de Engenharia**

Politécnico de Coimbra

Questions?