



Instituto Superior de Engenharia

Politécnico de Coimbra

Sistemas Digitais

**CTeSP Tecnologias e Programação de Sistemas de Informação
(Cantanhede)**

Professor: João Leal

joao.leal@isec.pt

Revisão...



Instituto Superior
de Engenharia

Politécnico de Coimbra

- Os circuitos básicos de memória podem ser classificados em:
 - Latches
 - Flip-flops.
- Os **latches** mudam as saídas imediatamente após uma variação nas entradas (diz-se que as saídas são transparentes).
- Os **flip-flops** mudam as saídas apenas quando há uma variação do relógio.

Revisão...

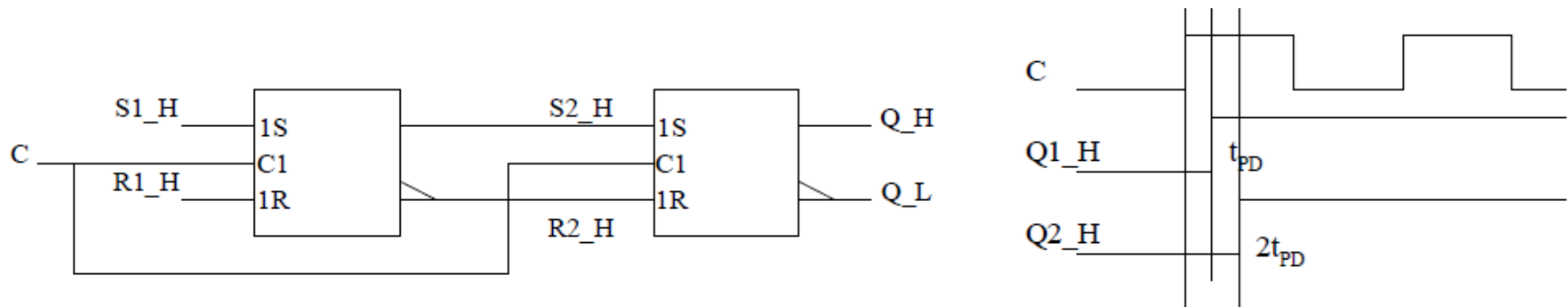


Instituto Superior
de Engenharia

Politécnico de Coimbra

- Se as entradas de um latch mudam enquanto o relógio está a 1, o seu estado muda imediatamente. Esta mudança pode implicar novas mudanças de estado noutros latches, o que pode originar uma sequência imprevisível de mudanças de estado no circuito.

Exemplo: $(S1=0, R1=0) \rightarrow (S1=1, R1=0)$:



A ordem de SET ($S1=1, R1=0$) propaga-se no mesmo ciclo de relógio ao 2º latch!

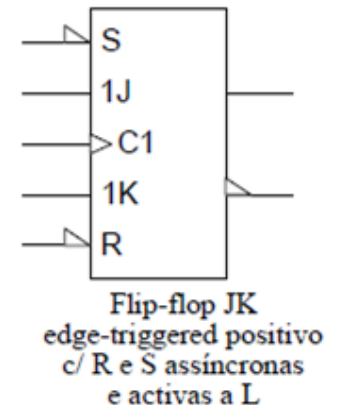
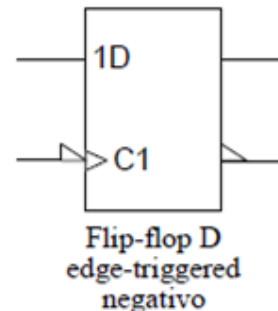
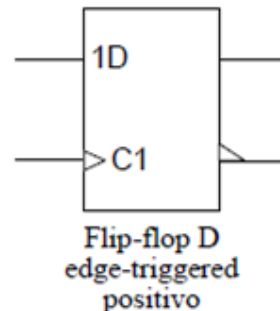
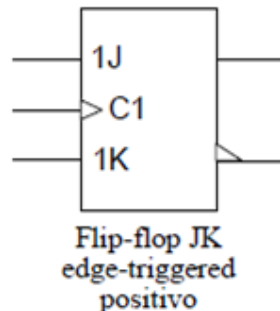
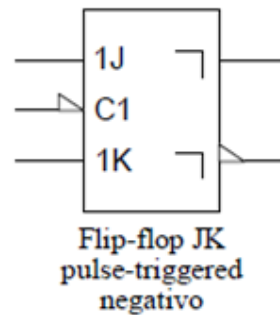
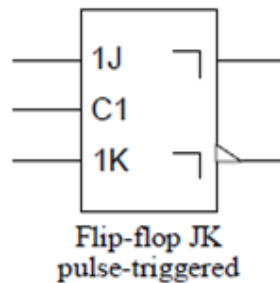
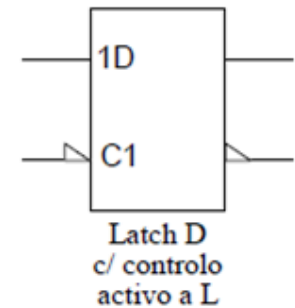
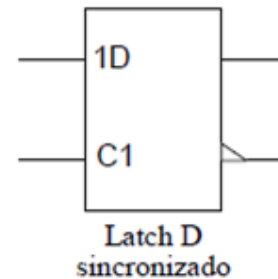
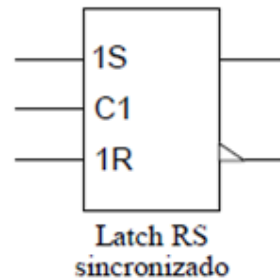
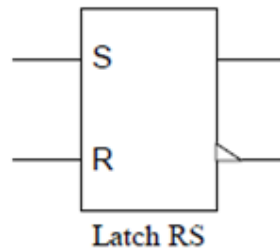
Revisão...



**Instituto Superior
de Engenharia**

Politécnico de Coimbra

- Simbologia:

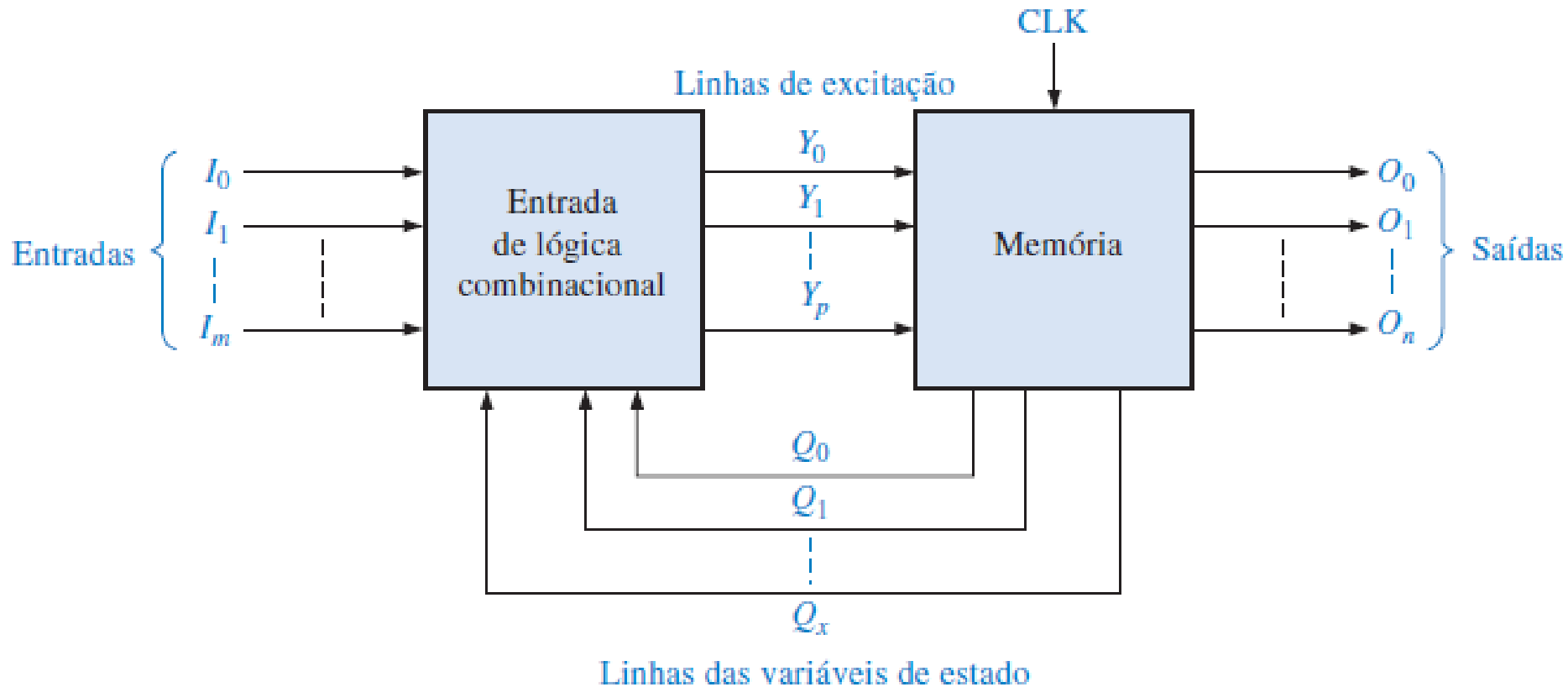


Circuitos Sequenciais



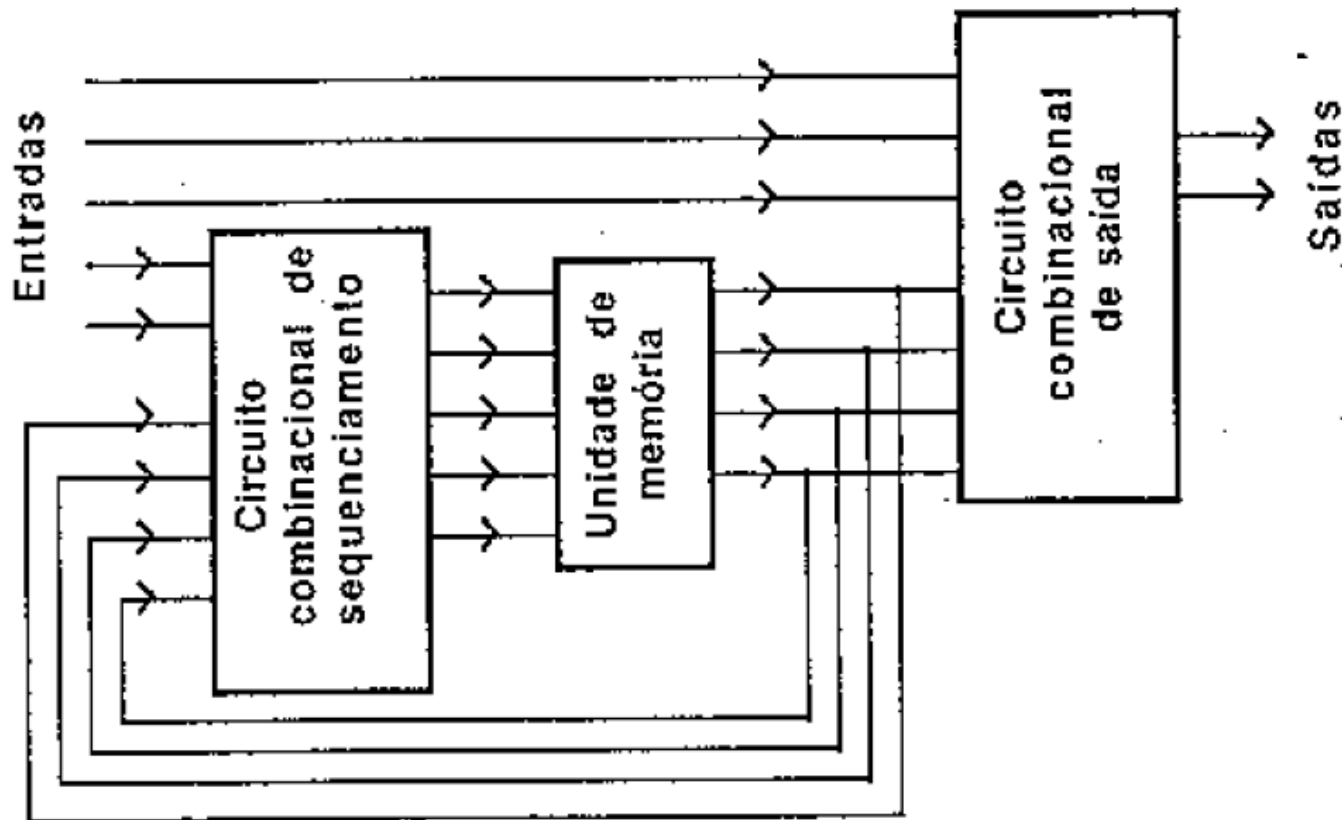
Instituto Superior
de Engenharia

Politécnico de Coimbra



Modelo Geral dos Circuitos Sequenciais

Um **circuito sequencial** é constituído por uma **componente de memória** e por uma **componente combinacional**:



Modelo Geral dos Circuitos Sequenciais

- A componente de memória designa-se por **Unidade de Memória**, e é constituída por um conjunto de *Flip-Flops* (células de memória).
- O conjunto das saídas de todas as células de memória constitui o **estado** de um circuito sequencial.

Modelo Geral dos Circuitos Sequenciais

- O **número de estados** depende do número de *Flip-Flops* que o circuito contém:
 - Como cada *Flip-Flop* tem dois estados possíveis ($Q=0$ ou $Q=1$), o número total de estados é 2^n , sendo n o número de *Flip-Flops* do circuito.
- Designam-se por **variáveis de estado**, as saídas da Unidade de Memória (uma variável por cada saída de um *Flip-Flop*).

Modelo Geral dos Circuitos Sequenciais

No modelo geral de um circuito sequencial, define-se:

- **Descodificador de Saída** - é o circuito combinacional que gera as saídas externas do circuito sequencial;
- **Descodificador de Estado Seguinte** - é o circuito combinacional que gera as entradas para o bloco Unidade de Memória (estas são tais que, aplicadas aos *Flip-Flops*, resultarão numa combinação de variáveis de estado igual ao estado seguinte pretendido).

Análise/ Síntese de Circuitos Sequenciais

Análise de um circuito: é o processo que permite obter uma descrição sobre o funcionamento do circuito, através do exame do seu diagrama lógico.

Síntese de um circuito: é o processo que, a partir da descrição do funcionamento pretendido para o circuito, permite chegar ao diagrama lógico que traduz esse funcionamento.

Análise de Circuitos Sequenciais

- O funcionamento de um circuito sequencial pode ser representado por:
 - um **Diagrama de Estados**
 - uma **Tabela de Transição** de estados
- O significado de ambas as representações é o mesmo, mas o primeiro é visualmente mais claro.
- Com efeito, num processo de análise o Diagrama de Estados é uma das últimas representações que se obtêm, uma vez que explica claramente o funcionamento do circuito.

Diagrama de Estados

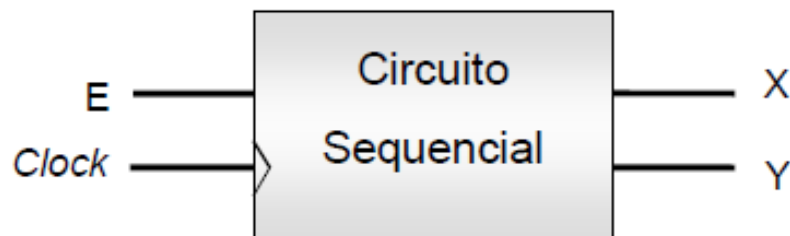
- O Diagrama de Estados representa de forma clara a sequência de **estados** pelos quais o circuito passa em função das **entradas**, e as **saídas** que vai gerando.
- Neste diagrama:
 - os **estados** designam-se por letras (ou códigos binários) dentro de ovais;
 - as **entradas** são apresentadas em etiquetas junto aos arcos que ligam os estados;
 - as **saídas** aparecem ao lado das entradas, separadas destas últimas por uma barra ('/').

Exemplo 1



Considere-se um circuito sequencial com uma única entrada **E** (para além da entrada de relógio), cujo funcionamento é o seguinte:

- Enquanto **E=1**, o circuito percorre a sequência de estados **A,B,C,D,A,...**
- Enquanto **E=0**, o circuito mantém-se no mesmo estado
- As saídas **X** e **Y**, são produzidas de acordo com a tabela seguinte:



Estado	X	Y
A	0	0
B	0	1
C	1	0
D	1	1

Exemplo 1

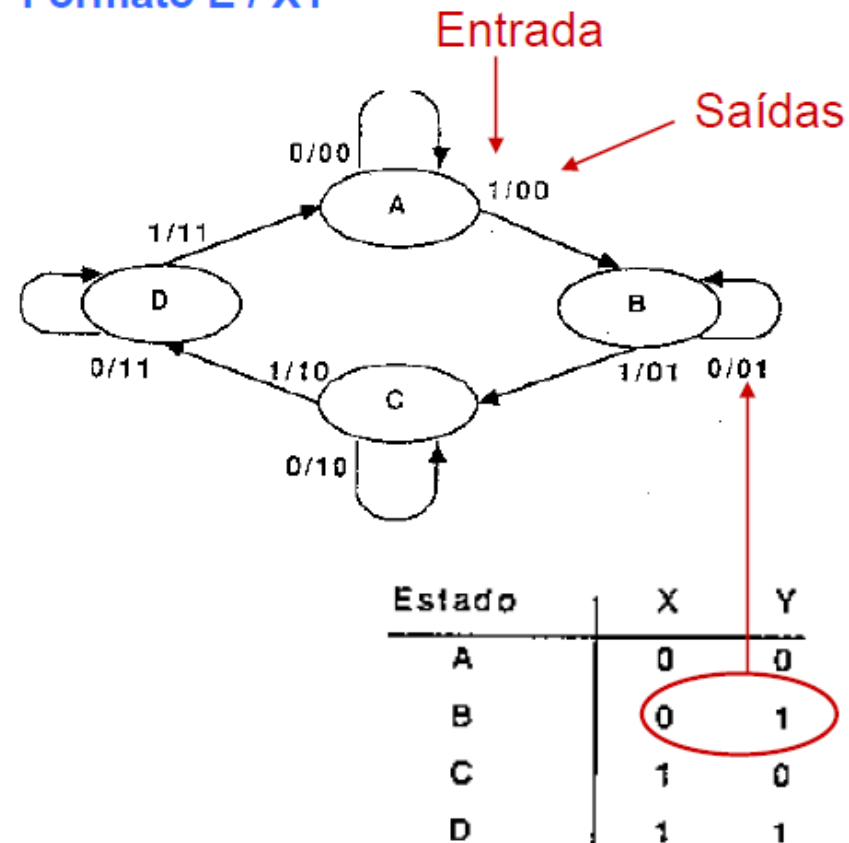


Instituto Superior
de Engenharia
Politécnico de Coimbra

O diagrama de estados é o seguinte:

- Se a entrada for **1**, o circuito passa sempre ao estado seguinte (quando ocorrer a próxima vertente ativa do relógio);
- Se a entrada for **0**, o circuito permanece no estado atual;
- As saídas dependem apenas do estado presente.

Formato E / XY



Exemplo 2



Considere-se um circuito com dois estados **A** e **B**, uma entrada **E** e uma saída **S**, cujo funcionamento é o seguinte:

- No estado **A**, a saída é igual à entrada. Neste caso é necessário usar duas etiquetas para o mesmo estado: se entrada=0 → saída=0; se entrada=1 → saída=1.
- No estado **B**, qualquer que seja a entrada, a saída é 1.
- A transição entre os estados não depende da entrada **E**. (A transição dá-se quando ocorrer a vertente ativa do relógio.)

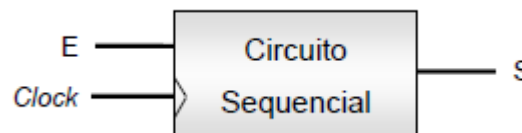
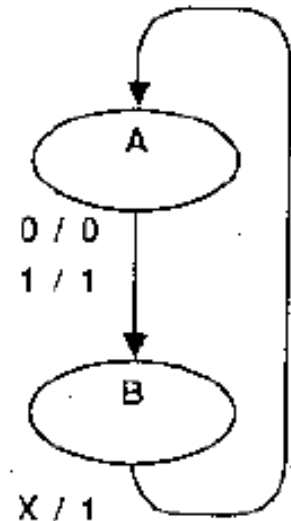


Tabela de Transição



Instituto Superior
de Engenharia
Politécnico de Coimbra

Como foi anteriormente referido, a **Tabela de Transição** é outra das formas de representar o funcionamento de um circuito sequencial.

Esta é composta por 2 grupos de colunas:

Estado
Presente
e Entradas

Estado presente	Entradas	Estado seguinte	Saídas x y	
A	0	A	0	0
A	1	B	0	0
B	0	B	0	1
B	1	C	0	1
C	0	C	1	0
C	1	D	1	0
D	0	D	1	1
D	1	A	1	1

Estado
Seguinte
e Saídas

Tabela de Excitação



Instituto Superior
de Engenharia
Politécnico de Coimbra

- A **Tabela de Excitação** é outra ferramenta utilizada quer na análise quer na síntese de circuitos sequenciais.
- É semelhante à Tabela de Transição mas substitui o Estado Seguinte pelas entradas a aplicar aos *Flip-Flops* para se alcançar esse Estado Seguinte.
- A sua obtenção encontra-se ilustrada nos exemplos seguintes.

Exemplo



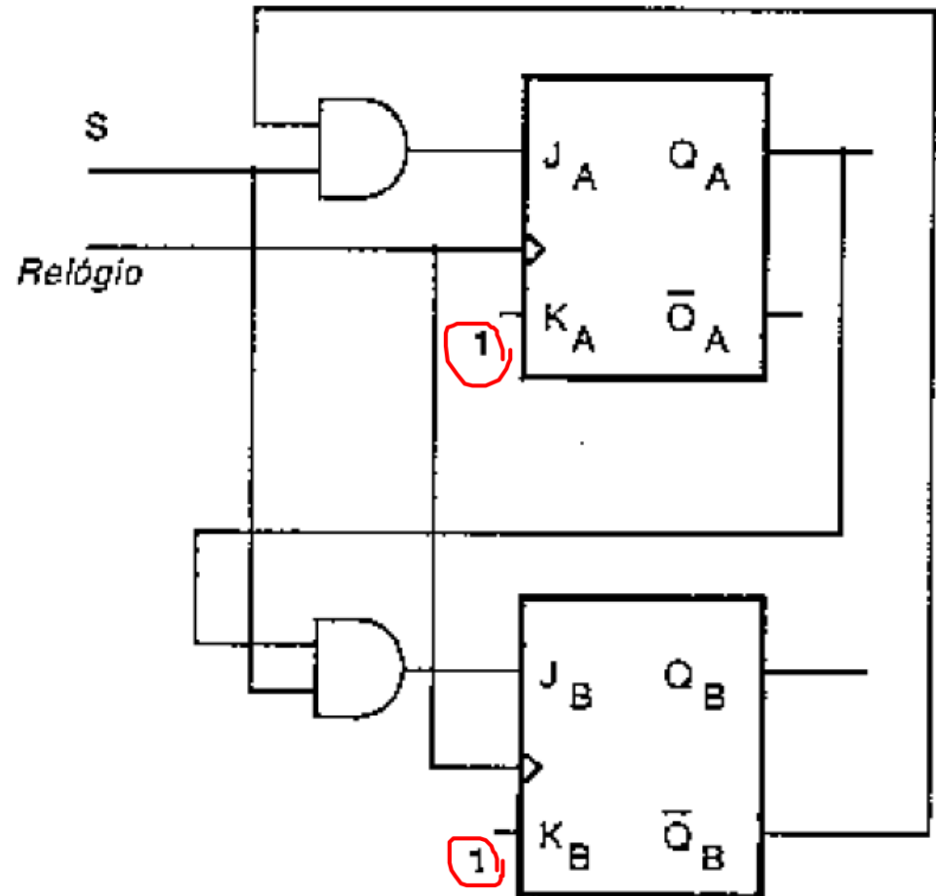
Instituto Superior
de Engenharia

Politécnico de Coimbra

Exemplo 1

Considere-se o circuito da figura seguinte:

- Como funciona?
- O que faz ?



Exemplo



Instituto Superior
de Engenharia
Politécnico de Coimbra

1º Passo: Obter as Funções de Excitação dos *Flip-Flops*

Para tal basta ler do diagrama lógico, as funções lógicas que estão aplicadas às entradas dos *Flip-Flops*.

$$\begin{aligned} J_A &= \overline{Q}_B \cdot S \\ J_B &= Q_A \cdot S \end{aligned}$$

$$\begin{aligned} K_A &= 1 \\ K_B &= 1 \end{aligned}$$

2º Passo: Obter a Tabela de Excitação

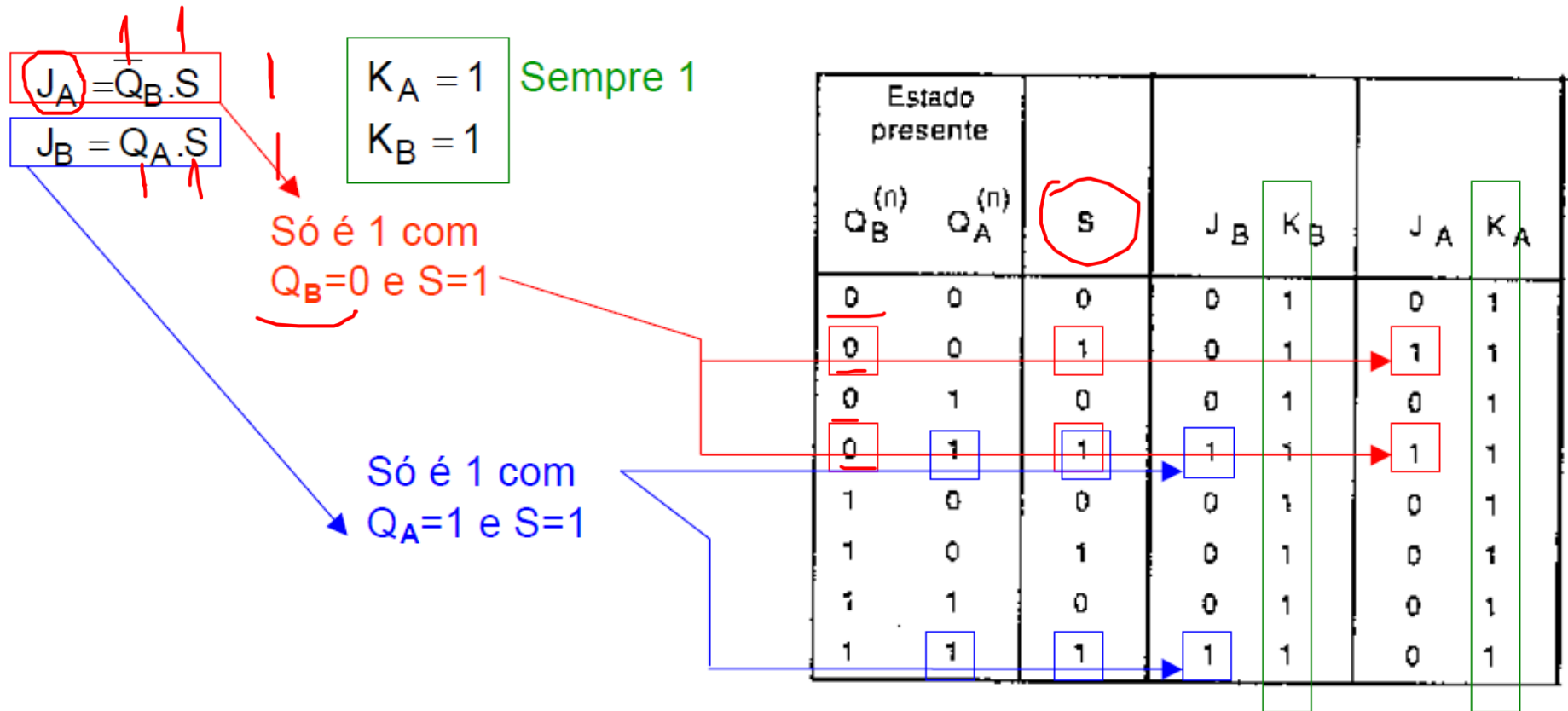
Aplicar as funções obtidas acima, para cada combinação de (Q_A , Q_B , S), e ver quais são as entradas J_A , K_A , J_B e K_B .

Exemplo



Instituto Superior
de Engenharia

Politécnico de Coimbra

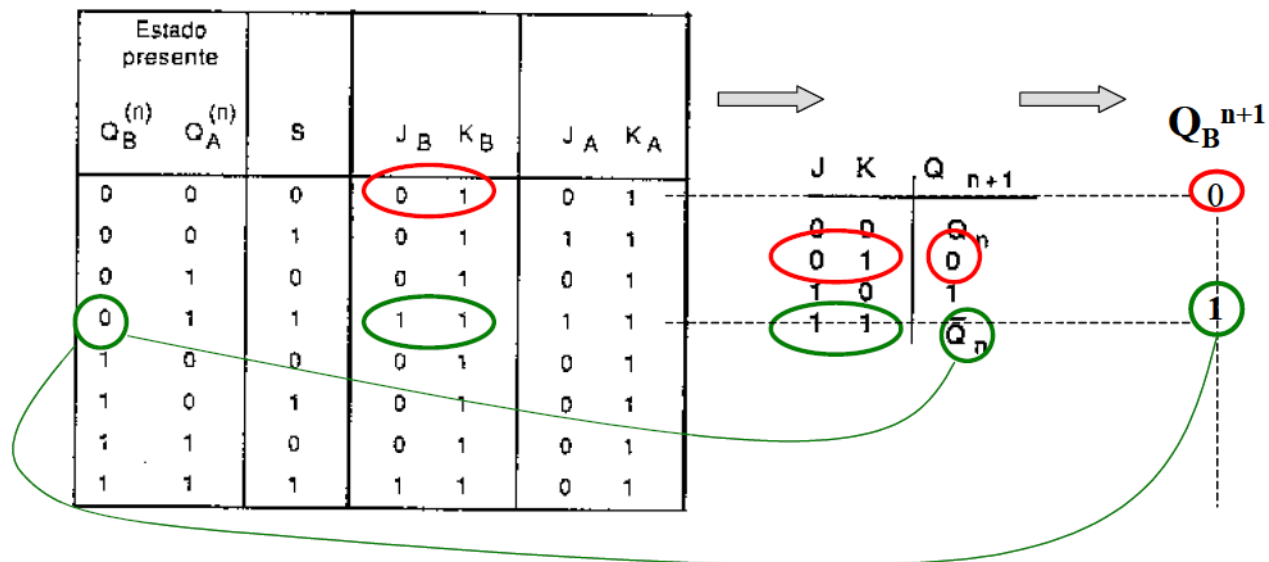


Exemplo



3º Passo: Obter a Tabela de Transição

O objetivo da Tabela de Transição é obter o estado que se segue ao estado presente. Como a Tabela de Excitação dá os estados presentes e as entradas dos *Flip-Flops*, atendendo às tabelas destes últimos, podemos deduzir os estados seguintes.



Exemplo



A Tabela de Transição completa é a seguinte:

Estado presente		S	J _B K _B		J _A K _A		Estado seguinte	
Q _B ⁽ⁿ⁾	Q _A ⁽ⁿ⁾						Q _B ⁽ⁿ⁺¹⁾	Q _A ⁽ⁿ⁺¹⁾
0	0	0	0	1	0	1	0	0
0	0	1	0	1	1	1	0	1
0	1	0	0	1	0	1	0	0
0	1	1	1	1	1	1	1	0
1	0	0	0	1	0	1	0	0
1	0	1	0	1	0	1	0	0
1	1	0	0	1	0	1	0	0
1	1	1	1	1	0	1	0	0

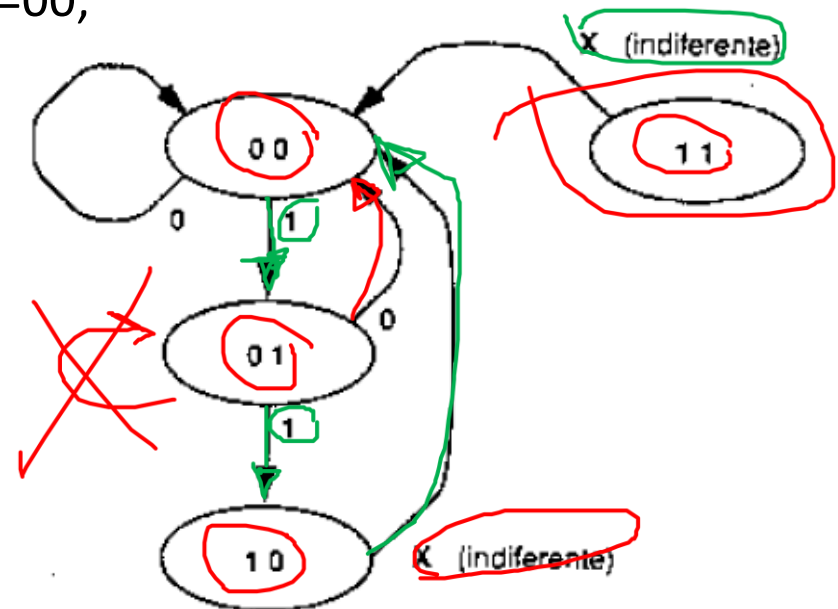
Exemplo



4º Passo: Desenhar o Diagrama de Estados

- Se Estado=00 e $S=0$, Estado Seguinte=00
(mantém-se); se $S=1$, Estado Seguinte=01
- Se Estado=01 e $S=0$, Estado Seguinte=00;
se $S=1$, Estado Seguinte=10
- Se Estado=10, qualquer que seja S ,
Estado Seguinte=00
- Se Estado=11, qualquer que seja S ,
Estado Seguinte=00

Estado presente		S	J _B K _B		J _A K _A		Estado seguinte	
Q _B ⁽ⁿ⁾	Q _A ⁽ⁿ⁾						Q _B ⁽ⁿ⁺¹⁾	Q _A ⁽ⁿ⁺¹⁾
0	0	0	0	1	0	1	0	0
0	0	1	0	1	1	1	0	1
0	1	0	0	1	0	1	0	0
0	1	1	1	1	1	1	1	0
1	0	0	0	1	0	1	0	0
1	0	1	0	1	0	1	0	0
1	1	0	0	1	0	1	0	0
1	1	1	1	1	0	1	0	0



Exemplo



Instituto Superior
de Engenharia
Politécnico de Coimbra

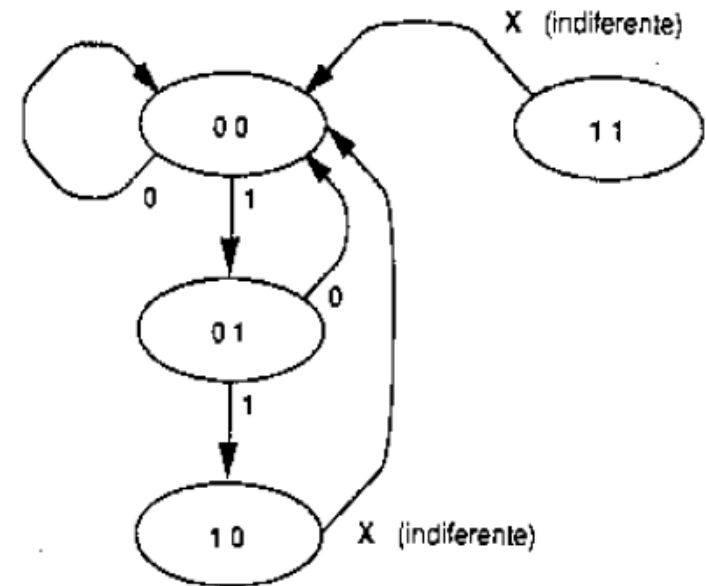
5º Passo: Descrição verbal

*Considere-se que o circuito parte do estado **00**. Quando a entrada **S=1**, o circuito transita para o estado **01**, depois para o **10** e finalmente regressa ao estado **00**.*

*Quando a entrada **S=0**, o circuito regressa ao estado **00**, independentemente de qual for o estado atual.*

*O estado **11** não faz parte da sequência principal.*

*A entrada **S** controla o avanço na sequência principal.*



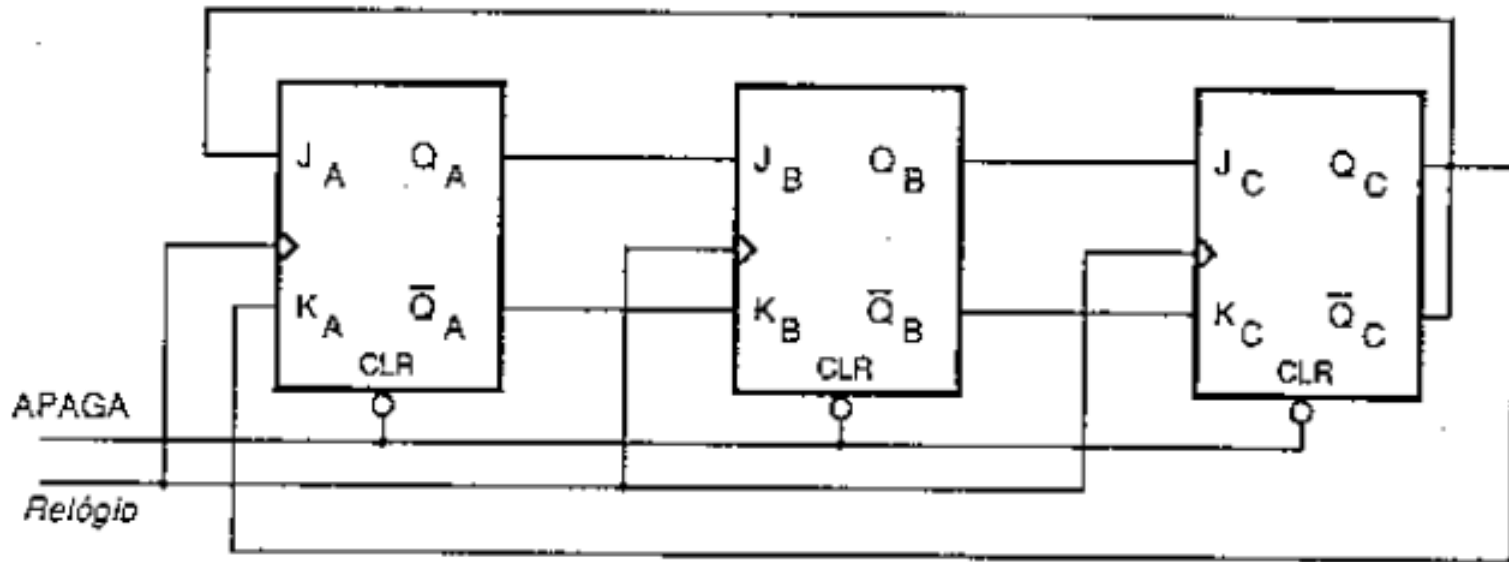
Exemplo



Instituto Superior
de Engenharia
Politécnico de Coimbra

Exemplo 2

Considere-se o circuito da figura seguinte:



APAGA é um sinal assíncrono que, quando ativado, coloca a saída dos *Flip-Flops* a 0.

Exemplo



Instituto Superior
de Engenharia
Politécnico de Coimbra

1º Passo: Obter as Funções de Excitação

(a partir do diagrama lógico)

$$\begin{aligned}J_A &= \bar{Q}_C \\J_B &= Q_A \\J_C &= Q_B\end{aligned}$$

$$\begin{aligned}K_A &= Q_C \\K_B &= \bar{Q}_A \\K_C &= \bar{Q}_B\end{aligned}$$

2º Passo: Obter a Tabela de Excitação

(usando as funções de excitação, obter os J e os K)

$$\begin{aligned}J_A &= \bar{Q}_C \\J_B &= Q_A \\J_C &= Q_B\end{aligned}$$

$$\begin{aligned}K_A &= Q_C \\K_B &= \bar{Q}_A \\K_C &= \bar{Q}_B\end{aligned}$$

Por exemplo:

Estado presente			J _A K _A		J _B K _B		J _C K _C	
Q _A ⁽ⁿ⁾	Q _B ⁽ⁿ⁾	Q _C ⁽ⁿ⁾						
0	0	0	1	0	0	1	0	1
0	0	1	0	1	0	1	0	1
0	1	0	1	0	0	1	1	0
0	1	1	0	1	0	1	1	0
1	0	0	1	0	1	0	0	1
1	0	1	0	1	1	0	0	1
1	1	0	1	0	1	0	1	0
1	1	1	0	1	1	0	1	0

Exemplo



Instituto Superior
de Engenharia

Politécnico de Coimbra

3º Passo: Obter a Tabela de Transição

(partindo da tabela anterior e da tabela funcional dos FFs)

Estado presente			J		K	Q _{n+1}	
$Q_A^{(n)}$	$Q_B^{(n)}$	$Q_C^{(n)}$	J_A	K_A	J_B	K_B	Q_n
0	0	0	1	0	0	1	0
0	0	1	0	1	0	1	0
0	1	0	1	0	0	1	1
0	1	1	0	1	0	1	0
1	0	0	1	0	1	0	0
1	0	1	0	1	1	0	0
1	1	0	1	0	1	0	1
1	1	1	0	1	1	0	0

Estado seguinte		
$Q_A^{(n+1)}$	$Q_B^{(n+1)}$	$Q_C^{(n+1)}$
1	0	0
0	0	0
1	0	1
0	0	1
1	1	0
0	1	0
1	1	1
0	1	1

Exemplo



Instituto Superior
de Engenharia
Politécnico de Coimbra

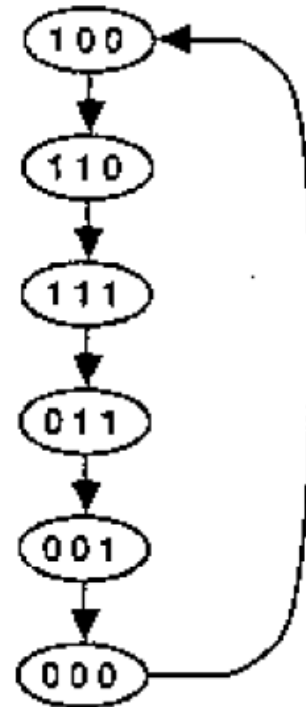
4º Passo: Desenhar o Diagrama de Estados

(por leitura da Tabela de Transição)

- O circuito **não tem entradas** (para além da de relógio)
- Os estados 101 e 010 **não fazem parte da sequência** principal

5º Passo: Descrição verbal

*Pode dizer-se que o circuito funciona como um **registo de deslocamento de 3 bits** com negação no último: o bit em **C** “entra” em **A** no clock seguinte (embora negado) e os restantes “deslocam-se para a direita”. Este tipo de funcionamento corresponde aos **Twisted-ring Counters** ou **Contadores de Moebius**.*



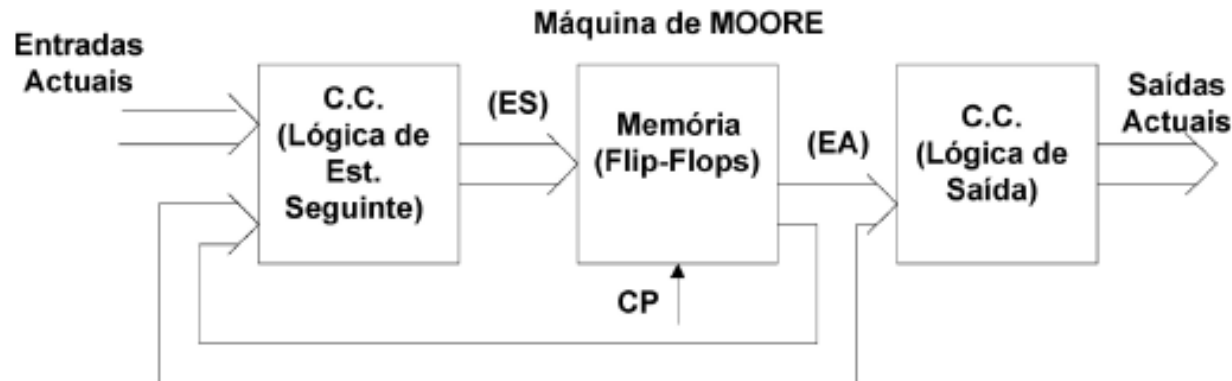
Circuitos de MOORE e MEALY



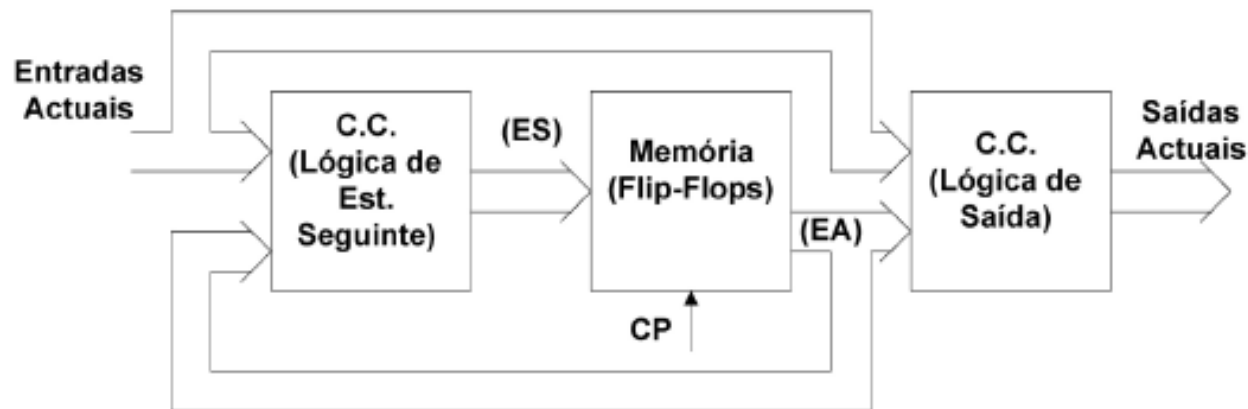
Instituto Superior
de Engenharia

Politécnico de Coimbra

Modelo de Moore: Circuito no qual as saídas são função directa do estado.



Modelo de Mealy: Circuito no qual as saídas são função do estado e das entradas.





**Instituto Superior
de Engenharia**

Politécnico de Coimbra

Questions?