

Conversores AD e DA

Adryele Oliveira¹, Amanda Lopes², Filipe Corrêa³, Livia Hipolito⁴

Instituto de Tecnologia – Universidade Federal do Pará (UFPA)

{adryele.oliveira, amanda.lopes, filipe.correa, livia.pires}@itec.ufpa.br

Abstract: *This work presents the design and analysis of analog-to-digital (AD) and digital-to-analog (DA) converters, covering topics from the implementation of encoder and decoder circuits at the gate level to the study of commercial devices and their interfacing protocols. The main goal is to develop and integrate 3-bit AD and DA converters in a simulation environment (TINA), as well as to evaluate and compare different conversion architectures and communication interfaces such as SPI, I2C, and parallel. Practical activities include logic design, simulation, system integration, and analysis of real-world components, resulting in a detailed report that highlights the applicability of theoretical concepts in real hardware and interfacing contexts.*

Resumo: *Este trabalho apresenta o projeto e a análise de conversores analógico-digitais (AD) e digital-analógicos (DA), abrangendo desde a implementação de circuitos codificadores e decodificadores em nível de portas lógicas até o estudo de dispositivos comerciais e seus protocolos de interfaceamento. O objetivo principal é desenvolver e integrar conversores AD e DA de 3 bits no TINA, além de avaliar e comparar diferentes arquiteturas de conversão e interfaces de comunicação, como SPI, I2C e paralela. Para isso, são realizadas atividades práticas de projeto lógico, simulação, integração de sistemas e análise de componentes reais, culminando em um relatório detalhado que evidencia a aplicabilidade dos conceitos teóricos em contextos reais de hardware e interfaceamento.*

1. Introdução

Os conversores analógico-digitais (AD) e digital-analógicos (DA) são componentes fundamentais em sistemas eletrônicos modernos, atuando como interfaces entre o mundo real, de sinais contínuos, e o domínio digital, onde a informação é processada, armazenada e transmitida. Suas aplicações são vastas, indo desde sistemas de aquisição de dados e instrumentação até áudio, telecomunicações e controle de processos industriais. O projeto e a compreensão desses dispositivos envolvem não apenas o conhecimento de eletrônica analógica e digital, mas também a escolha adequada de arquiteturas de conversão e protocolos de comunicação.

Este trabalho tem como objetivo principal fornecer uma visão prática e teórica abrangente sobre o funcionamento, projeto e interfaceamento de conversores AD e DA.

2. Desenvolvimento

Nesta seção, são detalhadas as etapas de projeto, implementação e integração dos conversores analógico-digital (AD) e digital-analógico (DA), conforme proposto nas Partes 1, 2 e 3 da atividade. O foco reside na construção de um conversor AD tipo flash

de 3 bits e de um conversor DA correspondente, ambos implementados em nível de portas lógicas utilizando componentes da família SN74XX no ambiente de simulação TINA. Além disso, aborda-se a integração dos dois sistemas, visando validar o ciclo completo de conversão de um sinal analógico para digital e de volta ao domínio analógico.

2.1 Conversores AD

O objetivo principal desta fase do projeto foi o desenvolvimento e a simulação de um conversor Analógico-Digital (ADC) completo de 3 bits, utilizando a arquitetura *Flash*. Conforme a atividade proposta, o projeto foi inteiramente construído a partir de componentes fundamentais no ambiente de simulação TINA-TI, incluindo amplificadores operacionais (AMPOPs) e portas lógicas da família 74xx. A finalidade do circuito é receber um sinal analógico de entrada, amostrá-lo em instantes discretos, quantizar sua amplitude em 8 níveis distintos e, por fim, gerar uma palavra digital de 3 bits que represente o nível medido.

2.1.1 Arquitetura e Implementação do Circuito

O projeto foi dividido em três blocos principais: um circuito de amostragem e retenção (*Sample and Hold*), o circuito conversor *Flash* (banco de comparadores) e o circuito codificador de prioridade.

O circuito completo, apresentado na Figura 1, foi projetado seguindo a metodologia descrita no material de aula.

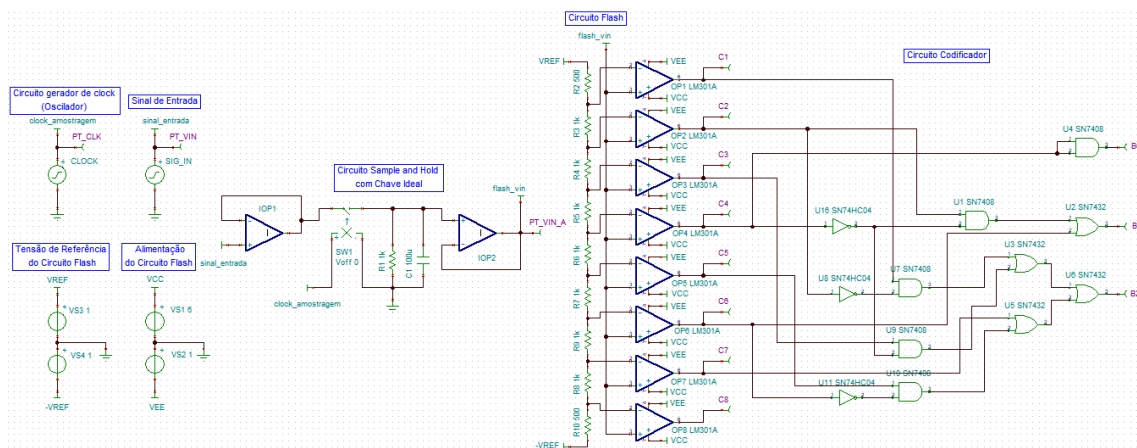


Figura 1: Esquemático completo do Conversor AD Flash de 3 bits implementado no TINA-TI.

O primeiro estágio implementado foi o circuito de Amostragem e Retenção, cuja função é essencial para a precisão do conversor. Sinais analógicos do mundo real variam continuamente no tempo, e tentar quantificar um sinal que está em constante mudança

pode levar a erros significativos. Este bloco, controlado por um sinal de clock (*clock_amostragem*), captura uma "fotografia" instantânea da tensão de entrada e a mantém estável durante um ciclo completo. Isso garante que o estágio seguinte, o banco de comparadores, receba uma tensão de entrada constante para realizar uma comparação precisa e confiável. A implementação utilizou uma topologia clássica com um AMPOP em modo seguidor de tensão para alta impedância de entrada, uma chave analógica para o ato de amostragem e um capacitor para reter a tensão, seguido por outro seguidor de tensão como buffer de saída.

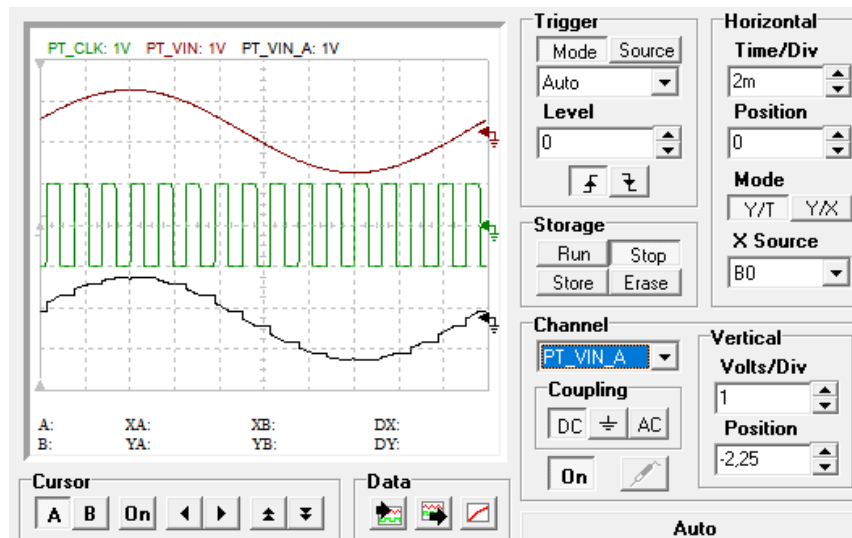


Figura 2: Sinais de Entrada e Saída do Circuito de Sample and Hold.

O núcleo do sistema é o circuito de conversão Flash, responsável pela quantização paralela do sinal. Seguindo a especificação do material de aula, que indica o uso de 2^N comparadores para um conversor de N bits, foram implementados $2^3 = 8$ comparadores (utilizando o AMPOP LM301A). Para definir os limiares de quantização, uma rede de resistores em série foi conectada entre as tensões de referência VREF e -VREF, formando um divisor de tensão que fornece 8 níveis de referência únicos e equidistantes. O sinal de entrada estabilizado, vindo do estágio de Sample and Hold, é alimentado simultaneamente à entrada não-inversora de todos os 8 comparadores. Cada comparador, então, compara essa tensão de entrada com seu respectivo nível de referência. A saída deste banco de comparadores é uma palavra de 8 bits, onde todos os comparadores cuja referência de tensão é menor que a tensão de entrada apresentam saída em nível lógico alto, formando um padrão conhecido como "código termômetro".

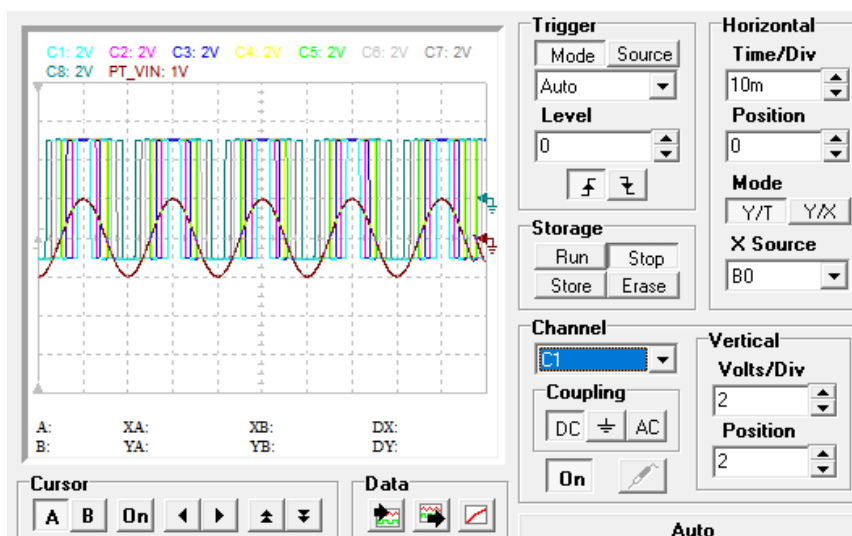


Figura 3: Quantização de Sinais Amostrados.

O "código termômetro" de 8 bits gerado pelo estágio anterior, apesar de representar o nível de tensão, não é um formato binário padrão. A etapa final do ADC é, portanto, o *Circuito Codificador de Prioridade*, que traduz esse código para uma palavra binária de 3 bits. Para este projeto, foi adotada a codificação em binário natural, mapeando os 8 níveis de tensão para os códigos de 000 a 111. A lógica deste codificador foi derivada a partir da tabela-verdade a seguir, que relaciona cada padrão do código termômetro à sua respectiva saída binária:

C8	C7	C6	C5	C4	C3	C2	C1	B2 B1 B0
0	0	0	0	0	0	0	0	X
0	0	0	0	0	0	0	1	000
0	0	0	0	0	0	1	1	001
0	0	0	0	0	1	1	1	010
0	0	0	0	1	1	1	1	011
0	0	0	1	1	1	1	1	100
0	0	1	1	1	1	1	1	101
0	1	1	1	1	1	1	1	110
1	1	1	1	1	1	1	1	111

Figura 4: Tabela Verdade.

Devido ao grande número de entradas (8), a simplificação por Mapa de Karnaugh seria impraticável. Em vez disso, as equações lógicas foram obtidas por análise e inspeção da estrutura de prioridade da tabela, resultando nas seguintes expressões:

- $B2 = C4 \text{ AND } C4$
- $B1 = (C2 \text{ AND NOT } C4) \text{ OR } C6$
- $B0 = (C0 \text{ AND NOT } C1) \text{ OR } (C2 \text{ AND NOT } C3) \text{ OR } (C4 \text{ AND NOT } C5) \text{ OR } (C6 \text{ AND NOT } C7)$

Essas equações foram então implementadas fisicamente no TINA-TI utilizando portas lógicas da família 74xx, especificamente os CIs SN74HC04 (NOT), SN7408 (AND) e SN7432 (OR), completando assim o projeto do conversor.

2.1.2 Análise dos Resultados

Para validar o funcionamento do conversor Analógico-Digital projetado, foi realizada uma simulação de Análise Transiente no ambiente TINA-TI. Um sinal de entrada analógico senoidal (PT_VIN) de 100 Hz com amplitude ajustada para varrer a faixa de referência do ADC foi utilizado. O clock de amostragem (PT_CLK) foi configurado para 1 kHz. A Figura 5 apresenta os resultados obtidos, exibindo os sinais mais importantes do circuito ao longo de um intervalo de 50 milissegundos. A análise desses sinais, desde a entrada analógica até a saída digital, confirma que cada estágio do conversor está operando conforme o esperado.

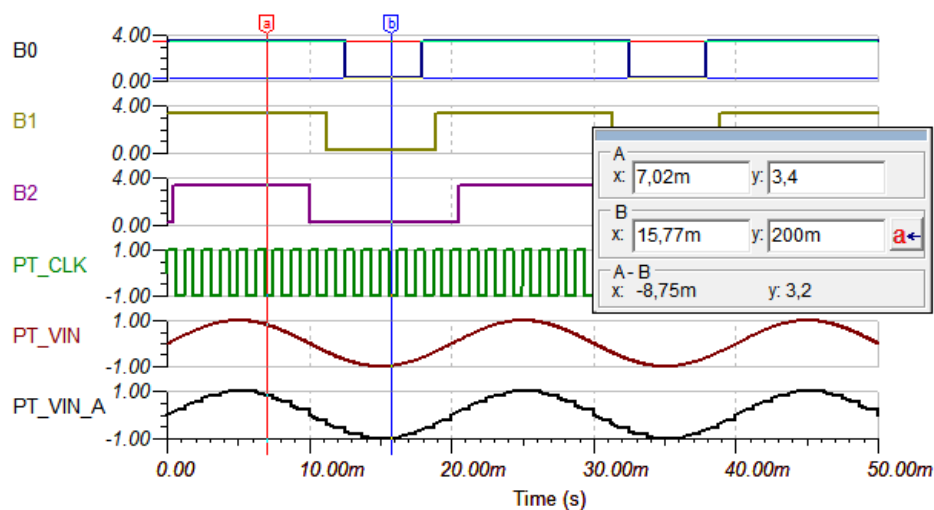


Figura 5: Análise Transiente do ADC.

O sinal de entrada analógico (PT_VIN), representado pela senoide suave na parte inferior do gráfico, foi configurado para varrer a faixa de tensão do conversor. Imediatamente abaixo, o sinal PT_VIN_A demonstra o funcionamento eficaz do circuito de Amostragem e Retenção (Sample and Hold). Pode-se observar claramente a sua forma de onda em "escada", onde, a cada borda de subida do sinal de clock (PT_CLK), o circuito captura uma "fotografia" instantânea da tensão de entrada e a

mantém constante até a próxima amostragem. Este processo de discretização no tempo é o primeiro passo fundamental da conversão e garante que o núcleo do conversor receba uma tensão estável para uma quantização precisa.

A parte superior do gráfico exhibe as três saídas digitais do sistema: B0, B1 e B2. Estes sinais são o resultado final do processo de conversão, gerados pelo Circuito Codificador de Prioridade. Observando atentamente, nota-se que o padrão formado por esses três bits muda em sincronia com cada degrau do sinal amostrado (PT_VIN_A). Quando a tensão amostrada está em seu valor mínimo, o código binário de saída é 000. À medida que a tensão sobe, o código binário incrementa sequencialmente (001, 010, 011, etc.) até atingir o valor máximo de 111 no pico da onda. Quando a tensão de entrada começa a descer, a contagem binária também decrementa. Este comportamento demonstra que o banco de comparadores está avaliando corretamente os níveis de tensão e que a lógica do codificador está traduzindo com sucesso o "código termômetro" para o código em binário natural, conforme projetado.

2.2 Conversores DA

Esta seção do projeto aborda o desenvolvimento e a simulação de um conversor Digital-Analógico (DAC) de 3 bits, conforme a Parte 2 da atividade proposta. O objetivo é criar um sistema capaz de receber uma palavra binária de 3 bits e convertê-la em um dos oito níveis de tensão analógica correspondentes. A arquitetura escolhida foi a de Divisor Kelvin, também conhecida como *String DAC*, implementada no TINA-TI com um decodificador lógico projetado a partir de portas da família 74xx e uma rede de resistores e chaves analógicas.

2.2.1 Arquitetura e Implementação do Circuito

A arquitetura do conversor DAC implementado é composta por dois blocos funcionais distintos: um Circuito Decodificador puramente digital e um Divisor Kelvin analógico. O decodificador atua como o "cérebro" do DAC, interpretando a entrada binária, enquanto o Divisor Kelvin, composto por uma rede de resistores e chaves, atua como o "músculo", gerando e selecionando a tensão de saída apropriada.

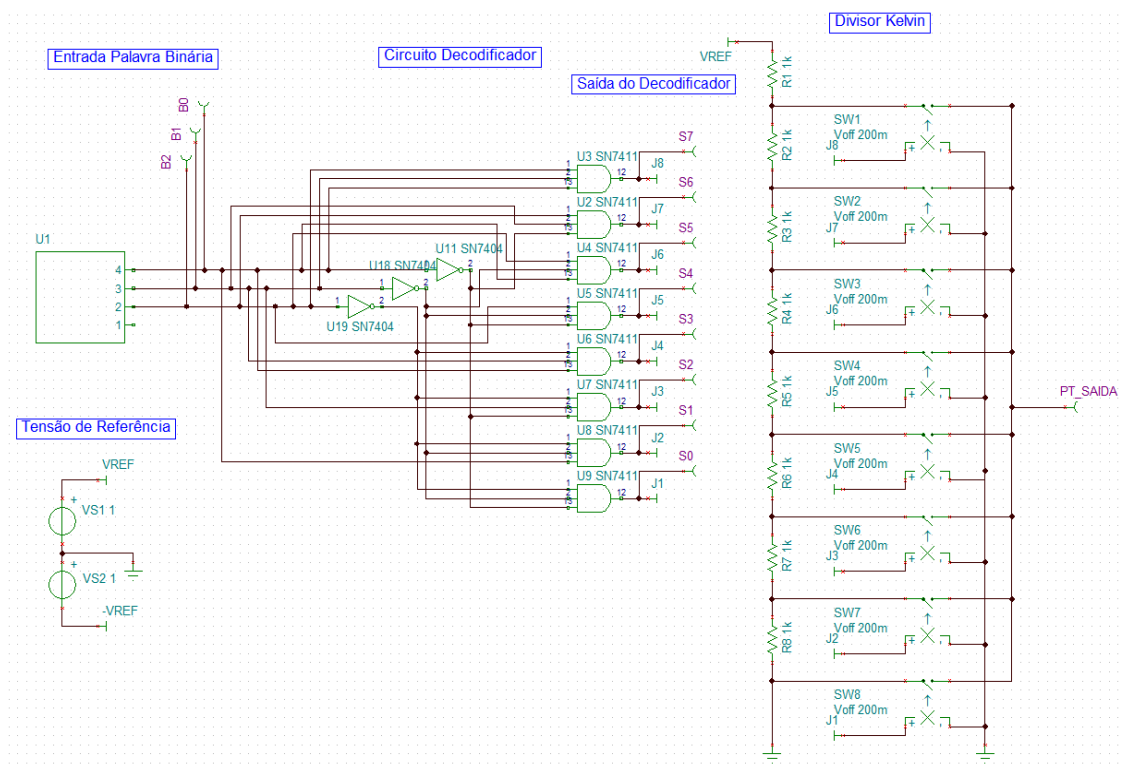


Figura 6: Esquemático completo do Conversor DA de 3 bits implementado no TINA-TI.

O primeiro passo no projeto foi definir a lógica do Circuito Decodificador. Para garantir a compatibilidade com o conversor AD projetado na Parte 1, foi mantida a representação em binário natural para os códigos de entrada, variando de 000 a 111. Com base nisso, foi elaborada uma tabela-verdade para mapear cada uma das 8 combinações de entrada de 3 bits (B2, B1, B0) para uma única saída ativa entre as 8 disponíveis (S0 a S7). Cada saída é responsável por controlar uma chave analógica, e o comportamento desejado é que apenas uma chave seja ativada por vez, um padrão conhecido como "one-hot".

B2 B1 B0	S7	S6	S5	S4	S3	S2	S1	S0
X	0	0	0	0	0	0	0	0
000	0	0	0	0	0	0	0	1
001	0	0	0	0	0	0	1	0
010	0	0	0	0	0	1	0	0
011	0	0	0	0	1	0	0	0
100	0	0	0	1	0	0	0	0
101	0	0	1	0	0	0	0	0
110	0	1	0	0	0	0	0	0
111	1	0	0	0	0	0	0	0

Figura 7: Tabela Verdade.

A partir desta tabela, as expressões lógicas de saída foram derivadas. Para um decodificador, cada saída corresponde a um único mintermo das entradas, resultando nas seguintes equações booleanas:

- $S0 = \text{NOT } B2 \text{ AND NOT } B1 \text{ AND NOT } B0$
- $S1 = \text{NOT } B2 \text{ AND NOT } B1 \text{ AND } B0$
- $S2 = \text{NOT } B2 \text{ AND } B1 \text{ AND NOT } B0$
- $S3 = \text{NOT } B2 \text{ AND } B1 \text{ AND } B0$
- $S4 = B2 \text{ AND NOT } B1 \text{ AND NOT } B0$
- $S5 = B2 \text{ AND NOT } B1 \text{ AND } B0$
- $S6 = B2 \text{ AND } B1 \text{ AND NOT } B0$
- $S7 = B2 \text{ AND } B1 \text{ AND } B0$

2.2.2 Análise dos Resultados

Para validar o funcionamento e a precisão do conversor Digital-Analógico (DAC) de 3 bits projetado, foi realizada uma simulação de Análise Transiente no ambiente TINA-TI. Esta análise permite observar o comportamento dos sinais do circuito ao longo do tempo, verificando se a lógica do decodificador e a resposta da rede analógica correspondem ao projeto teórico. As Figura 8 e 9 exibem os resultados obtidos, mostrando os sinais de entrada e saída mais importantes ao longo de um intervalo de 30 microssegundos.

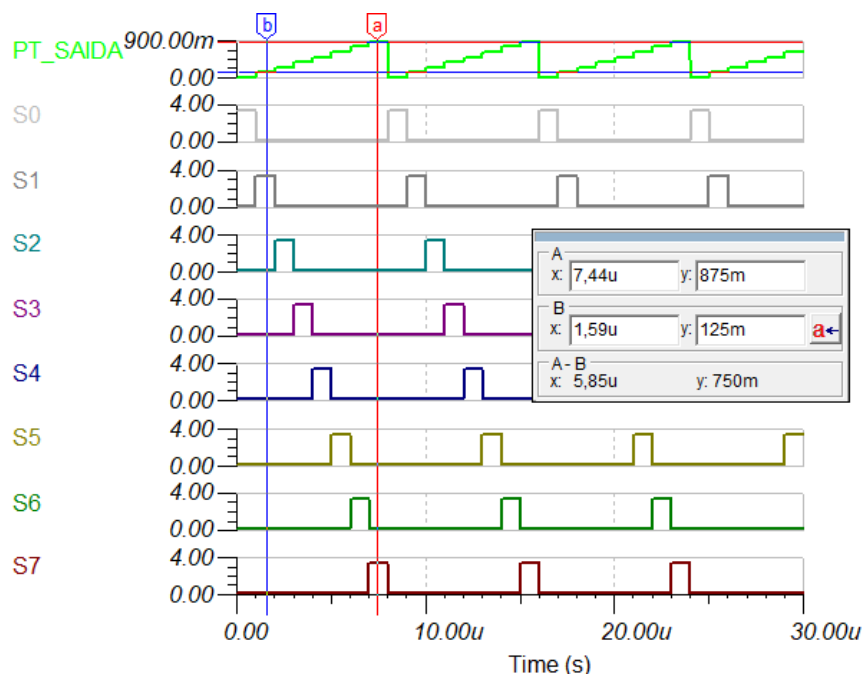


Figura 8: Análise Transiente Com as Saídas do DAC.

Na Figura 8 são mostradas as 8 saídas do circuito decodificador, S0 a S7. A análise destas formas de onda confirma o funcionamento perfeito do decodificador lógico implementado com as portas 74xx. Pode-se observar claramente o comportamento "one-hot", onde para cada código binário de entrada, apenas uma única linha de saída S correspondente é ativada (vai para nível lógico alto), enquanto todas as outras permanecem em nível baixo.

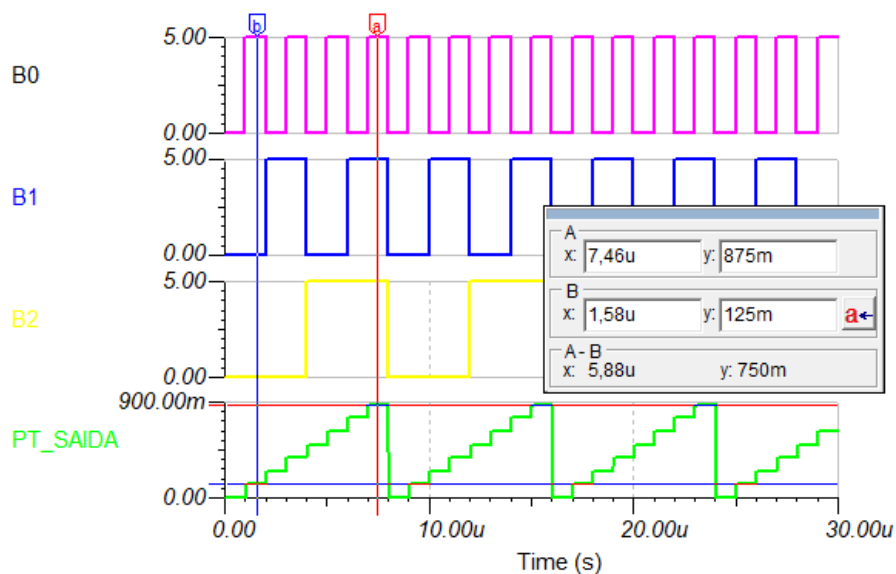


Figura 9: Análise Transiente Com as Entradas do DAC.

A figura 9 exibe os sinais de entrada digitais, B0, B1 e B2, que foram gerados sequencialmente por um componente "Data Generator" para simular uma contagem binária crescente, de 000 a 111. Cada valor binário é mantido por aproximadamente 1 microssegundo antes de incrementar para o próximo. Este estímulo serve para testar sistematicamente cada uma das 8 possíveis entradas do conversor.

O sinal mais importante na simulação é a saída analógica final, PT_SAIDA. Esta forma de onda demonstra o sucesso de todo o projeto do DAC. Ela exibe a característica forma de "escada" (staircase), onde a tensão de saída aumenta em degraus discretos e uniformes a cada vez que a palavra binária de entrada incrementa. Isso prova que o decodificador está ativando corretamente as chaves analógicas e que a rede de resistores "Divisor Kelvin" está gerando e selecionando os níveis de tensão apropriados.

A análise quantitativa, auxiliada pelos cursores, valida a precisão do conversor. O cursor B, posicionado em $1,59\mu\text{s}$ (correspondente à entrada binária 001), mede uma tensão de saída de $y = 125\text{m}$ (125 mV). O cursor A, posicionado em $7,44\mu\text{s}$ (correspondente à entrada 111), mede uma tensão de $y = 875\text{m}$ (875 mV). A diferença de tensão entre os dois pontos (A-B) é de 750 mV, abrangendo 6 degraus, o que confirma um espaçamento de 125 mV por degrau. Esses valores correspondem exatamente aos resultados teóricos esperados para um DAC de 3 bits com uma faixa de referência de 1V (de 0V a 1V), demonstrando que o circuito não apenas funciona logicamente, mas também é preciso em sua conversão.

3 Integração dos projetos dos conversores AD e DA

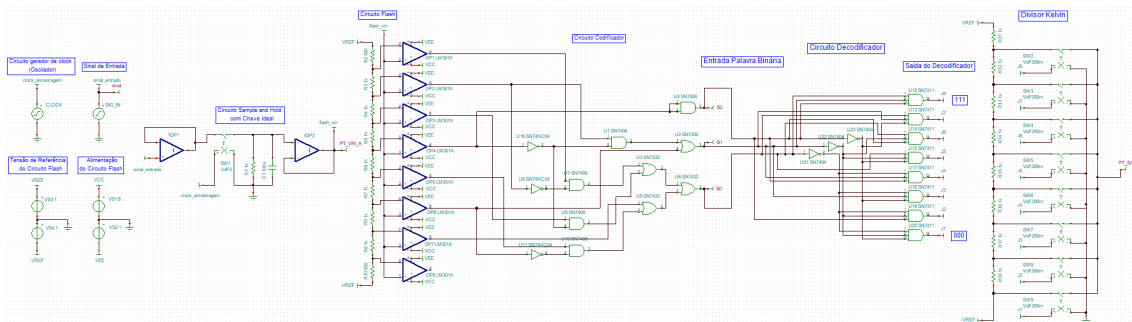


Figura 10: Circuito Completo da Integração do Conversor AD Flash e do Conversor DA

O circuito integrado acima demonstra um sistema completo de conversão de sinais, unindo um conversor analógico-digital (AD) a um conversor digital-analógico (DA) para processar um sinal do domínio analógico para o digital e de volta ao analógico. O processo tem início com um sinal de entrada analógico (SIG_IN), que é primeiramente processado por um circuito de Sample and Hold, cuja função é amostrar a tensão de entrada em instantes determinados por um sinal de clock e mantê-la estável para a etapa seguinte. Esta tensão estabilizada é então enviada ao conversor AD do tipo Flash, onde uma rede de comparadores a compara simultaneamente com múltiplos níveis de tensão de referência. A saída dos comparadores, em formato de "código termômetro", é imediatamente traduzida pelo circuito codificador em um número binário de 3 bits. É

neste ponto que a integração se concretiza: a palavra digital de 3 bits gerada pelo conversor AD serve como a entrada direta para o conversor DA. O circuito decodificador do DA interpreta esse número binário e ativa uma única saída correspondente ao seu valor. Essa saída controla um conjunto de chaves em um divisor de tensão (Divisor Kelvin), selecionando um nível de tensão analógica que representa o valor digital recebido. O resultado final é um sinal de saída (PT_SAIDA) que reconstrói a forma de onda do sinal de entrada original, porém de forma quantizada, apresentando-se como uma escada que aproxima a onda contínua.

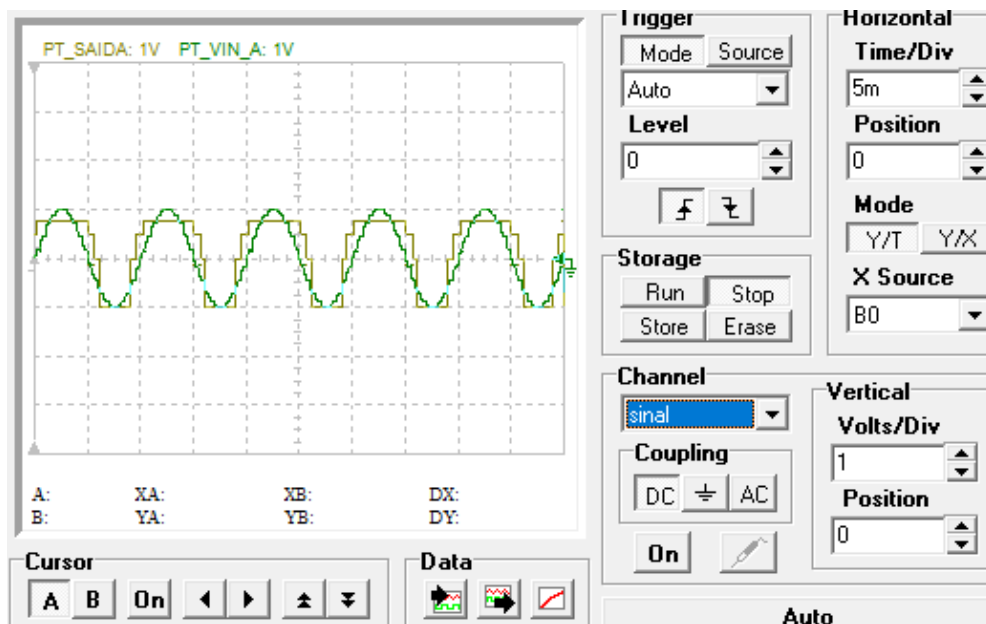


Figura 11: Simulação do sistema AD/DA integrado.

A Figura 11 apresenta os resultados obtidos na simulação de análise de transiente do sistema de conversão AD/DA integrado, exibidos no osciloscópio virtual do TINA. No gráfico, são sobrepostas duas formas de onda: o sinal analógico de entrada (PT_VIN_A, em azul-verde) e o sinal analógico reconstruído na saída do sistema (PT_SAIDA, em vermelho). É possível observar que a saída acompanha a forma de onda da entrada, porém com uma característica quantizada, em formato de "escada". Esses degraus representam os níveis de tensão discretos que o conversor DA de 3 bits é capaz de gerar, evidenciando o efeito da conversão de um sinal contínuo para uma representação digital com resolução finita. Dessa forma, a simulação valida o correto funcionamento do circuito, demonstrando de maneira clara o processo de reconstrução do sinal e o erro de quantização inerente ao sistema de 3 bits.

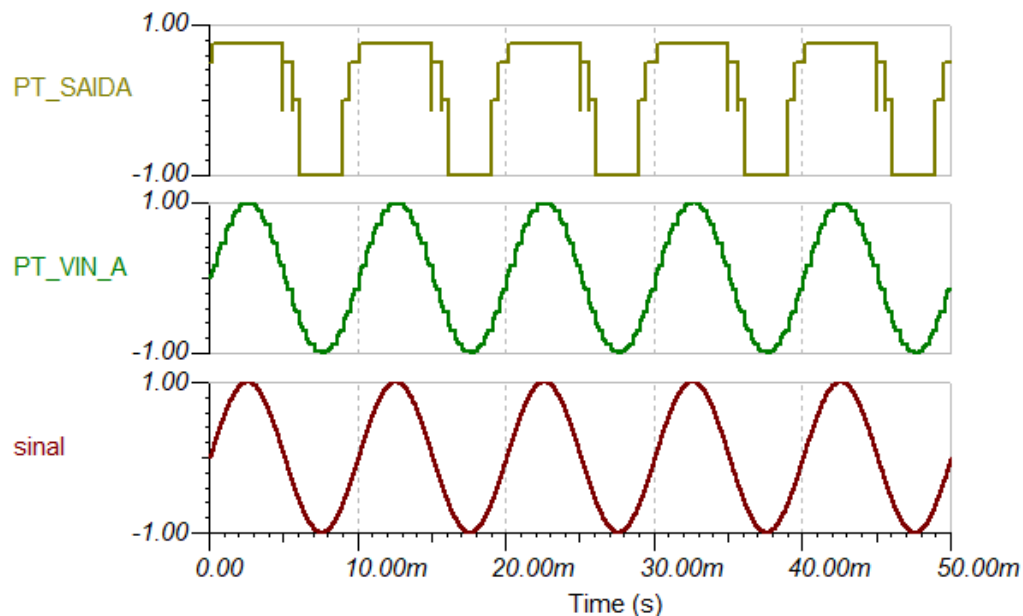


Figura 12: Comparação entre o sinal de entrada, o sinal amostrado e o sinal de saída reconstruído.

A Figura 12 detalha os resultados da análise de transiente do sistema, apresentando as formas de onda em três pontos cruciais do processo de conversão. O gráfico central exibe o sinal PT_VIN (em verde), a forma de onda senoidal contínua que representa a entrada analógica original do sistema. O gráfico inferior mostra o sinal PT_VIN_A (em azul-verde), que é a saída do circuito Sample and Hold; sua forma em "escada" ilustra como a tensão de entrada é amostrada em intervalos discretos e mantida constante, servindo como a real entrada para a conversão AD. Finalmente, o gráfico superior exibe o sinal PT_SAIDA (em vermelho), que é a saída analógica final reconstruída pelo conversor DA. A notável semelhança entre a saída final PT_SAIDA e o sinal amostrado PT_VIN_A valida o funcionamento de todo o sistema, demonstrando que o conversor DA reconstruiu com precisão os mesmos níveis de tensão que foram digitalizados pelo conversor AD, completando o ciclo de conversão com o efeito de quantização claramente visível.

4. Análises e Comparação de conversores

Nesta seção, são discutidos dois aspectos complementares: a comparação entre diferentes arquiteturas de conversores AD – incluindo a implementada em simulação – e o estudo de conversores comerciais, com foco em suas interfaces de comunicação e aplicações reais.

A escolha de uma arquitetura de conversão impacta diretamente o custo, a velocidade e a precisão do sistema. Por isso, é fundamental entender não apenas o funcionamento do conversor flash, mas também como ele se posiciona em relação a outras topologias consolidadas no mercado. Além disso, a transição do ambiente simulado para o uso de componentes reais exige o conhecimento de protocolos de comunicação serial e

paralela, que permitem a integração eficiente com microcontroladores e outros dispositivos digitais.

Nesse sentido, esta seção está organizada em duas partes principais:

- Na primeira, são comparadas as arquiteturas de conversão AD, destacando vantagens, desvantagens e cenários de aplicação típicos para cada uma.
- Na segunda, são analisados dispositivos comerciais de conversão AD e DA, detalhando seus mecanismos de interfaceamento – como SPI, I²C e comunicação paralela – e exemplos de uso com microcontroladores.

Essa abordagem permite não apenas aprofundar o conhecimento teórico sobre conversores de dados, mas também desenvolver habilidades práticas relevantes para projetos de hardware e sistemas embarcados.

4.1 Comparação de conversores AD

O presente estudo tem como ponto de partida uma análise comparativa, na qual o conversor Flash, uma referência em velocidade de conversão, será confrontado com duas outras arquiteturas de conversores analógico-digitais. São estes conversores: Conversor AD de Aproximações Sucessivas (SAR) e o Conversor AD Sigma-Delta.

4.1.1 Conversor AD Flash

O conversor Flash é a arquitetura mais rápida disponível, pois utiliza um método de conversão totalmente paralelo. Seu princípio de funcionamento se baseia na utilização de um grande número de comparadores, onde cada um deles tem sua entrada não-inversora conectada ao sinal analógico a ser convertido. A entrada inversora de cada comparador, por sua vez, é conectada a um nível de tensão de referência diferente, gerado por uma malha de resistores de alta precisão.

Conversor A/D Flash

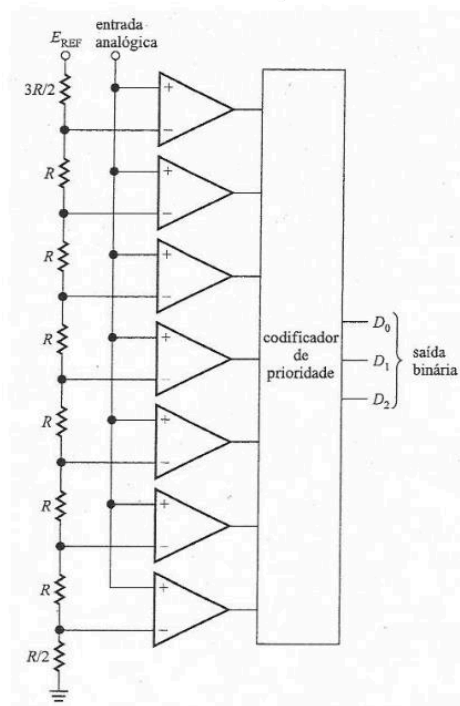


Fig 13: Arquitetura do Conversor AD Flash.

Em um único ciclo de clock, o sinal de entrada é comparado com todos os níveis de referência simultaneamente. Os comparadores cuja entrada de sinal é superior à sua tensão de referência geram uma saída de nível alto (1), enquanto os outros geram nível baixo (0). O resultado é uma saída em "código de termômetro" que é então processada por um circuito codificador para ser convertida em uma palavra digital binária.

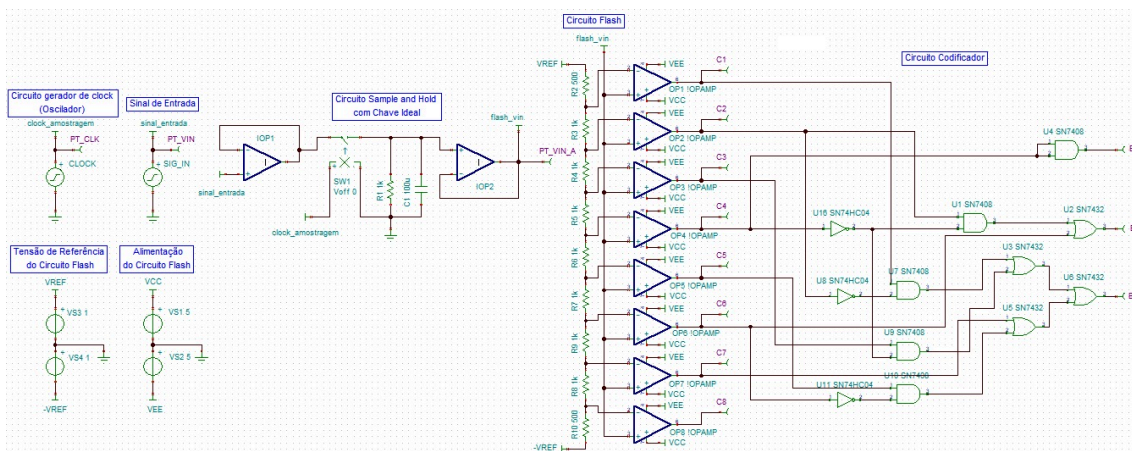


Fig 14: Conversor AD Flash.

O conversor analógico-digital AD Flash foi projetado para converter um sinal analógico em um valor digital de forma instantânea e paralela.

O processo inicia com a geração de múltiplos limiares de tensão de referência, criados por uma malha de resistores de precisão conectada a uma fonte de tensão de referência. Antes de ser quantificado, o sinal analógico de entrada é processado por um circuito de Amostragem e Retenção (Sample and Hold), que "congela" o seu valor em um instante preciso para garantir uma medição estável. O coração do circuito consiste em uma série de comparadores, cada um dos quais recebe a tensão de sinal estabilizada e a compara com um dos limiares de referência. Como essa comparação ocorre simultaneamente em todos os comparadores, o resultado é um padrão binário conhecido como "código de termômetro". Finalmente, esse código é enviado a um circuito codificador, composto por portas lógicas, cuja função é traduzir o padrão do termômetro em uma palavra digital de 3 bits.

Em suma, a conversão é realizada em um único ciclo de clock, o que confere ao conversor Flash uma velocidade incomparável, justificada por sua arquitetura que processa todas as informações em paralelo.

3.1.2 Conversor AD de Aproximações Sucessivas (SAR)

A arquitetura do conversor analógico-digital (AD) de aproximações sucessivas, ou SAR (Successive Approximation Register), representa uma solução altamente eficiente para a quantização de sinais analógicos, alcançando um equilíbrio ótimo entre velocidade de conversão, resolução e eficiência de custo.

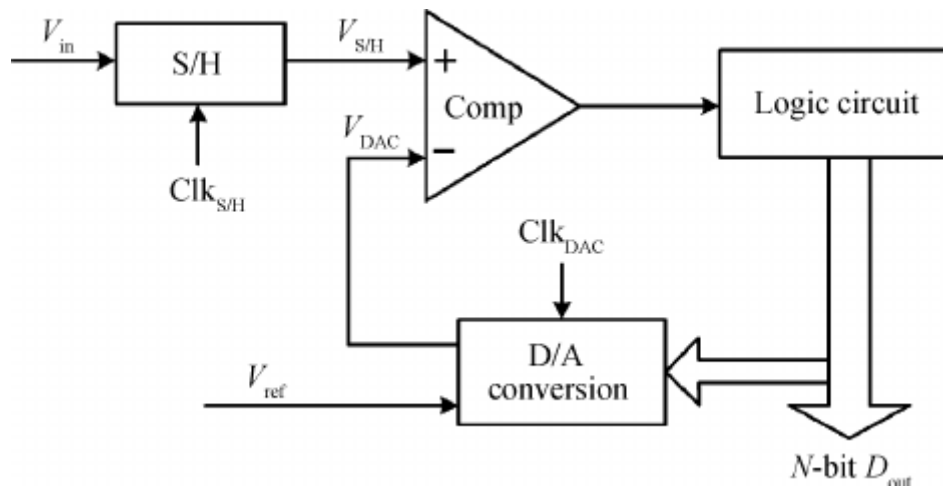


Fig 15: Arquitetura do Conversor AD de Aproximações Sucessivas.

O funcionamento do conversor opera com base em um algoritmo de busca binária, onde a conversão é realizada de forma iterativa e sequencial, determinando o valor de cada bit da palavra de saída a partir do mais significativo (MSB) para o menos significativo (LSB).

O circuito é composto por um comparador de alta velocidade, um conversor digital-analógico (DAC) interno de precisão e um registrador de aproximações sucessivas, que é o núcleo de controle da operação. O processo de conversão inicia com o registrador SAR definindo o MSB para o nível lógico '1', enquanto os demais bits são mantidos em '0'. Este valor é então convertido em uma tensão analógica pelo DAC interno, que por sua vez é comparada com a tensão de entrada. O resultado dessa comparação determina se o bit avaliado deve ser mantido em '1' ou ajustado para '0', e o ciclo se repete para cada bit subsequente.

A principal vantagem desta arquitetura reside em sua robustez e simplicidade de implementação, que se traduzem em um custo reduzido, tamanho compacto e baixo consumo de energia. Embora a velocidade de conversão seja inerentemente limitada pelo processo sequencial de n ciclos de clock para uma resolução de n bits, esta limitação é aceitável para a vasta maioria das aplicações de aquisição de dados e controle industrial.

3.1.3 Conversor AD Sigma-Delta

A arquitetura do conversor analógico-digital Sigma-Delta ($\Sigma\Delta$) é projetada para alcançar a mais alta precisão e resolução, operando com um princípio fundamentalmente distinto das abordagens Flash e SAR. Em essência, o conversor Sigma-Delta não quantiza o sinal de entrada em um único momento, mas sim o submete a uma superamostragem em uma frequência significativamente superior à frequência de Nyquist. A arquitetura analógica consiste em um modulador que inclui um somador, um integrador e um quantizador de baixa resolução (geralmente um comparador de 1 bit).

O modulador converte a diferença entre o sinal de entrada e uma realimentação de seu valor médio em um fluxo de dados de alta frequência e densidade de pulsos. Esse fluxo de bits reflete a amplitude do sinal de entrada ao longo do tempo.

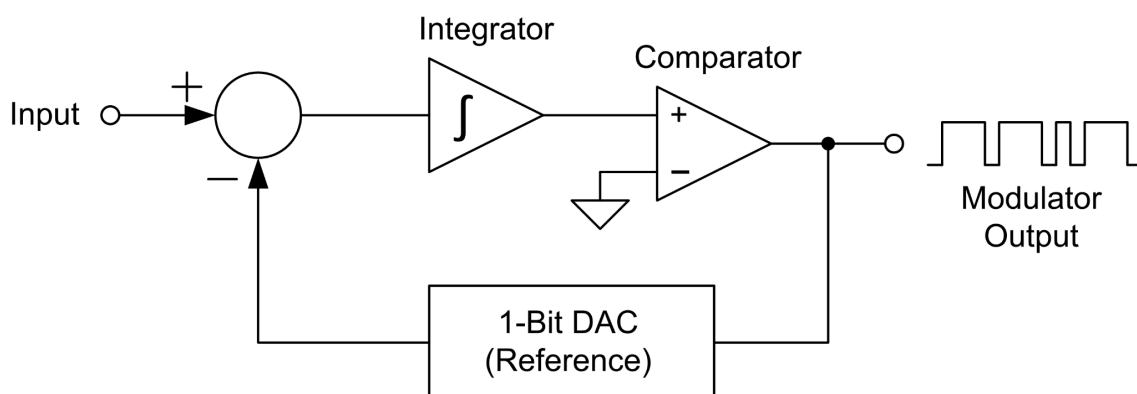


Fig 16: Arquitetura do Conversor AD Sigma-Delta.

A engenhosidade do conversor Sigma-Delta reside no processamento digital subsequente. O fluxo de dados de 1 bit é então enviado a um filtro digital e a um decimador. O filtro tem a função de remover o ruído de quantização, enquanto o

decimador reduz a taxa de amostragem para um valor mais gerenciável, ao mesmo tempo em que aumenta a resolução. O resultado final é uma palavra digital de alta resolução com ruído de quantização consideravelmente reduzido.

A principal vantagem desta arquitetura é sua capacidade de atingir resoluções de 16 a 24 bits ou mais, tornando-a ideal para aplicações que exigem alta fidelidade e medições de extrema precisão. No entanto, sua principal desvantagem é a velocidade, que é inerentemente limitada pela superamostragem, resultando em taxas de amostragem efetivas que são consideravelmente mais baixas em comparação com as arquiteturas Flash e SAR.

Ao analisar as diferentes arquiteturas de conversores analógico-digitais, fica claro que a escolha ideal depende da prioridade do projeto. O conversor Flash é a solução definitiva quando a velocidade é o fator crítico, convertendo o sinal instantaneamente, embora sua alta complexidade resulte em um custo e tamanho consideráveis. Em contrapartida, o conversor de Aproximações Sucessivas representa um equilíbrio superior, combinando alta resolução com um custo acessível e tornando-se a opção mais comum e versátil para a maioria das aplicações. Por fim, o conversor Sigma-Delta é a escolha ideal para máxima precisão, sacrificando a velocidade de conversão para alcançar a mais alta resolução, o que o torna perfeito para instrumentação científica e áudio de alta qualidade.

5 Análise do interfaceamento em Conversores Comerciais

Para a seguinte análise, foram selecionados representantes de diferentes interfaces: ADC0804 (paralela), MCP3008 (SPI) e ADS1115 (I²C) para conversores AD, e DAC0808 (paralela) e MCP4921 (SPI) para conversores DA.

Cada dispositivo possui particularidades em seu funcionamento, como a necessidade de configuração de registradores ou a simples leitura/escrita direta de dados. Para isto, serão detalhados os diagramas de temporização, os procedimentos de leitura e escrita, e exemplos de código para comunicação com microcontroladores populares, como aqueles baseados em Arduino ou ESP32. Essa análise permite avaliar as trade-offs entre velocidade, complexidade e número de pinos utilizados, auxiliando na escolha do componente mais adequado para cada aplicação.

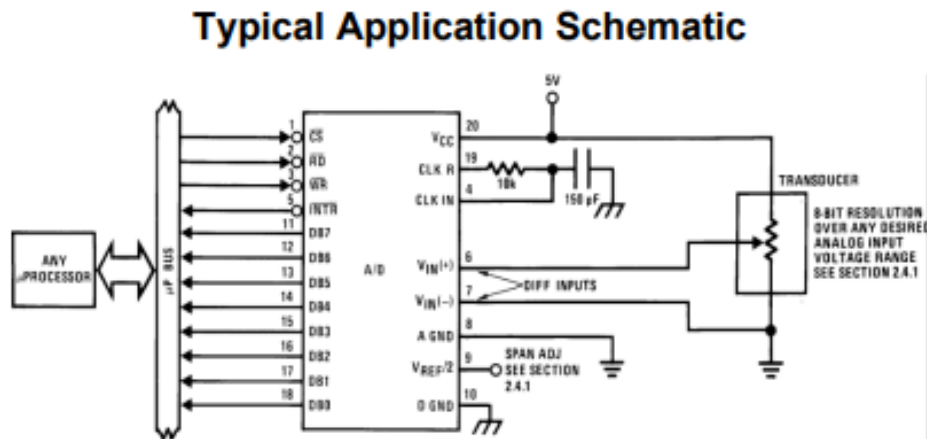
5.1 Conversores AD comerciais

Serão analisados três conversores analógico-digitais comerciais representativos, cada um utilizando uma interface de comunicação distinta: paralela, SPI e I²C. Permitindo, assim, uma comparação abrangente entre diferentes abordagens de interfaceamento, complexidade e desempenho.

- **ADC0804**

O ADC0804 é um conversor analógico-digital de 8 bits que utiliza uma *interface paralela* para comunicação. Esta interface caracteriza-se pela transferência direta de todos os bits de dados simultaneamente através de múltiplos pinos, oferecendo simplicidade de operação e baixa latência. Seu funcionamento baseia-se em sinais de controle diretos: um pulso no pino WR (Write) inicia o processo de conversão, enquanto

o sinal INTR (Interrupt) indica o término da conversão. A leitura dos dados é realizada através da ativação do pino RD (Read), que disponibiliza os 8 bits de resultado nos pinos D0 a D7.



Fonte: ADC0804 datasheet

Esta interface paralela apresenta a vantagem de alta velocidade na transferência de dados, uma vez que todos os bits são transmitidos em um único ciclo. Entretanto, requer um número significativo de pinos (12 no total), o que pode ser limitante em sistemas com restrição de recursos. Em comparação com interfaces seriais, o ADC0804 é mais adequado para aplicações onde a velocidade é crítica e há disponibilidade de pinos no microcontrolador.

- **MCP3008**

O MCP3008 representa uma evolução na interfaceamento, utilizando o *protocolo SPI* (Serial Peripheral Interface) para comunicação. Esta interface serial sincronizada opera com quatro sinais principais: SCLK (clock), MOSI (Master Out Slave In), MISO (Master In Slave Out) e CS (Chip Select). Diferentemente do ADC0804, o MCP3008 transmite os dados bit a bit, sob controle de um sinal de clock, o que reduz significativamente o número de pinos necessários para apenas quatro.

O protocolo SPI permite maior flexibilidade e eficiência em sistemas com múltiplos dispositivos, além de oferecer velocidades de comunicação superiores às interfaces I²C. No entanto, requer mais pinos que o I²C, já que cada dispositivo escravo typically necessita de um pino CS dedicado. Esta interface é particularmente vantajosa em aplicações que demandam maior velocidade que o I²C, mas onde o número de pinos não é tão crítico quanto no caso de interfaces paralelas.

Functional Block Diagram

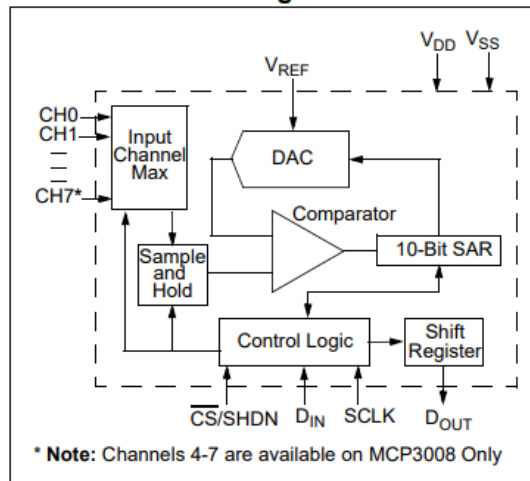


Figura 18: Conversor Analógico-Digital MCP3008

Fonte: MCP3008 datasheet

- **ADS1115**

O ADS1115 utiliza a *interface I²C* (Inter-Integrated Circuit), um protocolo serial que emprega apenas dois sinais: SDA (Serial Data) e SCL (Serial Clock). Esta interface permite a conexão de múltiplos dispositivos no mesmo barramento, com endereçamento individual, making it altamente eficiente em termos de utilização de pinos. O ADS1115 destaca-se por sua alta resolução de 16 bits e por incluir registradores internos programáveis para configuração de ganho, taxa de amostragem e modo de operação.

Comparado às interfaces anteriormente analisadas, o I²C oferece a maior economia de pinos, mas com velocidades geralmente inferiores ao SPI e à interface paralela. Esta característica o torna ideal para aplicações que priorizam a minimização de conexões e necessitam de moderada velocidade de comunicação, como em sistemas de monitoramento com múltiplos sensores.

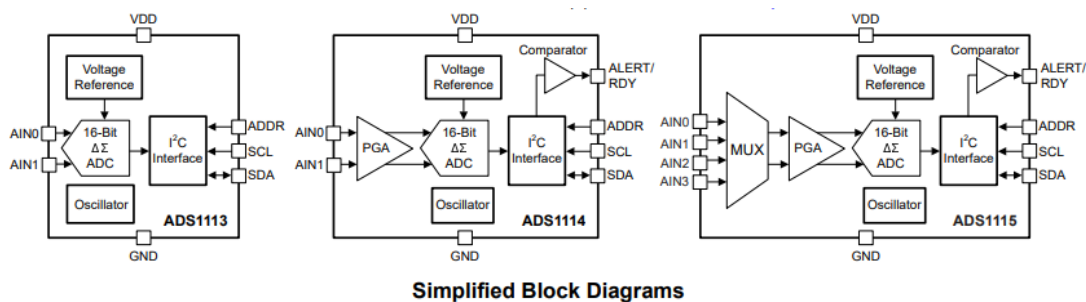


Figura 19: Conversor Analógico-Digital MCP3008

Fonte: MCP3008 datasheet

A transição do ADC0804 (paralelo) para o MCP3008 (SPI) e finalmente para o ADS1115 (I²C) ilustra um trade-off clássico entre velocidade, complexidade e economia de pinos. Enquanto a interface paralela oferece máxima velocidade ao custo de muitos

pinos, o SPI proporciona um equilíbrio razoável entre velocidade e número de conexões, e o I²C maximiza a economia de pinos com velocidade moderada. A escolha entre estas interfaces deve considerar as especificidades de cada aplicação, incluindo requisitos de velocidade, disponibilidade de pinos no microcontrolador e complexidade do sistema.

5.2 Conversores DA comerciais

Complementando a análise dos conversores AD, esta subseção examina dois conversores digital-analógicos comerciais representativos: o DAC0808, que utiliza interface paralela, e o MCP4921, baseado no protocolo SPI. A comparação entre estas interfaces permite compreender as mesmas trade-offs observadas nos conversores AD, mas agora aplicadas ao processo de conversão digital-analógico.

• DAC0808

O DAC0808 é um conversor digital-analógico de 8 bits que emprega interface paralela para receber os dados de entrada. Esta arquitetura caracteriza-se pela apresentação simultânea de todos os bits digitais nos pinos de entrada (D0-D7), que são convertidos imediatamente em uma corrente analógica proporcional ao valor digital. A *interface paralela* dispensa protocolos complexos de comunicação, operando através de sinais diretos e contínuos.

O funcionamento do DAC0808 baseia-se em uma rede de comutadores de corrente controlados digitalmente, onde cada bit de entrada contribui com um peso específico para a corrente de saída total. Esta abordagem resulta em tempos de estabelecimento rápidos, tipicamente na faixa de 150 ns, making it adequado para aplicações que requerem alta velocidade de atualização. Entretanto, similarmente ao ADC0804, esta interface consome significativos recursos de pinos, requiring 8 pinos apenas para dados, além de pinos adicionais para referência e ajuste.

Typical Application

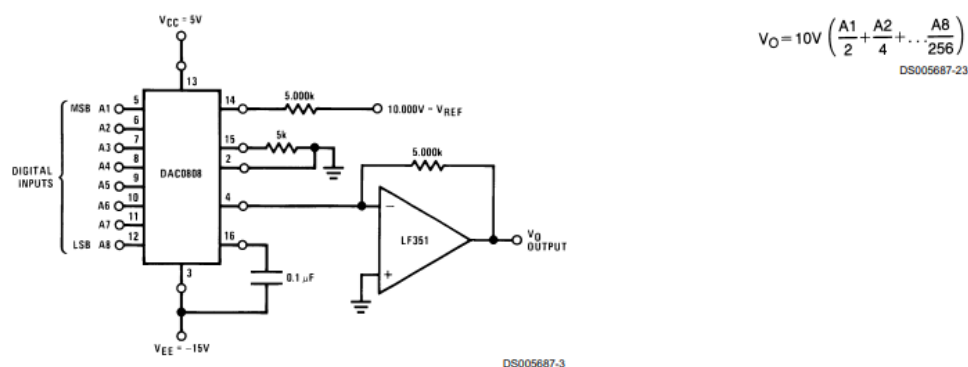


FIGURE 1. +10V Output Digital to Analog Converter (Note 8)

Figura 20: Conversor Digital-Analógico DAC0808

Fonte: DAC0808 datasheet

Em comparação com interfaces seriais, o DAC0808 oferece a vantagem da simplicidade de implementação e baixa latência, mas à custa de maior consumo de pinos e limitada escalabilidade em sistemas com múltiplos dispositivos.

- **MCP4921**

O MCP4921 representa uma abordagem moderna para conversão DA, utilizando *interface SPI* para comunicação serial. Este dispositivo de 12 bits de resolução emprega um protocolo serial sincronizado para receber os dados digitais, utilizando os sinais SCLK (Serial Clock), SDI (Serial Data Input), e CS (Chip Select). A transferência de dados ocorre através do envio de um pacote de 16 bits, contendo 4 bits de configuração e 12 bits de dados.

A interface SPI permite significativa economia de pinos em comparação com a solução paralela, requiring apenas 3 pinos para comunicação básica. Além disso, o protocolo SPI suporta endereçamento implícito através do sinal CS, facilitando a implementação de sistemas com múltiplos conversores DA no mesmo barramento. O MCP4921 inclui ainda recursos avançados como buffer de saída com ganho programável e modo de baixo consumo, características típicas de dispositivos com interface serial.

A transição do DAC0808 para o MCP4921 ilustra a mesma evolução observada nos conversores AD: da interface paralela, rápida mas resource-intensive, para a interface serial, mais eficiente em termos de pinos e funcionalmente mais rica. Esta evolução reflete as necessidades crescentes de integração e flexibilidade em sistemas embarcados modernos.

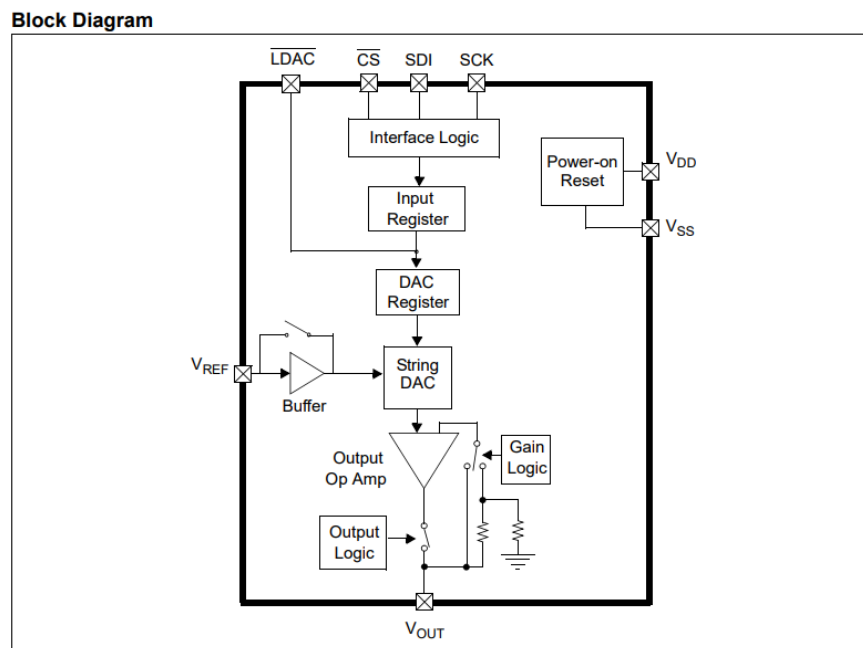


Figura 21: Conversor Digital-Analógico MCP4921

Fonte: MCP4921 datasheet

A comparação entre estas duas abordagens revela que a escolha entre interface paralela e serial para conversores DA envolve considerações similares às dos conversores A/D: a interface paralela mantém vantagem em aplicações de ultra-alta velocidade onde a latência mínima é crítica, enquanto as interfaces seriais como SPI são preferidas na maioria das aplicações modernas devido à sua eficiência em pinos, flexibilidade de configuração e adequação a sistemas com múltiplos dispositivos.

6. Conclusão

Este trabalho permitiu a implementação prática e a análise detalhada de conversores analógico-digitais (AD) e digital-analógicos (DA), desde a concepção em nível de portas lógicas até a integração de sistemas completos de conversão de sinais. Através do uso do ambiente TINA-TI, foi possível projetar, simular e validar um conversor AD Flash de 3 bits e um conversor DA baseado em divisor de tensão, ambos utilizando componentes da família SN74XX.

A integração dos dois conversores demonstrou a viabilidade de um sistema completo de aquisição e reconstrução de sinais, com a devida atenção às questões de temporização e sincronização. Além disso, a comparação entre arquiteturas de conversão AD (Flash, SAR e Sigma-Delta) e a análise de dispositivos comerciais com diferentes interfaces (paralela, SPI, I²C) proporcionaram uma visão abrangente sobre as trade-offs envolvidas em projetos reais de hardware.

Os resultados obtidos nas simulações confirmaram o correto funcionamento dos circuitos projetados, evidenciando a conversão e reconstrução de sinais com a resolução esperada de 3 bits. A análise de componentes comerciais reforçou a importância da escolha adequada da interface de comunicação conforme a aplicação, seja ela orientada a velocidade, economia de pinos ou complexidade de configuração.

5. Referências

SEDRA, Adel S.; SMITH, Kenneth C. *Microeletrônica*. São Paulo: Pearson Education, 2007.

FRANCO, Sergio. *Design with Operational Amplifiers and Analog Integrated Circuits*. 4. ed. New York: McGraw-Hill, 2015.

SCHILDT, Herbert. *Circuitos Elétricos e Eletrônicos*. 2. ed. Porto Alegre: Bookman, 2010.

JOHNSON, Don; HILBURN, John. *Operational Amplifiers and Linear Integrated Circuits*. 7. ed. Upper Saddle River: Pearson Prentice Hall, 2014.