

# Architektura Systemów Komputerów

## Laboratoria

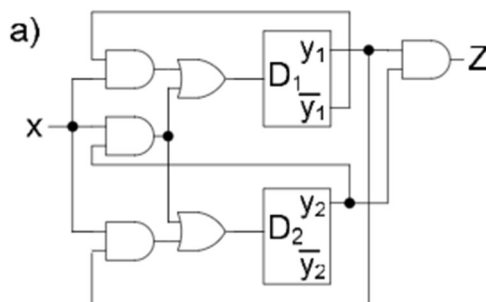
<b>Sprawozdanie z układów logicznych</b>	<b>Rok 2021</b>
<b>1.Nazwisko i imię – sprawozdanie pierwsze:</b> Wiktor Sadowy (260373) Filip Strózik (260377)	<b>Ćwiczenie nr: 4</b> Analiza układu synchronicznego
<b>2.Nazwisko i imię – sprawozdanie drugie:</b> Wiktor Sadowy (260373) Filip Strózik (260377)	<b>Temat ćwiczenia:</b> Układy kombinacyjne
<b>Grupa laboratoryjna nr (u prowadzącego):</b> Z01-45i	<b>Dzień tygodnia:</b> Piątek
<b>Płyta montażowa nr (z tyłu nadajnika):</b>	<b>Godziny zajęć (od-do):</b> 17:05-18:45

## Spis treści

1. Cel zadania.....	3
2. Wstęp (zagadnienia do samodzielnego opracowania).....	3
3. Układ synchroniczny.....	4
4. Typy przerzutników .....	5
5. Przerzutnik typu D .....	5
6. Tablica stanów przerzutnika typu D .....	6
7. Przerzutnik typu JK .....	7
8. Tablica stanów przerzutnika typu JK .....	8
9. Analiza układu I .....	9
10. Analiza układu wykorzystującego przerzutniki JK .....	13
11. Wnioski.....	18
12. Spis użytych układów. ....	18
13. Bibliografia.....	21

## 1. Cel zadania

Naszym zadaniem jest analiza układu synchronicznego i przekształcenie go na układ zawierający bramki NAND. Nie możemy do realizacji tego zadania użyć jakiejkolwiek bramki AND lub OR. Nie możemy też używać bramki NOT oraz bramek NAND do realizacji bramki NOT. Możemy wykorzystać maksymalnie jedną bramkę NOR. Układ skonstruowany zgodnie z podanymi zasadami ma się zachowywać identycznie jak układ synchroniczny, którego schemat jest poniżej:



Dodatkowo mamy zrealizować powyższy układ używając dwóch przerzutników typu JK (cały układ ma dodatkowo zawierać 1 bramkę NOT i 2 bramki NAND).

## 2. Wstęp (zagadnienia do samodzielnego opracowania)

Zanim zaczniemy zadanie zdefiniujmy kilka pojęć z których będziemy korzystać podczas wykonywania zadania:

- Analiza układu synchronicznego – żeby zrealizować zadanie należy dokonać analizy podanego układu synchronicznego. Analizę zaczynamy od konkretnego schemat logicznego układu którego funkcję należy odczytać. Rezultatem końcowym będzie tablica przejść-wyjść opisująca zachowanie układu synchronicznego z której będziemy potem korzystać aby móc zrealizować dany układ za pomocą bramek
- Rodzaje przerzutników – w tym zadaniu będziemy korzystać z przerzutników typu D oraz JK. Dokładny opis tych przerzutników znajduje się w punktach 3-7
- Układy wzbudzeń wejść przerzutników – tablica funkcji wzbudzeń przedstawia związek między stanami na wyjściach przerzutnika a stanami na wejściach danego przerzutnika. Poniższa tabela prezentuje tablicę funkcji wzbudzeń dla przerzutnika JK

$y^t \rightarrow y^{t+1}$	$J^t \ K^t$
$0 \rightarrow 0$	$0 \ -$
$0 \rightarrow 1$	$1 \ -$
$1 \rightarrow 0$	$- \ 1$
$1 \rightarrow 1$	$- \ 0$

przerzutnik JK,  $- \in \{0,1\}$

- Układ wyjść układu synchronicznego – tablica wyjść pokazuje nam zależność stanu na wyjściu od poprzedniego stanu układu. Poniższa tabela reprezentuje tablicę wyjść dla układu Moore'a, którego stan na wyjściach zależy od poprzedniego stanu układu

b)

$y_1 y_2$	$Z$
0 0	0
0 1	—
1 1	0
1 0	1

- e) Tablica przejść-wyjść – tablica opisująca zachowanie układu synchronicznego. Podajemy w niej poprzednie stany przerzutnika, stany na wejściach oraz stany na wyjściach. Poniżej jest pokazania przykładowa tablica przejść-wyjść dla układu Moore'a

b)

$y_1^t y_2^t \backslash x^t$	0	1	$Z^t$
$B_1=00$	00	10	0
$B_2=01$	11	10	1
$B_4=11$	00	01	0
$B_3=10$	11	10	0

układ Moore'a

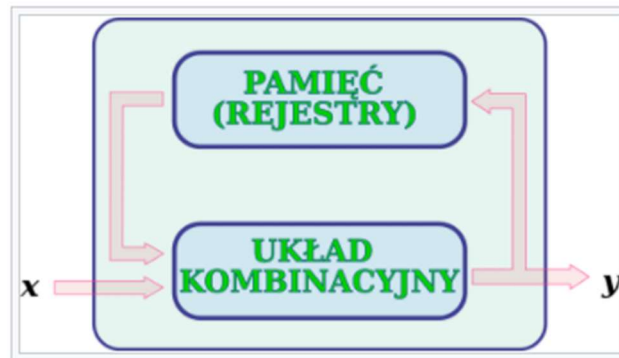
$y_1^{t+1} y_2^{t+1}$

- f) Tablica stanów – tablica opisująca zależność pomiędzy stanami na wejściach przerzutnika a stanami na wyjściach przerzutnika. Poniżej została zaprezentowana tablica stanów dla przerzutnika typu JK. Możemy zauważyć, że w tabeli mamy też podany poprzedni stan przerzutnika.

$y^t$	$J^t$	$K^t$	$y^{t+1}$
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

### 3. Układ synchroniczny

Układ synchroniczny to typ układu sekwencyjnego. Stan wyjść tego układu zależy od stanu wejść układu oraz od poprzedniego stanu nazywanego stanem wewnętrznym, który jest pamiętany w pamięci (zespole rejestrów). Poniższy rysunek wizualizuje jak działa układ synchroniczny



W porównaniu do układów asynchronicznych gdzie zmiana sygnałów wejściowych natychmiast powoduje zmianę wyjść, w układach synchronicznych zmiana stanu wewnętrznego następuje wyłącznie w określonych chwilach, które wyznacza sygnał zegarowy.

Każdy układ synchroniczny zawiera wejście zegarowe, które jest oznaczone symbolami C, CLK lub CLOCK. Bardzo często w układach synchronicznych dochodzi do sytuacji, że mimo braku zmiany stanu wejść, stan wewnętrzny może w kolejnych taktach zegara ulec zmianie.

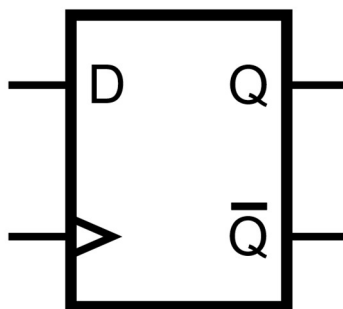
## 4. Typy przerzutników

Wyróżniamy następujące typy przerzutników:

- a) typu RS
- b) typu D
- c) typu T
- d) typu JK
- e) typu JK-mS
- f) typu RS (synchroniczny i asynchroniczny)

Wszystkie przerzutniki, oprócz przerzutnika typu RS, są układami synchronicznymi. W tym zadaniu będziemy korzystać z przerzutnika typu D oraz przerzutnika typu JK, więc skupimy się na opisie tych przerzutników.

## 5. Przerzutnik typu D

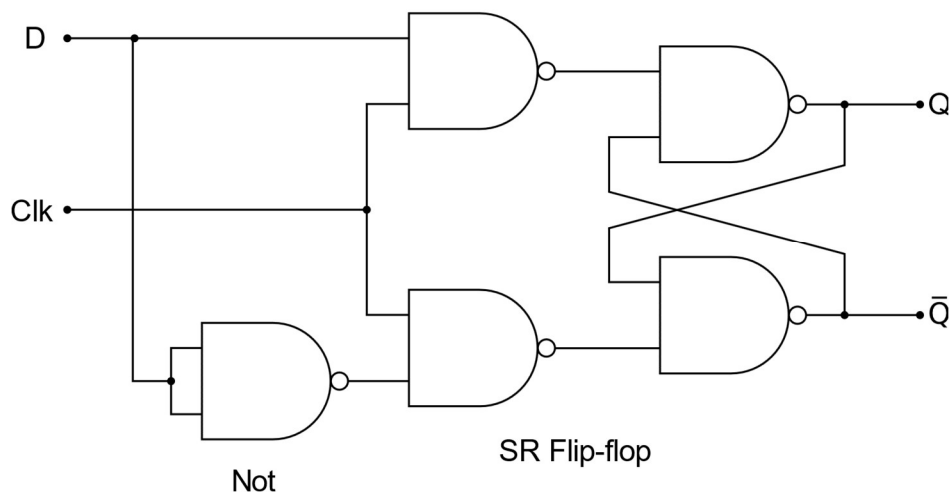


Rysunek 1. Symbol przerzutnika typu D

D – wejście informacyjne

Q – wyjście

$\bar{Q}$  – wyjście zanegowane



Rysunek 2. Przerzutnik typu D zbudowany z bramek NAND

D – wejście informacyjne

Q – wyjście

$\bar{Q}$  – wyjście zanegowane

Clk - zegar

Przerzutnik typu D jest jednym z podstawowych rodzajów przerzutników synchronicznych. Przerzutnik przepisuje stan wejścia informacyjnego D na wyjście Q. Przepisanie informacji następuje wyłącznie przy odpowiednim stanie wejścia zegarowego.

Przeważnie w przerzutnikach typu D jest stosowana synchronizacja zboczem zegara czyli przejście z jednego stanu do drugiego, ale też stosuje się Latch zwany zatrząskiem, który polega na tym, że w gdy jest przyłożony stan wysoki na wejściu zegarowym to wyjście Q powtarza stany podawane na wejściu D aż do momentu zmiany stanu zegara gdzie następuje „zatrzaśnięcie” przerzutnika i od tej chwili informacja na wyjściu Q pozostaje niezmienna aż do następnego taktu zegarowego.

Przerzutniki typu D są najczęściej używane jako układy opóźniające lub jako układy służące do przetrzymywania małych ilości danych.

## 6. Tablica stanów przerzutnika typu D

Działanie przerzutnika typu D można opisać za pomocą tablicy stanów, która obrazuje stan wyjścia dla podanych wejść oraz dla podanego stanu zegara.

clk	D	Q	$\bar{Q}$
0	0	Q	$\bar{Q}$
0	1	Q	$\bar{Q}$
1	0	0	1
1	1	1	0

Rysunek 3. Tablica stanów przerzutnika typu D

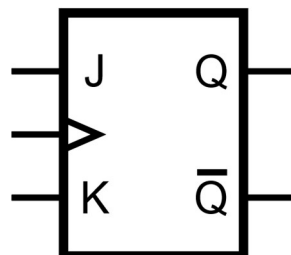
clk – zegar

D - wejście informacyjne

Q – wyjście

$\bar{Q}$  – wyjście zanegowane

## 7. Przerzutnik typu JK

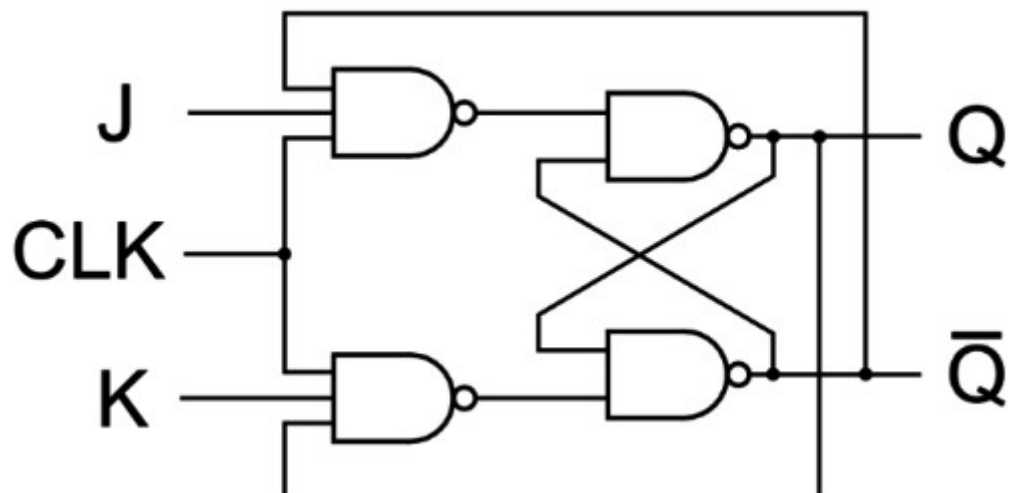


Rysunek 4. Symbol przerzutnika typu JK

Q – wyjście

$\bar{Q}$  – wyjście zanegowane

J, K – wejścia informacyjne



Rysunek 5. Przerzutnik typu JK

Q – wyjście

$\bar{Q}$  – wyjście zanegowane

J, K – wejścia informacyjne

CLK – wejście zegarowe

Przerzutnik typu JK jest jednym z podstawowych rodzajów przerzutników synchronicznych. Przerzutnik ten posiada wejścia informacyjne J, K, zegarowe CLK, wyjście proste Q oraz jego negację  $\bar{Q}$ . Podanie stanu uwysokiego na wejście J powoduje ustawienie przerzutnika (co powoduje pojawieniem się stanu wysokiego na wyjściu Q). Ustawienie wejścia K w stan wysoki przestawia przerzutnik w stan niski. Jeżeli na obydwu wejściach został podany stan wysoki to nastąpi zmiana stanu przerzutnika na stan przeciwny.

## 8. Tablica stanów przerzutnika typu JK

Inputs		Outputs
J	K	$Q_n - Q_{n+1}$
0	0	0 → 0
0	0	1 → 1
0	1	0 → 0
0	1	1 → 0
1	0	0 → 1
1	0	1 → 1
1	1	0 → 1
1	1	1 → 0

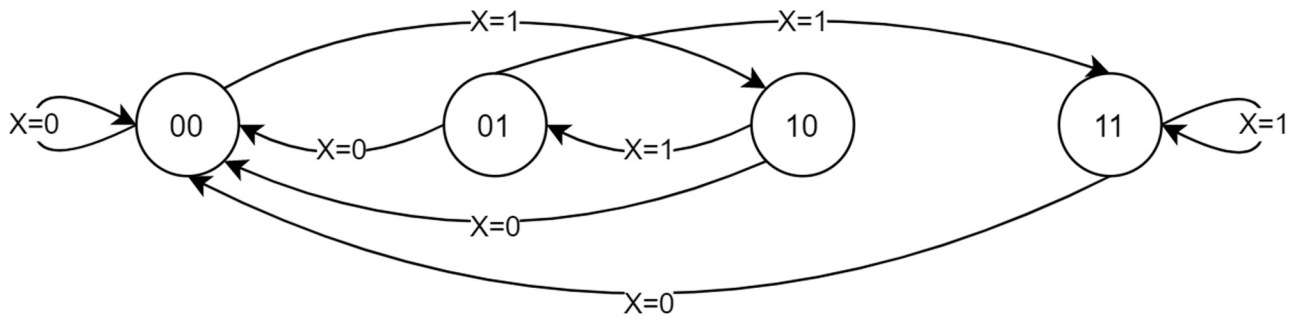
Rysunek 6. Tabela stanów przerzutnika typu JK



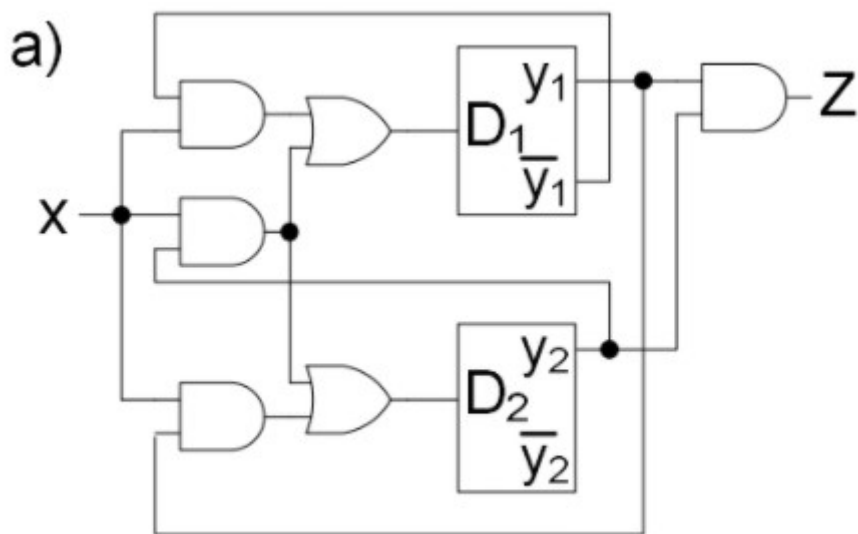
J, K – wejścia informacyjne

$Q_n - Q_{n+1}$  – zmiana stanu wyjścia po jednym takcie zegara

## 9. Analiza układu I



Rysunek 7. Graf stanu układu I.



Tablica przejść-wyjść.

$y_1, y_2 \backslash x$	0	1	Z
00	00	10	0
01	00	11	1
10	00	01	0
11	00	11	1

Tabela 1. Tablica przejść-wyjść układu 1

Wyniki eksperymentu.

czas	t <sub>5</sub>	t <sub>4</sub>	t <sub>3</sub>	t <sub>2</sub>	t <sub>1</sub>	t <sub>0</sub>
X	1	1	1	1	0	0
y1,y2	10	01	11	11	00	00
Z	0	0	1	1	0	0

Tabela 2. Wyniki analizy układu 1

Aby zrealizować powyższy układ za pomocą bramek NAND i jednej bramki NOR, korzystam z praw De Morgana:

Do wejścia D pierwszego przerzutnika:

$$D_1 = A_1 + B_1 = \overline{\overline{A_1} * \overline{B_1}}$$

Gdzie:

$$A_1 = \overline{y_1} * x, B_1 = y_2 * x$$

Do wejścia D drugiego przerzutnika:

$$D_2 = A_2 + B_2 = \overline{\overline{A_2} * \overline{B_2}}$$

Gdzie:

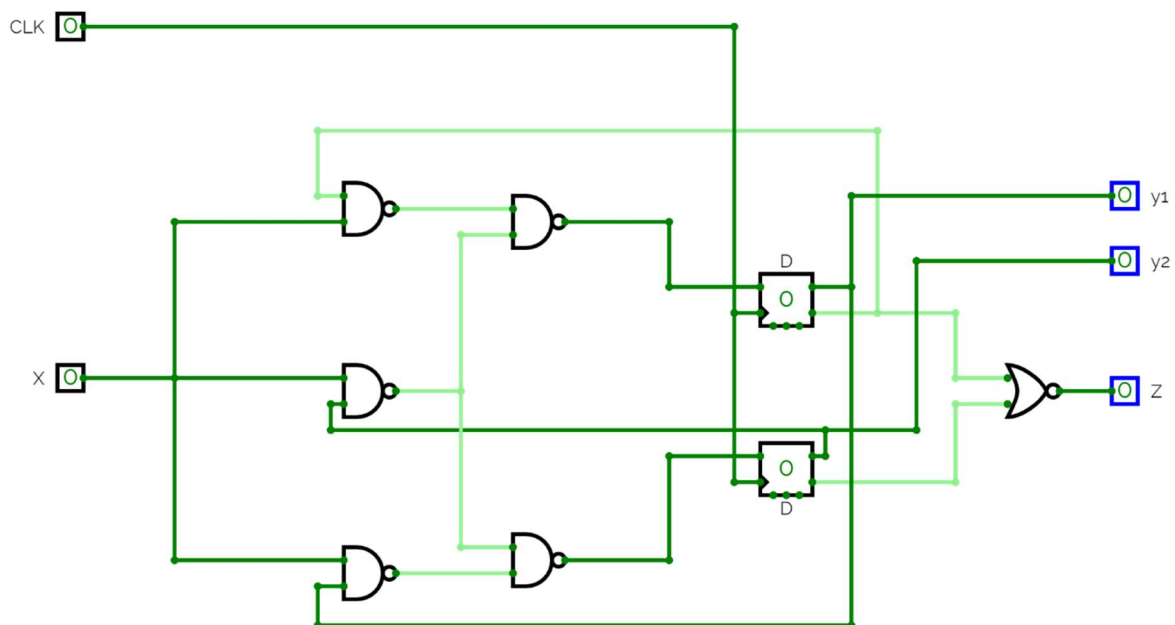
$$A_2 = y_1 * x, B_2 = y_2 * x$$

Ponieważ każdą bramkę AND i OR można zastąpić bramką NAND.

Końcową bramkę AND, której wejściami są wyjścia z przerzutników można zastąpić bramką NOR:

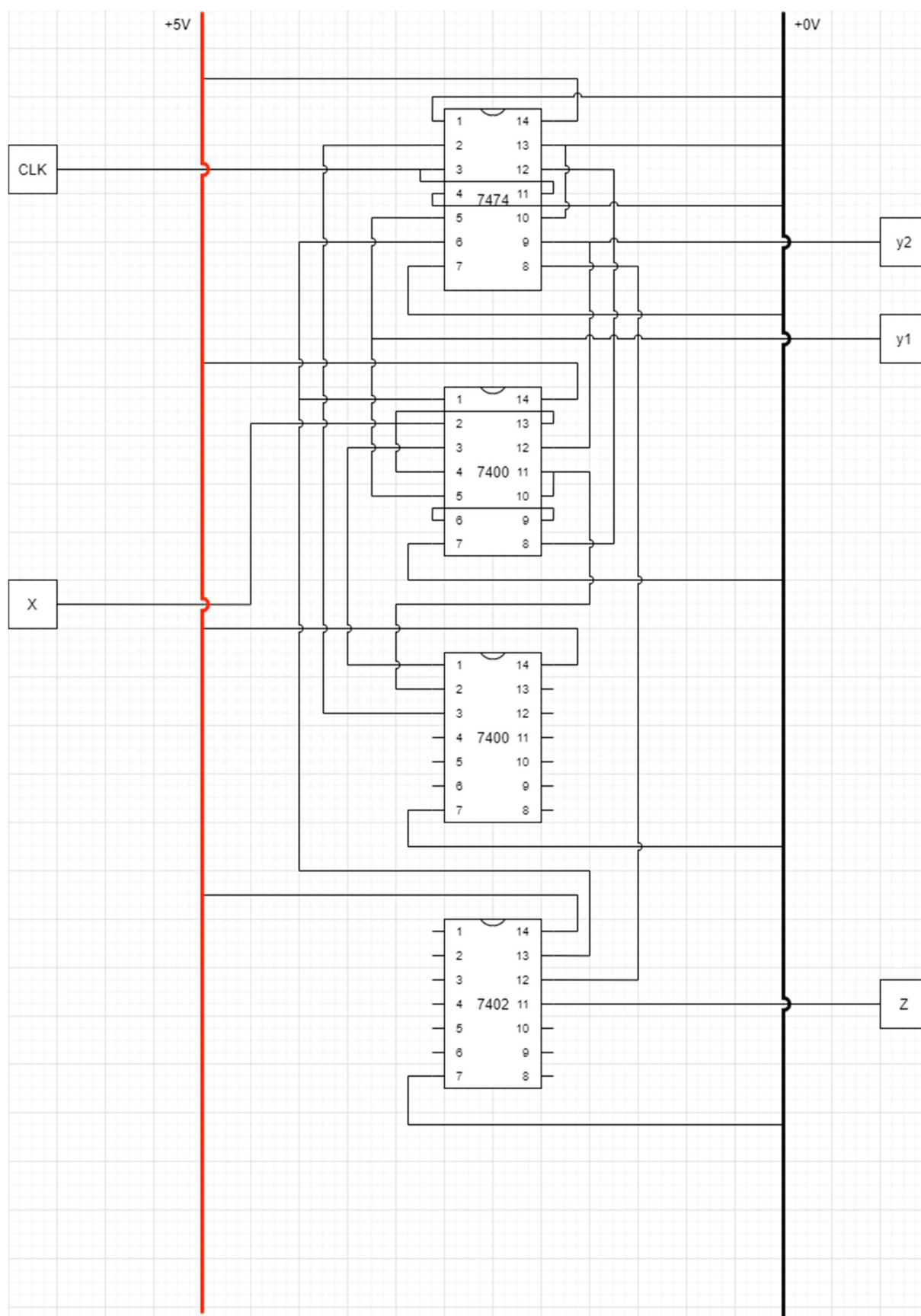
$$A * B = \overline{\overline{A} + \overline{B}}$$

Schemat logiczny układu z użyciem bramek NAND oraz jednej bramki NOR:



Rysunek 8. Schemat logiczny układu zrealizowanego za pomocą bramek NAND i jednej bramki NOR

Schemat podłączenia układu realizujący wyżej wymienioną funkcję:



Rysunek 9. Schemat podłączenia układu realizujący wyżej wymienioną funkcję.

Tablica prawdy dla układu:

WEJŚCIA		WYJŚCIA		
CLK	X	y1	y2	Z
0	0	0	0	0
1	0	0	0	0
0	1	0	0	0
1	1	1	0	0
0	1	1	0	0
1	1	0	1	0
0	1	0	1	0
1	1	1	1	1
0	1	1	1	1
1	1	1	1	1
0	0	1	1	1
1	0	0	0	0

Tabela 3. Tablica prawdy dla układu 1

## 10. Analiza układu wykorzystującego przerzutniki JK

Aby zrealizować wcześniejszą funkcję w układzie synchronicznym wykorzystującym przerzutniki JK, korzystam z uproszczonej tabeli przejść po takcie zegarowym wartości na wyjściach y1, y2 w zależności od ich poprzedniego stanu.

y(t)	y(t+1)	J	K
0	0	0	0
0	0	0	1
0	1	1	0
0	1	1	1
1	1	0	0
1	1	1	0
1	0	0	1
1	0	1	1

Tabela 4. Stany wyjścia przerzutnika JK w zależności od poprzedniego stanu

Na podstawie tej tabeli, można rozpisać tabelę wartości każdego z dwóch przerzutników, tak aby realizowały zadaną funkcję.

x	y1(t)	y2(t)	y1(t+1)	y2(t+2)	J1	K1	J2	K2
0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	1
0	0	0	0	0	0	1	0	0
0	0	0	0	0	0	1	0	1
0	0	1	0	0	0	0	0	1
0	0	1	0	0	0	0	1	1
0	0	1	0	0	0	1	0	1
0	0	1	0	0	0	1	1	1
0	1	1	0	0	0	1	0	1
0	1	1	0	0	0	1	1	1
0	1	1	0	0	1	1	0	1
0	1	1	0	0	1	1	1	1
0	1	0	0	0	0	1	0	0
0	1	0	0	0	0	1	0	1
0	1	0	0	0	1	1	0	0
0	1	0	0	0	1	1	0	1
1	0	0	1	0	1	0	0	0
1	0	0	1	0	1	0	0	1
1	0	0	1	0	1	1	0	0
1	0	0	1	0	1	1	0	1
1	0	1	1	1	1	0	0	0
1	0	1	1	1	1	0	1	0
1	0	1	1	1	1	1	0	0
1	0	1	1	1	1	1	1	0
1	1	1	1	1	0	0	0	0
1	1	1	1	1	0	0	1	0
1	1	1	1	1	1	0	0	0
1	1	1	1	1	1	0	1	0
1	1	0	0	1	0	1	1	0
1	1	0	0	1	0	1	1	1
1	1	0	0	1	1	1	1	0
1	1	0	0	1	1	1	1	1

Tabela 5. Tabela wartości przerzutników JK realizujących układ 1

Tabela wartości J i K przerzutnika pierwszego:

J1			
<div><div></div><div>X</div><div>0</div><div>1</div></div>			
y1y2			
00	0	1	
01	0	1	
11	X	X	
10	X	X	

K1			
<div><div></div><div>X</div><div>0</div><div>1</div></div>			
y1y2			
00	X	X	
01	X	X	
11	1	0	
10	1	1	

Tabela wartości J i K przerzutnika drugiego:

J2			
<div>y1y2 \ X</div>	0	1	
00	0	0	
01	X	X	
11	X	X	
10	0	1	

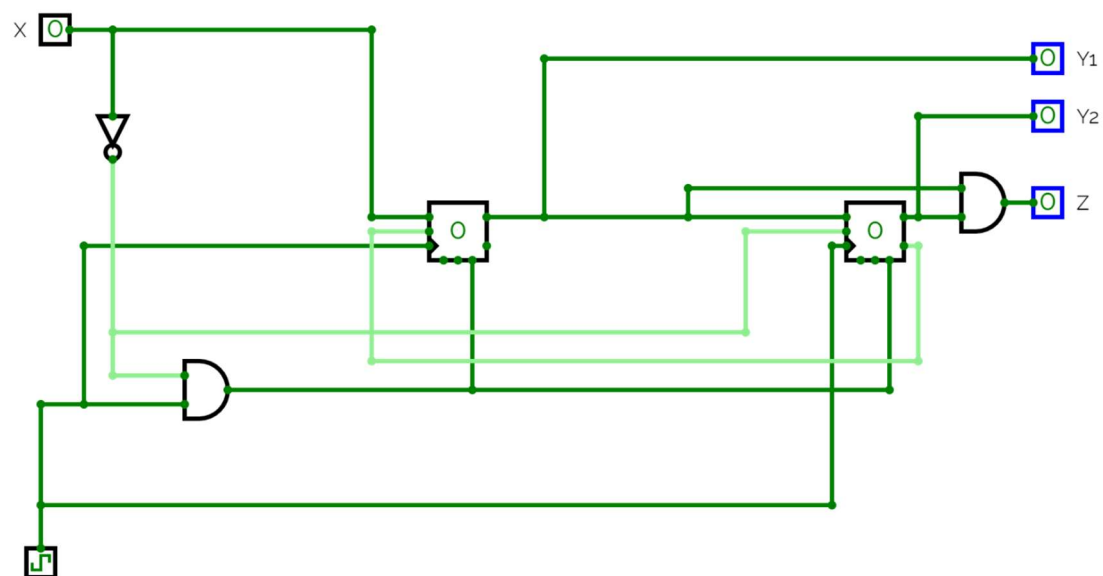
K1			
<div>y1y2 \ X</div>	0	1	
00	X	X	
01	1	0	
11	1	0	
10	X	X	

Analizując tabele można stwierdzić, że:

$$J1 = x, K1 = \bar{x} + \bar{y}2$$

$$J2 = x * y1, K2 = \bar{x}$$

Schemat logiczny układu z użyciem bramek AND oraz jednej bramki NOT:



Rysunek 10. Układ logiczny zrealizowany przy użyciu jednej bramki NOT oraz dwóch bramek AND używający dwóch przerzutników JK.



17

Tablica prawdy dla układu:

WEJŚCIA		WYJŚCIA		
CLK	X	y1	y2	Z
0	0	0	0	0
1	0	0	0	0
0	1	0	0	0
1	1	1	0	0
0	1	1	0	0
1	1	0	1	0
0	1	0	1	0
1	1	1	1	1
0	1	1	1	1
1	1	1	1	1
0	0	1	1	1
1	0	0	0	0

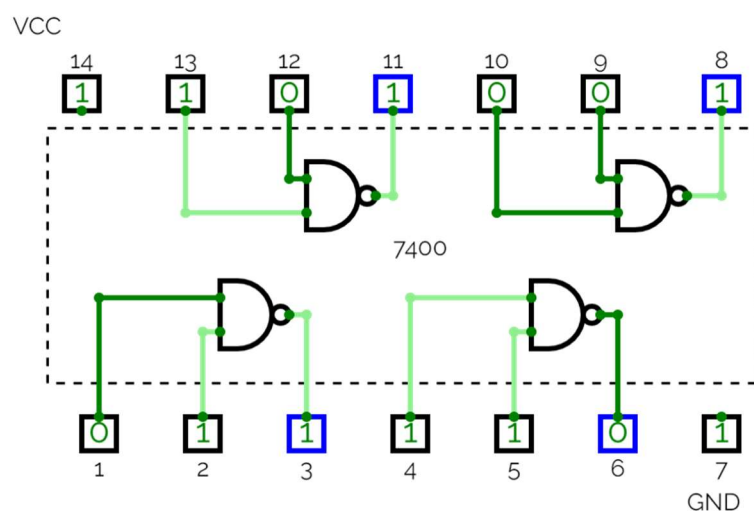
Tabela 6. Tablica prawdy dla układu zbudowanego z dwóch przerzutników JK

## 11. Wnioski.

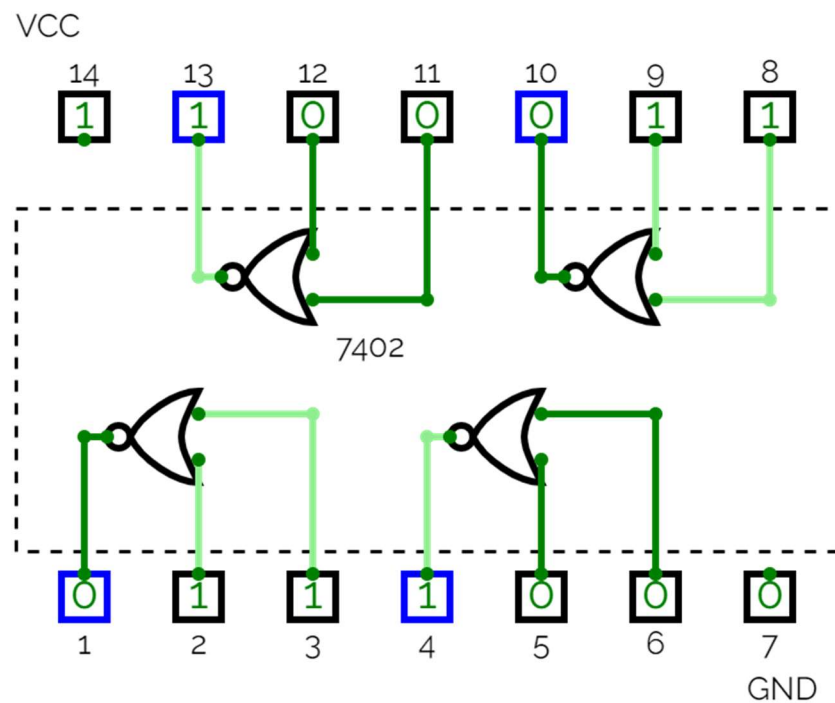
Naszym zadaniem była realizacja analiza podanego układu synchronicznego, a potem konstrukcja dwóch układów identycznych do podanego układu. Jeden z tych układów miał używać bramek NAND natomiast drugi miał używać dwóch przerzutników typu JK. Zadanie to było możliwe do zrealizowania dzięki użyciu praw De Morgana oraz uzyskanej wiedzy o działaniu przerzutników. Identyczność układów można zauważyć poprzez analizę tabeli 3, która jest tabelą prawdy dla układu podanego w treści zadania oraz do układu zawierającego bramki NAND oraz tabeli 6, która jest tabelą prawdy dla układu zbudowanego z dwóch przerzutników JK. Możemy zauważyć, że dla każdego stanu na wejściach mamy identyczne stany na wyjściach.

## 12. Spis użytych układów.

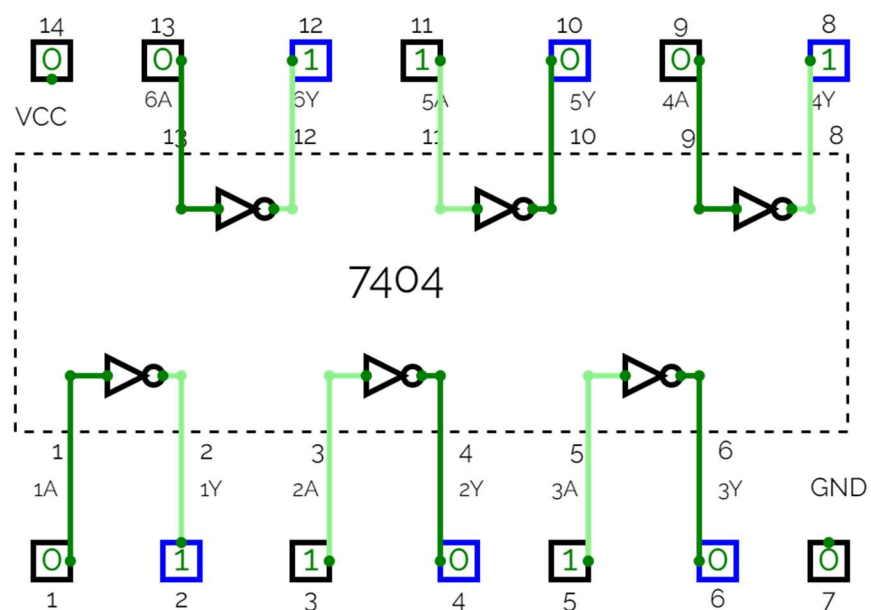
- Układ 7400 – Układ zawierający 4x bramkę NAND



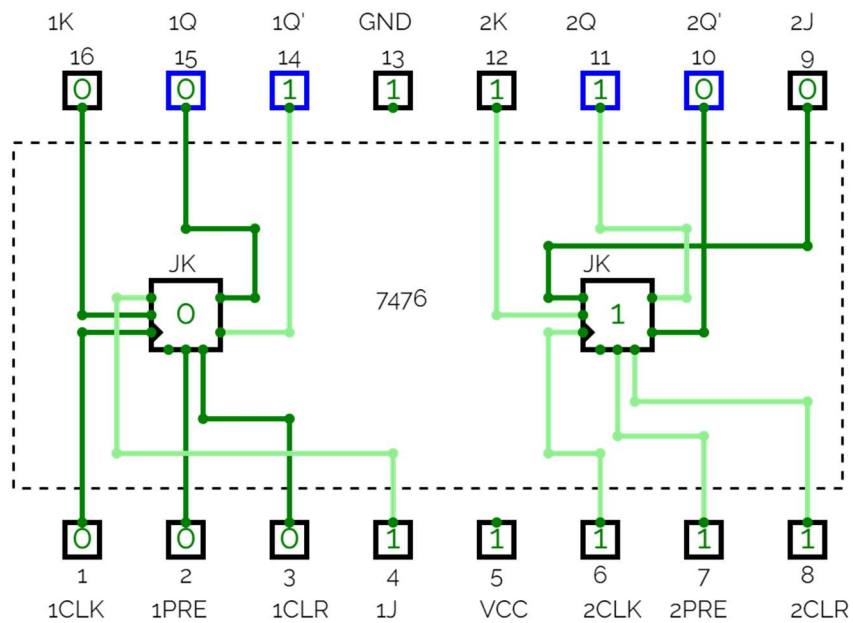
- Układ 7402 – Układ zawierający 4x bramkę NOR



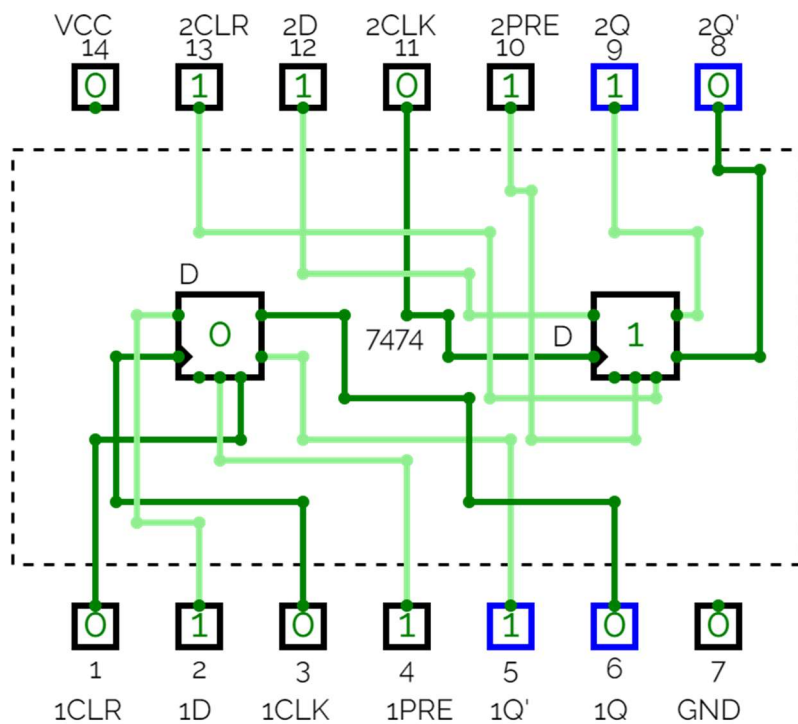
- Układ 7404 – układ zawierający 6x inwerter NOT



- Układ 7476 – Układ zawierający dwa przerzutniki typu JK



- Układ 7474 – Układ zawierający dwa przerzutniki typu D



## 13. Bibliografia

- a) [https://eduinf.waw.pl/inf/alg/002\\_struct/0034.php](https://eduinf.waw.pl/inf/alg/002_struct/0034.php)
- b) [https://eduinf.waw.pl/inf/alg/002\\_struct/0033.php](https://eduinf.waw.pl/inf/alg/002_struct/0033.php)
- c) Układy:  
<https://circuitverse.org/users/71768/projects/cw4>