

Architektura Systemów Komputerów

Laboratoria

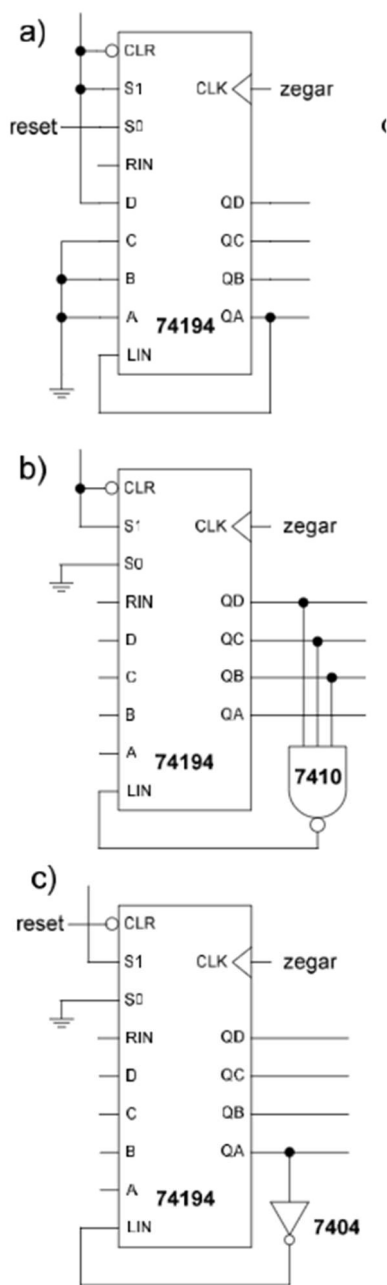
Sprawozdanie z układów logicznych	Rok 2021
1.Nazwisko i imię – sprawozdanie pierwsze: Wiktor Sadowy (260373) Filip Strózik (260377)	Ćwiczenie nr: 1
2.Nazwisko i imię – sprawozdanie drugie: Wiktor Sadowy (260373) Filip Strózik (260377)	Temat ćwiczenia: Ćwiczenie wprowadzające w tematykę laboratorium
Grupa laboratoryjna nr (u prowadzącego): Z01-45i	Dzień tygodnia: Piątek
Płyta montażowa nr (z tyłu nadajnika):	Godziny zajęć (od-do): 17:05-18:45

Spis treści

1. Cel zadania.....	3
2. Wstęp (zagadnienia do samodzielnego opracowania).....	4
3. Schemat układu 74194	4
4. Blok logiczny układu 74194	5
5. Specyfikacja układu oraz sposób działania.....	6
6. Tabela funkcji układu 74194.....	6
7. Zastosowania układu 74194.....	7
8. Analiza działania układu A	8
9. Analiza działania układu B	11
10. Analiza działania układu C	14
11. Wnioski	17
12. Spis użytych układów	17
13. Bibliografia.....	19

1. Cel zadania

Naszym zadaniem jest zapoznać się ze specyfikacją układu scalonego 74194 oraz z zasadą jego działania. Korzystając z tej wiedzy naszym zadaniem będzie przeanalizowanie i słowne opisanie następujących układów:



Rysunek 1

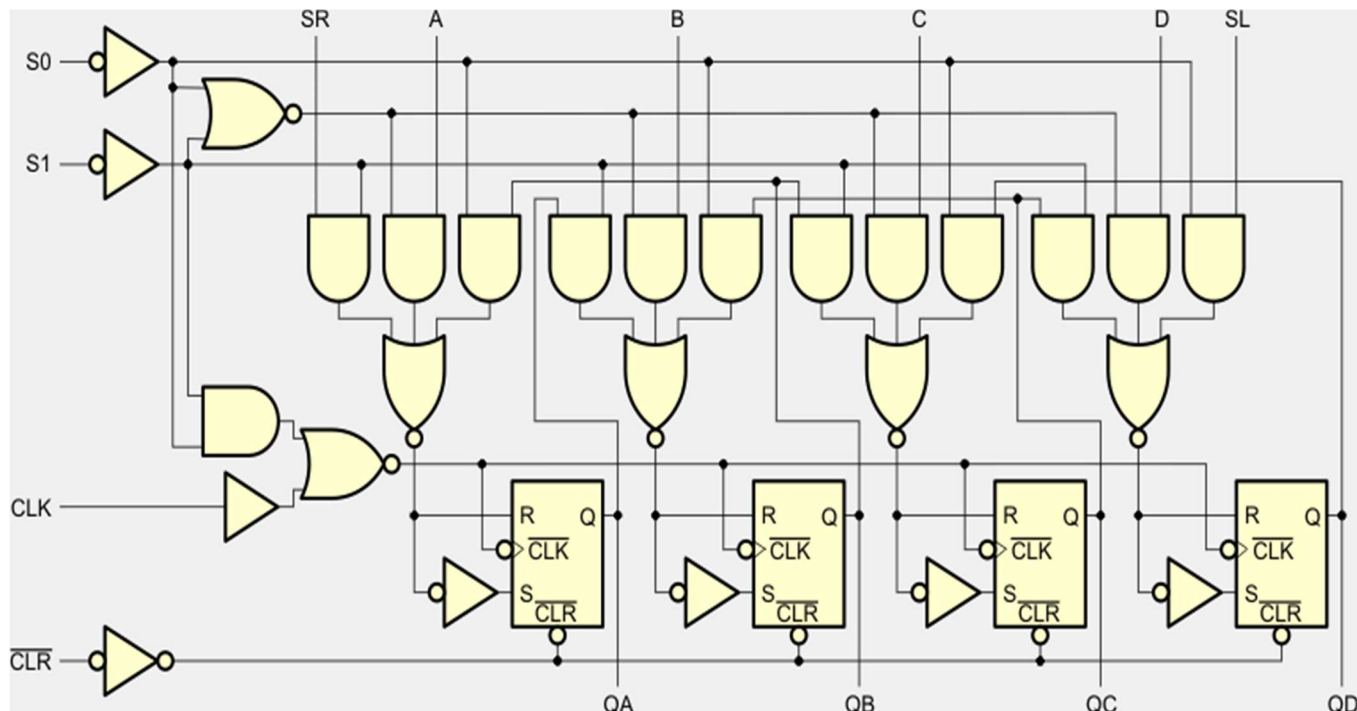
Naszym zadaniem będzie konstrukcja powyższych układów i ich analiza.

2. Wstęp (zagadnienia do samodzielnego opracowania)

Przed podjęciem się tego zadania zdefiniujemy podstawowe pojęcia z których będziemy korzystać podczas tego zadania:

- a) Rola sygnału taktującego (zegara) – sposób sterowania pracą w układach synchronicznych polega na dostarczeniu przez układ sygnału elektrycznego o określonej częstotliwości (częstotliwość taktowania). Taki układ wykonuje jedną operację za każdym razem gdy dotrze do niego impuls taktujący.
- b) Sygnał CLEAR w układzie 74194 – sygnał CLEAR służy do zerowania całego rejestru w sposób nadrzędny nad operacją przesuwu. Przeważnie w układach pojawia się on w wersji zanegowanej, więc gdy przyłożymy stan niski do zanegowanego wejścia CLEAR to na każdym wyjściu będziemy mieli stan niski.
- c) Rola sygnału RESET – sygnał RESET służy do ustawienia układu do jego początkowego stanu np. w układzie A za początkowy stan można uznać stan wysoki na wyjściu QD i stan niski na wyjściach: QA, QB, QC i potem ten stan przesuwamy się do QC, QB, QA, QD itd. W dowolnym momencie możemy za pomocą sygnału RESET ustawić układ do początkowego stanu tak, aby stan wysoki był na wyjściu QD, a na reszcie wyjść był stan niski.
- d) Różnica między LIN a RIN i rola A, B, C, D – w układzie 74194 są to odpowiednio wejścia danych szeregowych prze przesuwie w lewo oraz wejścia szeregowo przy przesuwie w prawo. W momencie w którym przyłożymy stan wysoki do LIN dane będą przesuwane w lewo co oznacza, że jak na wyjściu QA będziemy mieli stan wysoki to po kolejnym takcie zegara ten stan przeniesie się na wyjście QD. Na odwrót działa RIN czyli przyłożony stan wyjściu QD przeniesie się na QA. W momencie przyłożenia stanu niskiego do LIN i RIN nie będzie dochodziło do przesuwów. W momencie przyłożenia stanu wysokiego do LIN i RIN wyjścia QA, QB, QC, QD przyjmą odpowiednio stany zadane na wejściach A, B, C, D

3. Schemat układu 74194



Rysunek 1. Układ 74194

S0 i S1 – wejścia określające typ pracy układu

(Dla stanu $S0:S1 = 0:0$ zegar jest zablokowany i nic nie jest wykonywane)

Dla stanu 1:0 mamy przesuw w prawo w kierunku od Qa do Qd

Dla stanu 0:1 mamy przesuw w lewo w kierunku od Qd do Qa

Dla stanu 1:1 mamy wpis równoległy (wprowadzenie danych))

CLK – wejście sygnału zegarowego (co każdy impuls zegara dokonywane są zmiany)

\overline{CLR} – asynchroniczne wejście zerowania (stan niski wymusza stan 0 na wszystkich Q)

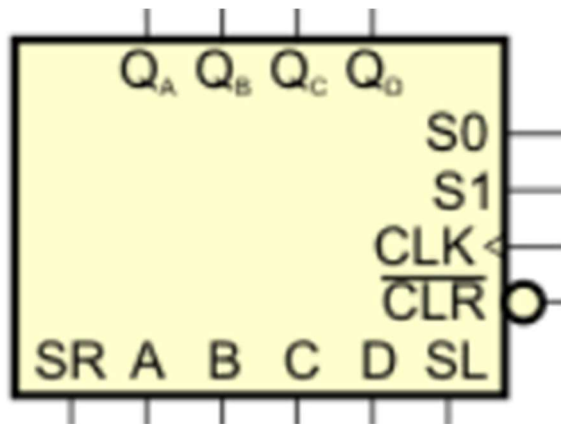
SR – wejście danych szeregowo przy przesuwie w prawo

SL – wejście danych szeregowo przy przesuwie w lewo

A, B, C, D – Wejścia danych równoległych

Qa, Qb, Qc, Qd – wyjścia równoległe

4. Blok logiczny układu 74194



Rysunek 2. Blok logiczny układu 74194

$S0$ i $S1$ – wejścia określające typ pracy układu

Dla stanu 1:1 mamy wpis równoległy (wprowadzenie danych))

CLK – wejście sygnału zegarowego (co każdy impuls zegara dokonywane są zmiany)

\overline{CLR} – asynchroniczne wejście zerowania (stan niski wymusza stan 0 na wszystkich Q)

SR – wejście danych szeregowo przy przesuwie w prawo

SL – wejście danych szeregowo przy przesuwie w lewo

A, B, C, D – Wejścia danych równoległych

Qa, Qb, Qc, Qd – wyjścia równoległe

5. Specyfikacja układu oraz sposób działania

Układ 74194 jest 4-bitowym dwukierunkowym rejestrem przesuwным. Dzięki wejściom A, B, C i D możliwe jest wprowadzanie danych równoległych. S0 i S1 są wejściami sterującymi i pozwalają układowi na pełnienie następujących funkcji:

- Dla stanu „00” (przyłożony stan niski do S0 i S1) – wtedy następuje blokada wejścia zegarowego (rejestr nie wykonuje żadnej czynności)
- Dla stanu „10” (przyłożony stan wysoki do S0 i niski do S1) – wtedy dane są wprowadzane z wejścia wprowadzenia w prawo (SR) i przesuwane wzdłuż rejestru w prawo synchronicznie z narastaniem zbocza impulsu zegarowego. Należy zauważyć, że w czasie przesuwania w prawo wejścia równoległe danych są zablokowane
- Dla stanu „01” (przyłożony stan niski do S0 i wysoki do S1) – rejestr działa podobnie jak dla stanu „10” z tą różnicą, że dane są wprowadzane od wprowadzenia w lewo (SL) a potem przesuwane w lewo synchronicznie z narastaniem zbocza impulsu zegarowego
- Dla stanu „11” (przyłożony stan wysoki do S0 i S1) – wtedy wejścia szeregowo (SL i SR) są zablokowane, ale za to staje się możliwe wprowadzanie równoległe korzystając z wejść A, B, C i D

Należy pamiętać, że zmiana stanu na wejściach S0 i S1 powinna następować tylko wtedy gdy na wejściu zegarowym jest stan wysoki. Oprócz wyżej wymienionych wejść mamy też CLK, które reprezentuje zegar w tym układzie oraz wejście asynchroniczne CLRn, które resetuje informację gdy zostanie na nim podany stan niski niezależnie od stanu zegara (CLK).

6. Tabela funkcji układu 74194

WEJŚCIA										WYJŚCIA			
CLR	TRYB		CLK	SZER.		RÓWNOL.				QA	QB	QC	QD
	S1	S0		SL	SR	A	B	C	D				
0	X	X	X	X	X	X	X	X	X	0	0	0	0
1	X	X	0	X	X	X	X	X	X	QA ₀	QB ₀	QC ₀	QD ₀
1	1	1	↑	X	X	a	b	c	d	a	b	c	d
1	0	1	↑	X	1	X	X	X	X	1	QA _n	QB _n	QC _n
1	0	1	↑	X	0	X	X	X	X	0	QA _n	QB _n	QC _n
1	1	0	↑	1	X	X	X	X	X	QB _n	QC _n	QD _n	1
1	1	0	↑	0	X	X	X	X	X	QB _n	QC _n	QD _n	0
1	0	0	X	X	X	X	X	X	X	QA ₀	QB ₀	QC ₀	QD ₀

Rysunek 3. Tabela funkcji układu 74194

1 – stan wysoki

0 – stan niski

X – nie ma znaczenia jaki stan tutaj przyłożymy (może być stan wysoki albo niski)

↑ - Przejście ze stanu wysokiego na niski

a, b, c, d – stany przyłożone odpowiednio do wejść A, B, C, D

QX_0 - stan wyjścia Q przed zmianą

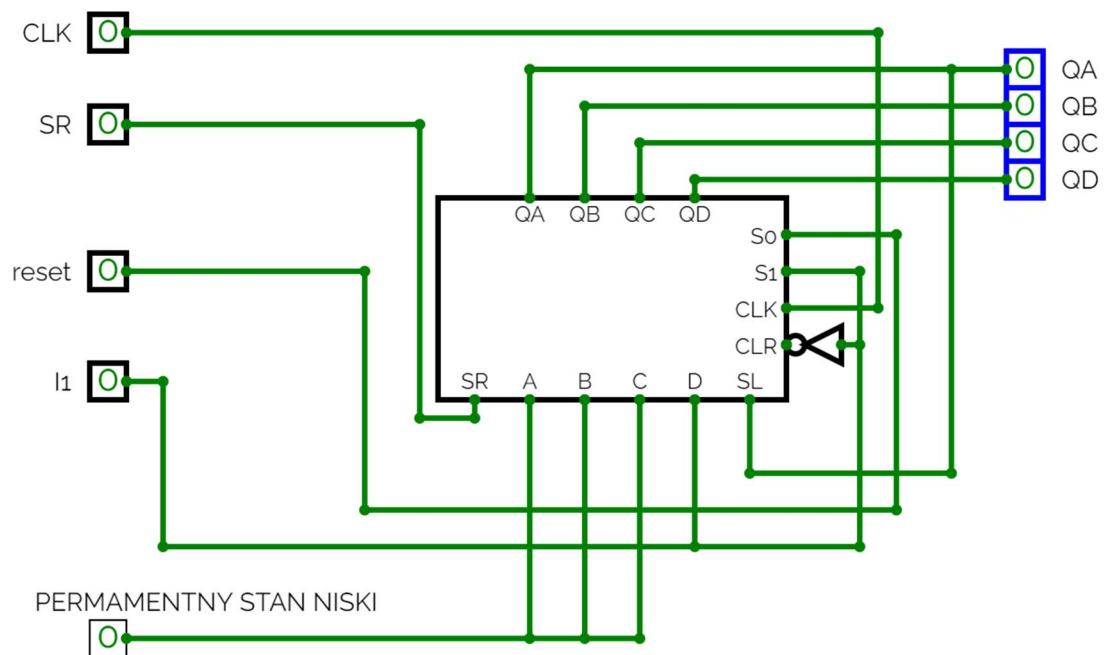
QX_n - stan wyjścia Q po zmianie

7. Zastosowania układu 74194

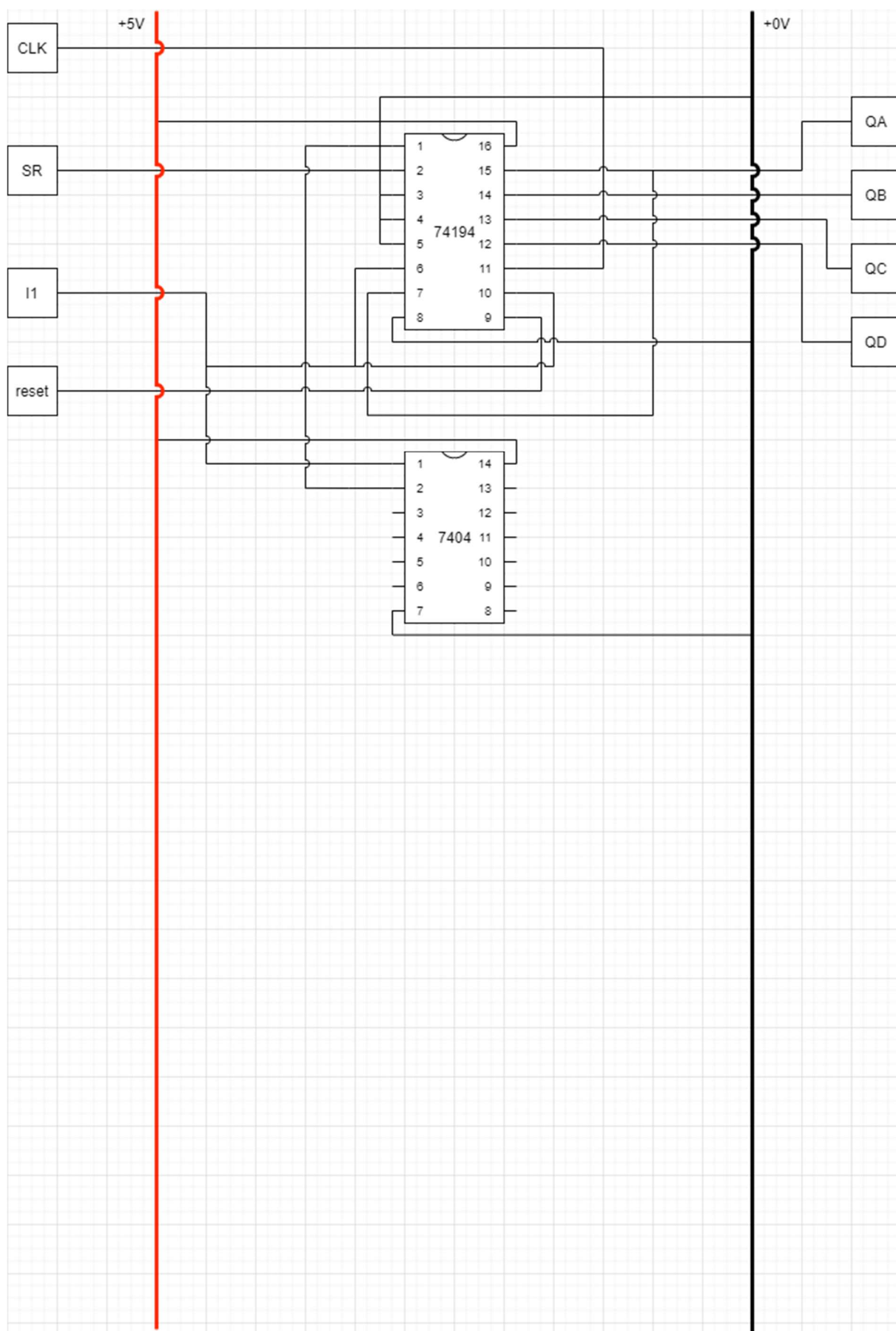
Układ 74194 jest uniwersalnym rejestrem przesuwным dlatego, że zawiera wejścia szeregowo i równoległe. Dzięki temu może być on używany w następujących sytuacjach:

- a) Konwersja pomiędzy szeregową i równoległą transmisją. Jest to możliwe dzięki temu, że układ 74194 ma wejścia szeregowo i równoległe. Jest to użyteczne, bo transmisja szeregowo przeważnie wymaga tylko dwóch przewodów do komunikacji między układami w porównaniu do transmisji równoległej w której ilość przewodów jest zależna od ilości przesyłanych bitów.
- b) Układ może być użyty do tymczasowego przechowywania danych oraz do ich manipulacji. Zastosowanie tego można spotkać np. w komputerach czy kalkulatorach gdzie układ jest używany do przechowywania dwóch liczb binarnych przed ich dodaniem. Dodatkowo dzięki możliwości przesuwu w lewo i prawo stanów możliwe jest szybkie mnożenie i dzielenie liczb binarnych przez 2
- c) Układ może być użyty jako chwilowy układ opóźniający gdzie czas jest kontrolowany za pomocą zegara użytego w układzie.
- d) Jako rozszerzenie IO dla mikroprocesorów. Dzięki możliwości konwersji pomiędzy szeregową a równoległą transmisją jest możliwe sterowanie wieloma urządzeniami binarnymi za pomocą jednego wejścia szeregowego. Dzięki temu jeden mikroprocesor może kontrolować stan wielu urządzeń binarnych korzystając z szeregowego wejścia. Następujący układ może działać też w drugą stronę. Możemy skorzystać z wejść równoległych w układzie 74194 i korzystając z wyjść szeregowych przekazywać dane do mikroprocesora

8. Analiza działania układu A



Rysunek 4. Schemat logiczny dla układu A



Rysunek 5. Schemat podłączenia układu A

Analizując ten układ możemy zauważyć następujące zależności:

- Musimy przyłożyć stan wysoki do zanegowanego wejścia CLR (Clear). Inaczej na wyjściach będzie stan niski niezależnie od przyłożonego stanu na pozostałych wejściach układu
- Gdy przyłożymy stan wysoki do zanegowanego wejścia CLR to zauważymy, że na wejściach S1 oraz D będzie przyłożony stan wysoki
- Nie ma znaczenia jaki stan przyłożymy do wejścia SR dlatego, że nigdy nie dojdzie do sytuacji w której na S0 będzie przyłożony stan wysoki a na S1 będzie przyłożony stan niski bez przykładania stanu niskiego do zanegowanego wejścia CLR
- Do wejścia A, B, C jest stale przyłożony stan niski

Są dwie możliwości działania naszego układu w zależności od przyłożonego stanu na S0:

- Stan wysoki został przyłożony do S0. W tym stanie QD będzie miał na wyjściu stan wysoki (bo mamy wprowadzanie równoległe a tylko D ma przyłożony stan wysoki). QA, QB, QC będą miały na wyjściu stan niski. SL będzie miał na wejściu stan niski.
- Stan niski został przyłożony do S1. Wówczas mamy przesuwanie w lewo (Stan „01”). Dzięki temu, że stan przyłożony do SL jest identyczny jak stan QA na wyjściu możliwe jest przesunięcie stanu z QA na QD

Działanie schematu najlepiej zobrazuje poniższa tabela stanów.

\overline{CLR}	WEJŚCIA								WYJŚCIA			
	TRYB		CLK	SZEREGOWE				RÓWNOLEGŁE	QA	QB	QC	QD
	S1	S0		SL	A	B	C	D				
1	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0	0	0	0	0	0
1	0	1	0	0	0	0	0	0	0	0	0	0
1	0	1	1	0	0	0	0	0	0	0	0	0
0	1	1	0	0	0	0	0	1	0	0	0	0
0	1	1	1	0	0	0	0	1	0	0	0	1
0	1	0	0	0	0	0	0	1	0	0	0	1
0	1	0	1	0	0	0	0	1	0	0	1	0
0	1	0	0	0	0	0	0	1	0	0	1	0
0	1	0	1	0	0	0	0	1	0	1	0	0
0	1	0	0	0	0	0	0	1	0	1	0	0
0	1	0	1	1	0	0	0	1	1	0	0	0
0	1	0	0	1	0	0	0	1	1	0	0	0
0	1	0	1	0	0	0	0	1	0	0	0	1
0	1	0	0	0	0	0	0	1	0	0	0	1

Tabela 1. Tablica prawdy dla zaobserwowanych stanów dla układu A

Powyższą tabelę stanów możemy uprościć do następującej postaci.

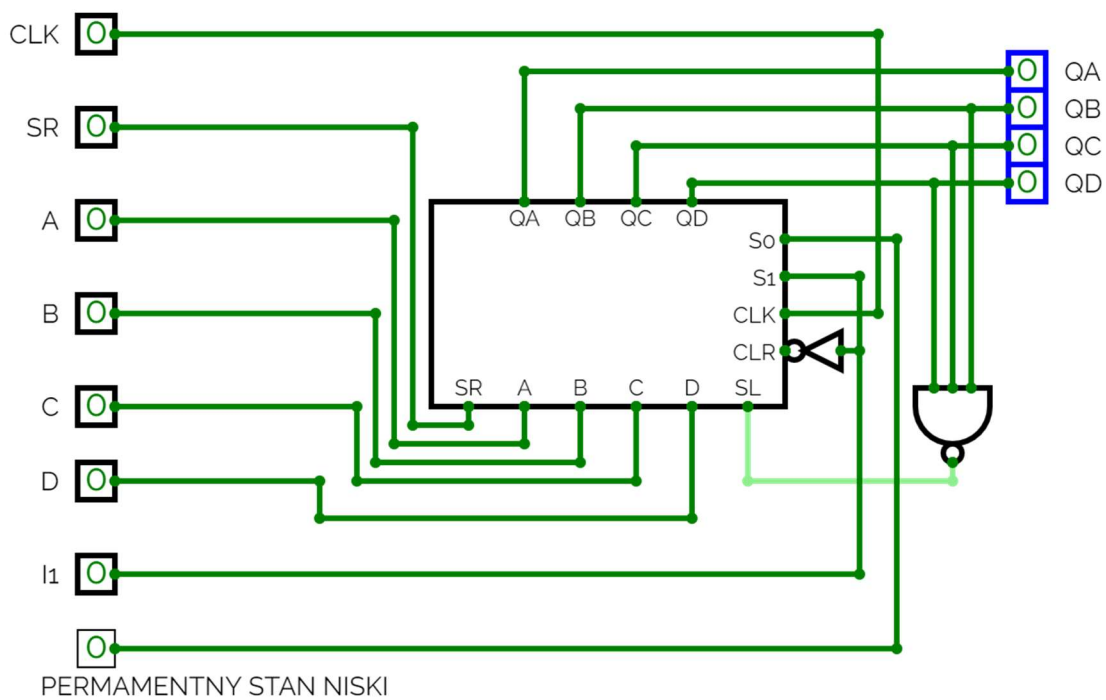
WEJŚCIA										WYJŚCIA			
\overline{CLR}	TRYB		CLK	SZEREGOWE		RÓWNOLEGŁE				QA	QB	QC	QD
	S1	S0		SL	SR	A	B	C	D				
1	0	X	X	0	X	0	0	0	0	0	0	0	0
0	1	1	0	0	X	0	0	0	1	0	0	0	0
0	1	1	1	0	X	0	0	0	1	0	0	0	1
0	1	0	0	0	X	0	0	0	1	0	0	0	1
0	1	0	1	0	X	0	0	0	1	0	0	1	0
0	1	0	0	0	X	0	0	0	1	0	0	1	0
0	1	0	1	0	X	0	0	0	1	0	1	0	0
0	1	0	0	0	X	0	0	0	1	0	1	0	0
0	1	0	1	1	X	0	0	0	1	1	0	0	0

0	1	0	0	1	X	0	0	0	1	1	0	0	0
0	1	0	1	0	X	0	0	0	1	0	0	0	1
0	1	0	0	0	X	0	0	0	1	0	0	0	1

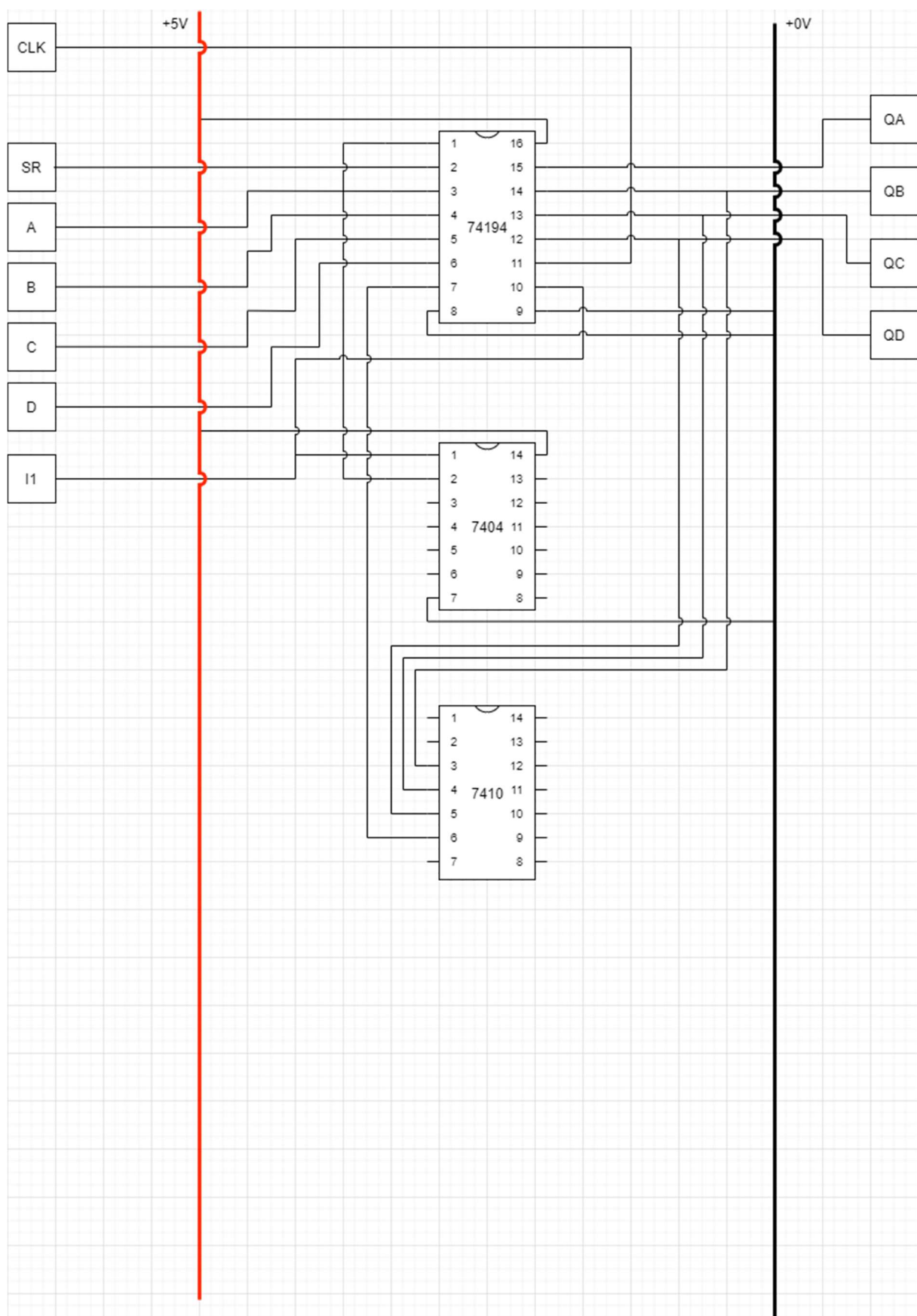
Tabela 2. Tablica prawdy dla układu A

Należy zauważyć, że powyższy cykl się stale powtarza

9. Analiza działania układu B



Rysunek 6. Schemat logiczny dla układu B



Rysunek 7. Schemat podłączenia układu B

Analizując ten układ możemy zauważyć następujące zależności:

- Musimy przyłożyć stan wysoki do zanegowanego wejścia CLR (Clear). Inaczej na wyjściach będzie stan niski niezależnie od przyłożonego stanu na pozostałych wejściach układu
- Po przyłożeniu stanu wysokiego do zanegowanego wejścia CLR (Clear) możemy zauważyć, że na wejściu S1 będzie przyłożony stan wysoki.
- Na wejściu S0 jest przyłożony stan niski.
- Możemy zauważyć, że stan do wejścia RIN nie ma znaczenia dlatego, że nigdy nie dojdzie do sytuacji w której na wejściu S0 będziemy mieli przyłożony stan wysoki
- Możemy też zauważyć, że nie ma znaczenia stan A, B, C, D bo nigdy nie dojdzie do sytuacji w której do wejść S0 i S1 będzie przyłożony stan wysoki

Zatem w naszym układzie możliwa jest tylko funkcja przesuwu w lewo dlatego, że mamy na wejściu S1 przyłożony stan wysoki a na wejściu S0 przyłożony stan niski. Należy zauważyć, że stan przyłożony do SL jest zależny od stanu na wyjściach QB, QC i QD i można go opisać następującą zależnością: $SL = \neg(QB \cdot QC \cdot QD)$. Z tego wynika, że do przesunięcia stanów w lewo nie dojdzie tylko wtedy gdy na wyjściach: QB, QC, QD będzie przyłożony stan wysoki. Działanie tego układu najlepiej opisze poniższa tabela stanów.

\overline{CLR}	WEJŚCIA				WYJŚCIA			
	TRYB		CLK	SZEREGOWE SL	QA	QB	QC	QD
	S1	S0						
1	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0	0
0	1	0	0	1	0	0	0	0
0	1	0	1	1	0	0	0	1
0	1	0	0	1	0	0	0	1
0	1	0	1	1	0	0	1	1
0	1	0	0	1	0	0	1	1
0	1	0	1	0	0	1	1	1
0	1	0	0	0	0	1	1	1
0	1	0	1	1	1	1	1	0
0	1	0	0	1	1	1	1	0
0	1	0	1	1	1	1	0	1
0	1	0	0	1	1	1	0	1
0	1	0	1	1	1	0	1	1
0	1	0	0	1	1	0	1	1
0	1	0	1	0	0	1	1	1
0	1	0	0	0	0	1	1	1
0	1	0	1	1	1	1	1	0

Tabela 3. Tablica prawdy dla zaobserwowanych stanów dla układu B

Powyższą tabelę stanów możemy uprościć do następującej postaci.

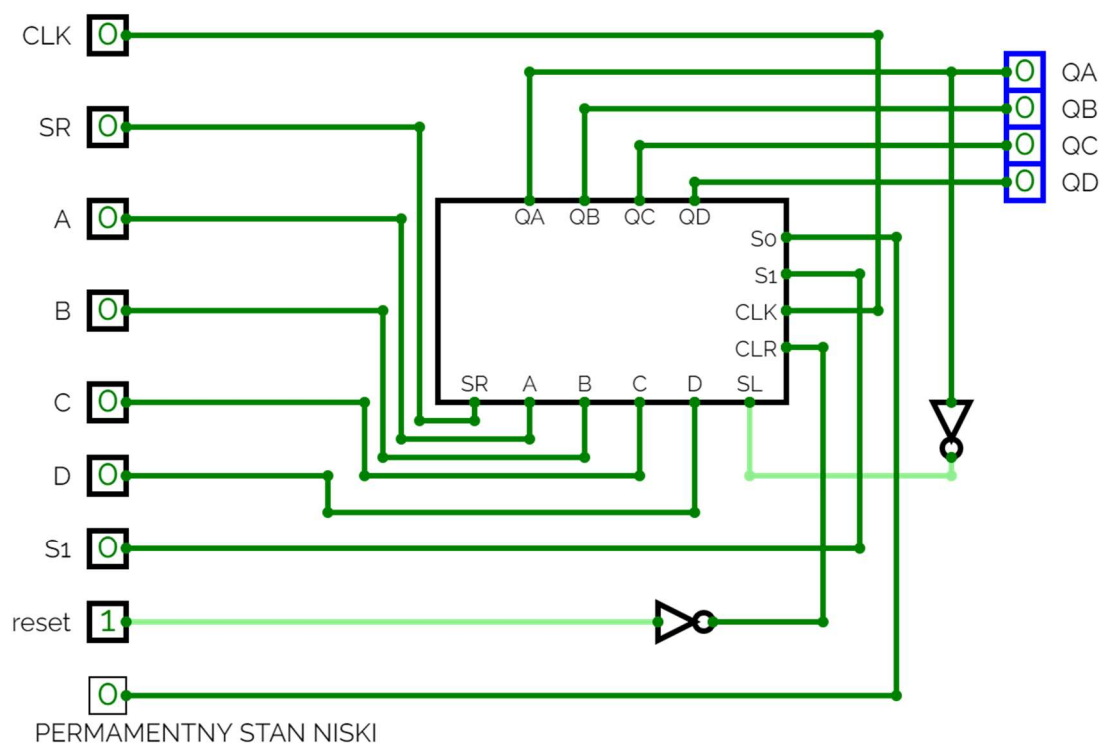
WEJŚCIA										WYJŚCIA			
\overline{CLR}	TRYB		CLK	SZEREGOWE		RÓWNOLEGŁE				QA	QB	QC	QD
	S1	S0		SL	SR	A	B	C	D				
1	0	0	X	0	X	X	X	X	X	0	0	0	0
0	1	0	0	1	X	X	X	X	X	0	0	0	0
0	1	0	1	1	X	X	X	X	X	0	0	0	1
0	1	0	0	1	X	X	X	X	X	0	0	0	1
0	1	0	1	1	X	X	X	X	X	0	0	1	1
0	1	0	0	1	X	X	X	X	X	0	0	1	1
0	1	0	1	0	X	X	X	X	X	0	1	1	1
0	1	0	0	0	X	X	X	X	X	0	1	1	1
0	1	0	1	1	X	X	X	X	X	1	1	1	0
0	1	0	0	1	X	X	X	X	X	1	1	1	0
0	1	0	1	1	X	X	X	X	X	1	1	0	1
0	1	0	0	1	X	X	X	X	X	1	1	0	1

0	1	0	1	1	X	X	X	X	X	1	0	1	1
0	1	0	0	1	X	X	X	X	X	1	0	1	1
0	1	0	1	0	X	X	X	X	X	0	1	1	1
0	1	0	0	0	X	X	X	X	X	0	1	1	1
0	1	0	1	1	X	X	X	X	X	1	1	1	0

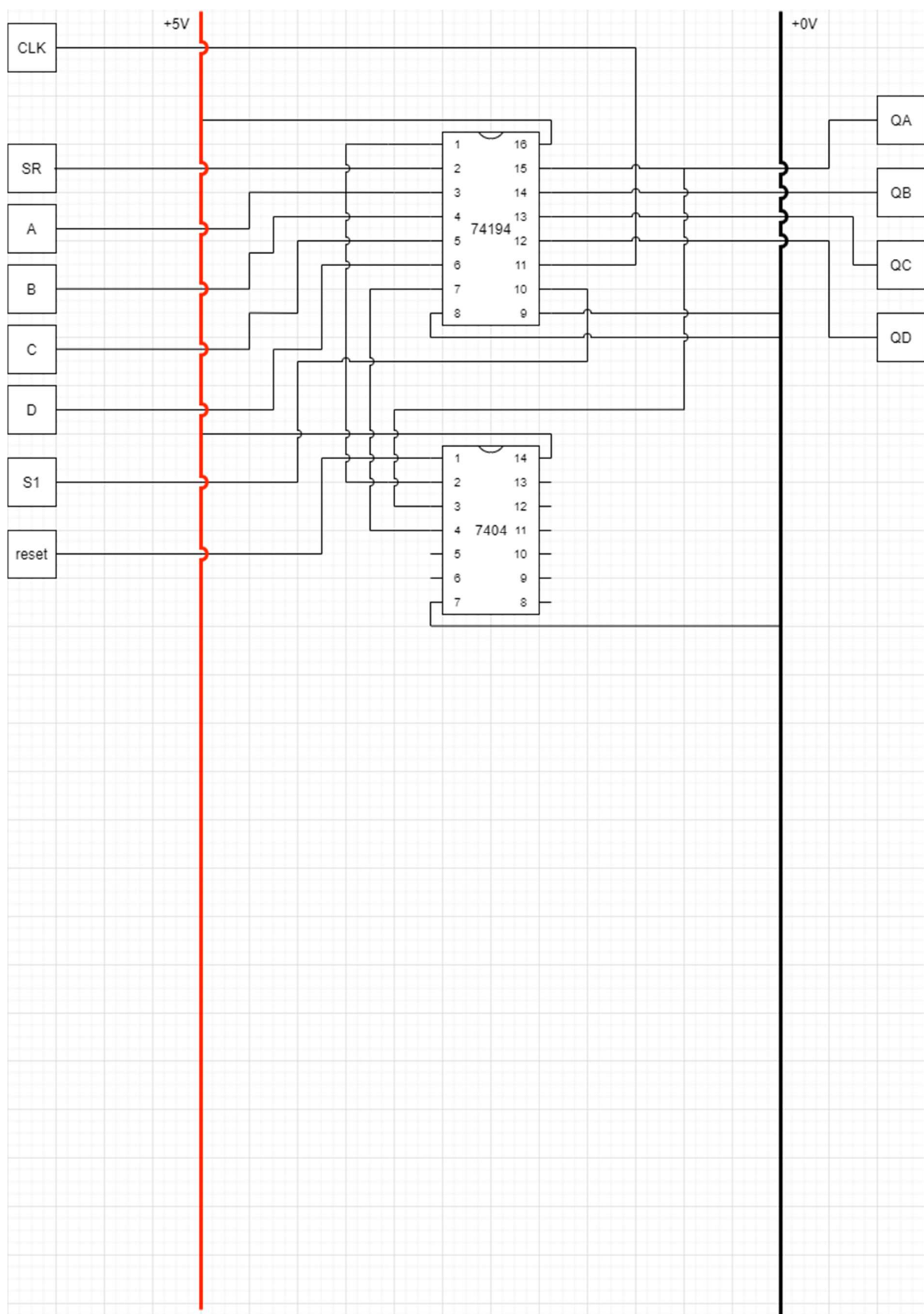
Tabela 4. Tablica prawdy dla układu B

Cykl zaznaczony pogrubieniem, czyli ostatnich ośmiu taktów CLK jest stały i powtarza się. Należy zauważyć, że początkowe osiem taktów nie powtarza się.

10. Analiza działania układu C



Rysunek 8. Schemat logiczny dla układu c



Rysunek 9. Schemat podłączenia układu C

Analizując ten układ możemy zauważyć następujące zależności:

- Musimy przyłożyć stan wysoki do zanegowanego wejścia CLR (Clear). Inaczej na wyjściach będzie stan niski niezależnie od przyłożonego stanu na pozostałych wejściach układu
- Do wejścia S0 jest stale przyłożony stan niski
- Należy zauważyć, że nie ma znaczenia jaki stan przyłożymy do wejścia SR dlatego, że nigdy nie dojdzie do sytuacji gdzie na S0 będzie przyłożony stan wysoki
- Nie ma też znaczenia stan przyłożony na wejścia A, B, C, D bo nigdy nie dojdzie do sytuacji gdy jednocześnie na wejściach S0 i S1 będziemy mieli przyłożony stan wysoki

Po ustaleniu zależności możemy zauważyć, że nasz układ może działać na dwa różne sposoby w zależności od przyłożonego stanu na wejściu S1:

- Na wejściu S1 został przyłożony stan wysoki. W tym przypadku realizujemy funkcję przesuwu w lewo. Należy zauważyć, że dzięki następującej zależności między stanem SL a stanem QA $SL = \neg QA$ nigdy nie dojdzie do sytuacji gdy zostanie przeniesiony stan wysoki z QA na QD.
- Na wejściu S1 został przyłożony stan niski. Wówczas każdy stan na wyjściu jest równy ostatniemu stanowi na danych wyjściach przed przyłożeniem stanu niskiego na S1

Najlepiej stany działania rejestru opisze poniższa tabela stanów:

\overline{CLR}	TRYB		CLK	SZEREGOWE	QA	QB	QC	QD
	S1	S0		SL				
1	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0	0
1	1	0	0	0	0	0	0	0
1	1	0	1	0	0	0	0	0
0	0	0	0	0	QA _p	QB _p	QC _p	QD _p
0	0	0	0	1	QA _p	QB _p	QC _p	QD _p
0	0	0	1	0	QA _p	QB _p	QC _p	QD _p
0	0	0	1	1	QA _p	QB _p	QC _p	QD _p
0	1	0	0	1	0	0	0	0
0	1	0	1	1	0	0	0	1
0	1	0	0	1	0	0	0	1
0	1	0	1	1	0	0	1	1
0	1	0	0	1	0	0	1	1
0	1	0	1	1	0	1	1	1
0	1	0	0	1	0	1	1	1
0	1	0	1	0	1	1	1	1
0	1	0	0	0	1	1	1	1
0	1	0	1	0	1	1	1	0
0	1	0	0	0	1	1	1	0
0	1	0	1	0	1	1	0	0
0	1	0	0	0	1	1	0	0
0	1	0	1	0	1	0	0	0
0	1	0	0	0	1	0	0	0
0	1	0	1	1	0	0	0	0

Tabela 5. Tablica prawdy dla zaobserwowanych stanów dla układu C

Powyższą tabelę stanów możemy uprościć do następującej postaci.

WEJŚCIA										WYJŚCIA			
\overline{CLR}	TRYB		CLK	SZEREGOWE		RÓWNOLEGŁE				QA	QB	QC	QD
	S1	S0		SL	SR	A	B	C	D				
1	X	0	X	0	X	X	X	X	X	0	0	0	0
0	0	0	X	X	X	X	X	X	X	QA _p	QB _p	QC _p	QD _p
0	1	0	0	1	X	X	X	X	X	0	0	0	0
0	1	0	1	1	X	X	X	X	X	0	0	0	1
0	1	0	0	1	X	X	X	X	X	0	0	0	1

0	1	0	1	1	X	X	X	X	X	0	0	1	1
0	1	0	0	1	X	X	X	X	X	0	0	1	1
0	1	0	1	1	X	X	X	X	X	0	1	1	1
0	1	0	0	1	X	X	X	X	X	0	1	1	1
0	1	0	1	0	X	X	X	X	X	1	1	1	1
0	1	0	0	0	X	X	X	X	X	1	1	1	1
0	1	0	1	0	X	X	X	X	X	1	1	1	0
0	1	0	0	0	X	X	X	X	X	1	1	1	0
0	1	0	1	0	X	X	X	X	X	1	1	0	0
0	1	0	0	0	X	X	X	X	X	1	1	0	0
0	1	0	1	0	X	X	X	X	X	1	0	0	0
0	1	0	0	0	X	X	X	X	X	1	0	0	0
0	1	0	1	1	X	X	X	X	X	0	0	0	0

Tabela 6. Tablica prawdy dla układu C

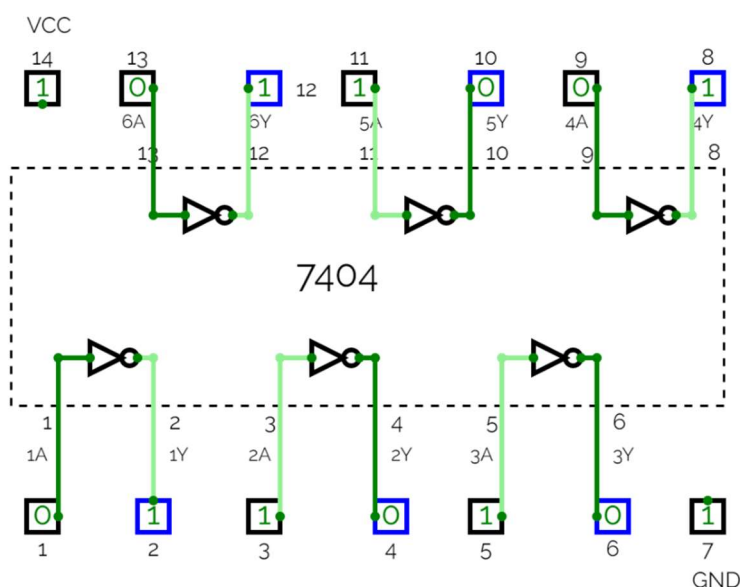
Cykl zaznaczony pogrubieniem, powtarza się stale gdy przyłożymy do zanegowanego wejścia CLEAR stan wysoki.

11. Wnioski

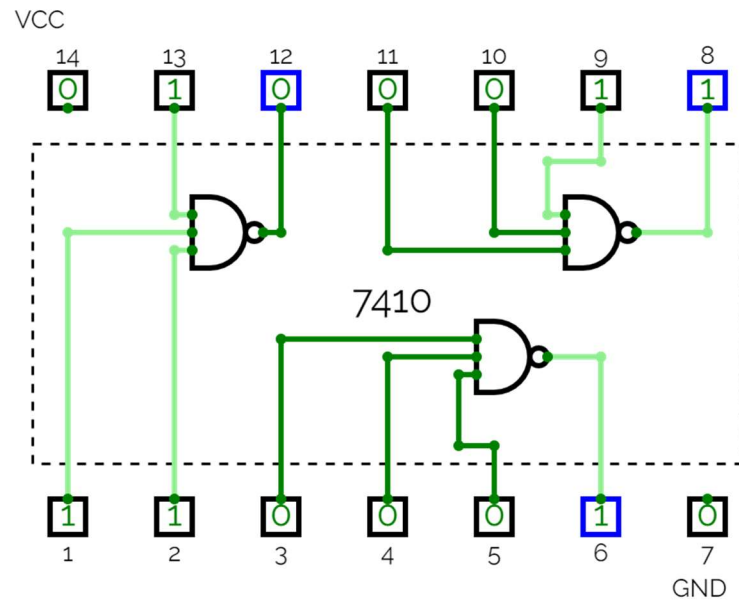
Naszym zadaniem było skonstruowanie podanych układów oraz ich analiza. Było to możliwe dzięki użyciu środowisk CircuitVerse oraz Draw.IO w których mogliśmy zrealizować układy. Rezultatem analizy są: Tabela 2, Tabela 4, Tabela 6, która pokazują schemat działania układów. Rezultatem analizy jest też zauważenie powtarzających się cykli w każdym układzie, które zostały zaznaczone pogrubieniem oraz odpowiednim komentarzem pod tabelą.

12. Spis użytych układów

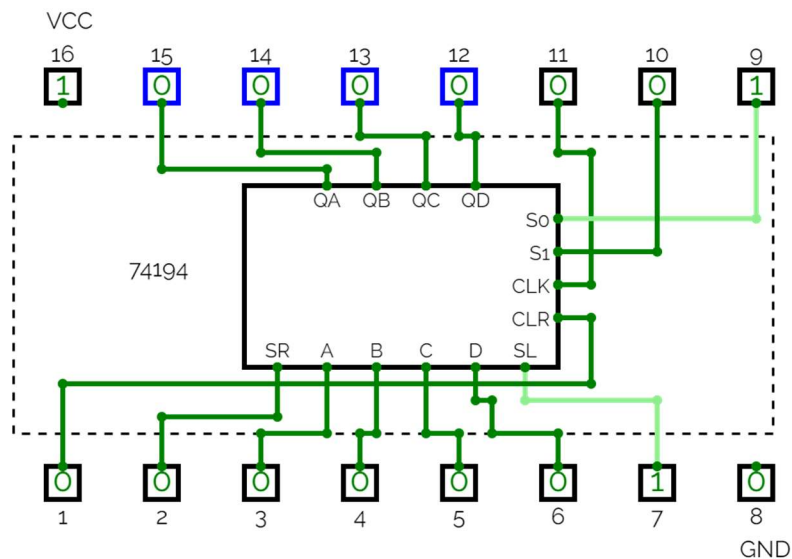
- Układ 7404 – układ zawierający 6 niezależnych inwerterów NOT



- Układ 7410 – układ zawierający trzy trójwejściowe bramki NAND



- Układ 74194 - 4-bitowy dwukierunkowy uniwersalny rejestr przesuwający



13. Bibliografia

- a) Schemat oraz specyfikacja układu 74194:

<http://www.cs.put.poznan.pl/mnowak/TC/74194.pdf>

https://eduinf.waw.pl/inf/prg/010_uc/74194.php

Przebieg czasowy układu:

http://atol.am.gdynia.pl/tc/dyplom_vhdl/rejestr-scalony-na-uk-adzie-ucy-74194.html

- b) Układy:

[https://circuitverse.org/users/71768/projects/74194-7c204205-c0b4-4b2c-8f01-](https://circuitverse.org/users/71768/projects/74194-7c204205-c0b4-4b2c-8f01-3cefd97157f?fbclid=IwAR3kZzg5vS4Us-DPHSrQ1-UmT9vrW8P4EAg-l6J31Uc7SiB99_i61OfhOdA)

[3cefd97157f?fbclid=IwAR3kZzg5vS4Us-DPHSrQ1-UmT9vrW8P4EAg-l6J31Uc7SiB99_i61OfhOdA](https://circuitverse.org/users/71768/projects/74194-7c204205-c0b4-4b2c-8f01-3cefd97157f?fbclid=IwAR3kZzg5vS4Us-DPHSrQ1-UmT9vrW8P4EAg-l6J31Uc7SiB99_i61OfhOdA)