四川大学软件学院数字逻辑实验

实 验 报 告

学号： 姓名： 专业：软件工程 班级： 5班 第 15 周

|  |  |  |  |
| --- | --- | --- | --- |
| 实验项目 | 同步十进制计数器 | 实验时间 | 2023年 5月31日 |
| 实验目的 | （1）学会Quartus II软件的使用，利用其进行原理图的设计。  （2）加深对课堂学习的组合逻辑电路的认识，学会设计基础的组合逻辑电路。  （3）增强实际动手能力，将设计电路运行在开发板上。 | | |
| 实验环境 | Quartus II 、Windows 11 | | |
| 实验内容及步骤（含电路原理图/Verilog程序、管脚分配、仿真结果等；扩展内容也列入本栏） | 在实验一的电路基础上，导入clk\_in（输入的原本时钟）和clk\_out（输出分频后的时钟）。并依据卡诺图化简结果，使用D触发器实现同步计数器。    运行逻辑电路，确保逻辑电路运行不发生错误。 | | |

|  |  |
| --- | --- |
| （接上）  实验内容及步骤（含电路原理图/Verilog程序、管脚分配、仿真结果等；扩展内容也列入本栏） | 设置时钟输入的引脚为PIN\_92    烧录实验的逻辑电路，运行正常 |
| 实验结果分析 | 使用D触发器设计一个计数部分，使用分频模块对时钟进行分频，分频后的时钟作为输入时钟，实现一个同步十进制计数器，计数范围0-9。实验结果与数字逻辑的设计相吻合。 |
| 实验方案的缺陷及改进意见 | 每次给一个七段译码器绘制逻辑电路会显得杂乱无章，后续难以修改，可以将输入单独列出并将其命名，后续可以给输入命名相同的名称，这样可以省略输入端的绘制。使用卡诺图推导Q3，Q2，Q1，Q0时极易出错，需要仔细进行运算化简。 |
| 心得体会、问题讨论 | 软件中存在内置的D触发器，可以选择使用来进行逻辑电路的简化。卡诺图化简需要仔细认真，否则若逻辑电路绘制出错，运行会产生错误 |
| 指导老师评 议 | 成绩评定： 指导教师签名： |