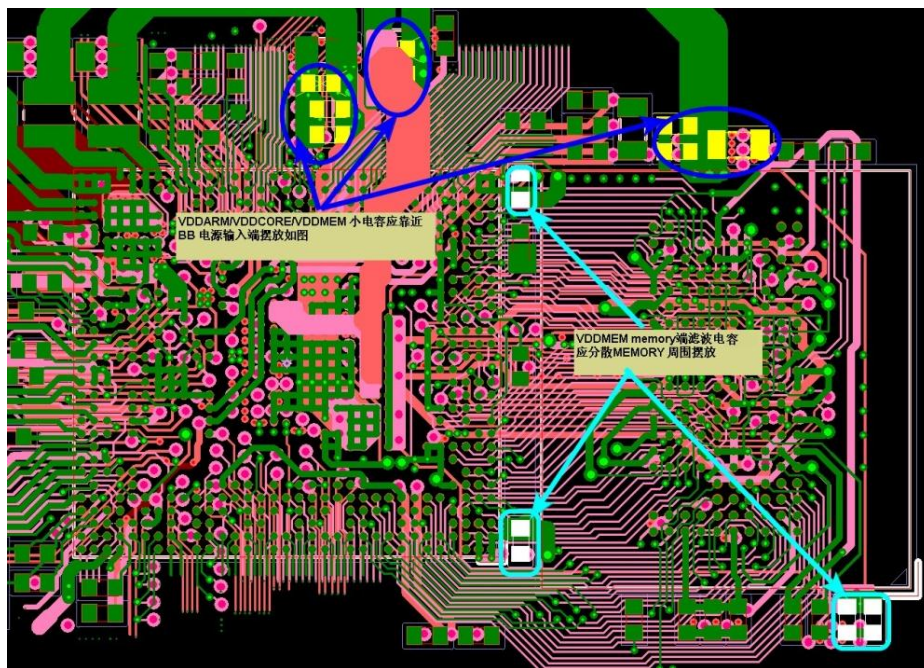




# SC9820E\_DDR 客 户化配置V1.0

1. 老平台上验过的料，新平台上不能用，无法下载或开机；
2. 产线概率性无法下载，概率性无法开机；
3. 各种测试case都有概率性死机，定屏无响应的问题；
4. 某些应用中低概率重启或无法开机；
5. 低概率定屏死机，找不到重现路径，测试难度大；
6. 和手机相关，和版本无关；
7. 调试环境和测试环境特殊，常缺乏有效分析手段；
8. 概率性掉网，modem assert；
9. 性能不佳，跑分低，玩游戏卡顿。

- **请客户套用展讯提供的SPM，保证DDR高速信号布局布线的质量；**
  - SPM 是展讯设计的PCB 模块，仅包含BB和DDR及BB外围电源；
- **若客户不套用SPM或局部套用，请客户注意须PCB PI&SI仿真通过；**
  - 套用SPM电源模块，则省做PI仿真；
  - 套用SPM信号走线模块，则省做SI仿真；
- **若客户要做PI&SI仿真，请向展讯提供电路原理图，PCB layout，堆叠图；**





DDR频率配置参数



DDR类型配置参数



DDR相关DTS配置

# DDR频率配置参数

文件: chipram\include\configs\工程名.h

```
175 #define CLK_CA53_AXI      CLK_CA53_CORE0/2
176 #define CLK_DGB0_FREQ     CLK_CA53_CORE0/2
177 #define CLK_ACE0_FREQ     CLK_CA53_CORE0/2
178 #define CLK_ATB0_FREQ     CLK_CA53_CORE0/2
179
180 #ifndef CONFIG_NAND_SPL
181 #define CLK_DDR_FREQ       466000000
182 #else
183 #define CLK_DDR_FREQ       166000000
184 #endif
185
186 #ifndef CONFIG_NAND_SPL
187 #define DCDC_ARM           1100
188 #else
189 #define DCDC_ARM           1100
190 #endif
191
192 #define DCDC_CORE          900
193
194 //clk_list
195 #define CLK_LEVEL_COUNT_MAX 6
196 #define CLK_AXI_LEVEL 4
197 #define CLK_AXI_LEVEL_ID 3
```

//配置DDR最高运行频率

//配置Download DDR频率

//配置ARM电压，单位mv

//配置CORE电压，单位mv

目前lpddr3支持的频率有667/533/384/256/166；lpddr2支持的频率有533/466/384/256/166。  
可以通过修改chipram\include\configs\工程名.h 中的宏，对最高频率进行设置（lpddr3最高频率可以为667/533，lpddr2可以为533/466）

```
180 #ifdef CONFIG_NAND_SPL
181 #define CLK_DDR_FREQ 466000000
182 #else
183 #define CLK_DDR_FREQ 166000000
184 #endif
185
```

//配置DDR最高运行频率

```
220 // #define CONFIG_CHIPRAM
221 #define DDR_CLK0 466
222 #define DDR_CLK1 384
223 #define DDR_CLK2 256
224 #define DDR_CLK3 166
225 #define DDR_DDR1_FREQ 166
```

//配置DDR最高运行频率

注：对于lpddr2应注意，如果将ddr的最高频率设定为466M，还需要定义#define DDR\_MIN\_CLK这个宏，如果为533，则不需要。

# DDR类型配置参数

文件: chipram\include\configs\工程名.h

```
208 #define CFG_DRAM_TYPE    DRAM_LPDDR2
209 #define DDR_AUTO_DETECT
210 #ifdef  DDR_AUTO_DETECT
211 #define DDR_MR8_READ
212 #endif
```

//配置DDR类型

//自适应ddr size

//自适应ddr类型

如果pcb为展讯平台推荐的，则可以打开DDR\_AUTO\_DETECT这个宏进行自适应；如果不是，则需要手动配置ddr的类型（关闭自适应的宏，也可以联系展锐的工程师进行指导修改），同时还需要配置ddr的size信息，文件：

chipram/arch/arm/cpu/sprd\_dmc/r3p0/dmc\_sprd\_r3p0.h

```
444 #define CFG_CS_NUM        1
445
446 #define CFG_CS0_BANK_NUM   8
447 #define CFG_CS0_ROW_NUM    13
448 #define CFG_CS0_COLUMN_NUM 9
449 #define CFG_CS0_DQ_DW      32
450 #define CFG_CS0_AP_PIN_POS 10
451 #define CFG_CS0_SIZE        0x8000000
452
453 #define CFG_CS1_BANK_NUM   8
454 #define CFG_CS1_ROW_NUM    15
455 #define CFG_CS1_COLUMN_NUM 10
456 #define CFG_CS1_DQ_DW      32
457 #define CFG_CS1_AP_PIN_POS 10
458 #define CFG_CS1_SIZE        0x40000000
```

//配置cs的个数

//配置bank的个数

//配置COL的个数

//配置SIZE的大小

//配置ROW的个数

//配置位宽的大小

文件: idh.code\kernel\arch\arm\boot\dts\ 工程名.dts

```
23
24     memory: memory@80000000 {
25         device_type = "memory";
26         reg = <0x80000000 0x20000000>;
27     };
28
```

//0x20000000即为512M容量的DDR配置，客户需要根据实际情况自行修改。





# THANK YOU!

All data and information contained in or disclosed by this document is confidential and proprietary information of Spreadtrum&RDA and all rights therein are expressly reserved. By accepting this material, the recipient agrees that this material and the information contained therein is to be held in confidence and in trust and will not be used, copied, reproduced in whole or in part, nor its contents revealed in any manner to others without the express written permission of Spreadtrum&RDA. The contents are subject to change without prior notice. Although every reasonable effort is made to present current and accurate information, Spreadtrum&RDA makes no guarantees of any kind with respect to the matters addressed in this document. In no event shall Spreadtrum&RDA be responsible or liable, directly or indirectly, for any damage or loss caused or alleged to be caused by or in connection with the use of or reliance on any such content.