



**LAPORAN PROJEK AKHIR PERANCANGAN SISTEM DIGITAL
DEPARTEMEN TEKNIK ELEKTRO
UNIVERSITAS INDONESIA**

AUDIO EQUALIZER

KELOMPOK 8

NIRMALA SARI ZAHIROH	2406425653
VANESA KAYLA ZAHRA	2306161901
CARLSSON KHOVIS	2406347853
PASHA AHMAD SHIDQI	2406412650

PREFACE

Puji syukur kami panjatkan ke hadirat Tuhan Yang Maha Esa atas rahmat dan karunia-Nya, sehingga laporan Proyek Akhir Perancangan Sistem Digital dengan judul “**Audio Equalizer**”, yaitu perancangan dan implementasi sistem audio equalizer digital berbasis bahasa deskripsi perangkat keras VHDL, dapat diselesaikan dengan baik.

Proyek ini bertujuan untuk merancang sistem pengolahan sinyal audio digital yang mampu mengatur karakteristik suara melalui proses equalization pada rentang frekuensi tertentu. Sistem audio equalizer dirancang dengan pendekatan perangkat keras untuk mendukung pemrosesan *real-time* dan efisiensi kinerja. Perancangan sistem dilakukan secara modular menggunakan VHDL (VHSIC Hardware Description Language) sehingga setiap bagian sistem dapat dianalisis, disimulasikan, dan dikembangkan dengan lebih terstruktur. Melalui proyek kami ini, diharapkan pemahaman mengenai konsep sistem digital, pengolahan sinyal audio, serta implementasi algoritma audio equalizer pada perangkat keras dapat meningkat.

Laporan ini disusun untuk memberikan gambaran secara terperinci mengenai tahapan perancangan, implementasi, simulasi, serta analisis kinerja dari sistem audio equalizer digital yang telah dikembangkan. Penyusunan laporan ini diharapkan dapat menjadi referensi dan sarana pembelajaran dalam memahami penerapan perancangan sistem digital berbasis VHDL, khususnya pada bidang pengolahan sinyal audio.

Kami menyadari bahwa laporan proyek akhir ini masih memiliki keterbatasan dan kekurangan, baik dari segi penyusunan laporan maupun aspek teknis perancangan sistem. Oleh karena itu, kami mengucapkan terima kasih kepada seluruh pihak yang telah memberikan dukungan dan bantuan, termasuk rekan-rekan serta asisten laboratorium, baik secara langsung maupun tidak langsung, sehingga proyek ini dapat kami selesaikan dengan baik.

Depok, December 06, 2025

Group R-8

TABLE OF CONTENTS

CHAPTER 1: INRODUCTION

- 1.1 Background
- 1.2 Project Description
- 1.3 Objectives
- 1.4 Roles and Responsibilities

CHAPTER 2: IMPLEMENTATION

- 2.1 Equipment
- 2.2 Implementation

CHAPTER 3: TESTING AND ANALYSIS

- 3.1 Testing
- 3.2 Result
- 3.3 Analysis

CHAPTER 4: CONCLUSION

REFERENCES

APPENDICES

- Appendix A: Project Schematic
- Appendix B: Documentation

CHAPTER 1

INTRODUCTION

1.1 BACKGROUND

Perkembangan teknologi digital yang pesat turut mendorong kebutuhan akan sistem pengolahan sinyal audio yang semakin efisien dan fleksibel, khususnya pada perangkat digital seperti multimedia, sistem komunikasi, dan perangkat embedded. Salah satu teknik penting dalam pengolahan sinyal audio adalah *audio equalization*, yaitu proses pengaturan tingkat penguatan (gain) pada rentang frekuensi tertentu untuk meningkatkan kualitas suara sesuai kebutuhan pengguna. Audio equalizer memungkinkan pemisahan dan pengolahan sinyal audio pada beberapa pita frekuensi, seperti bass, mid, dan treble, sehingga karakteristik suara dapat disesuaikan secara optimal.

Dalam proyek akhir Perancangan Sistem Digital ini, audio equalizer dirancang dan diimplementasikan menggunakan bahasa deskripsi perangkat keras VHDL. Pendekatan ini memungkinkan realisasi sistem berbasis perangkat keras yang bersifat paralel, cepat, dan efisien, sehingga sangat sesuai untuk aplikasi *real-time audio processing*. Sistem audio equalizer ini memanfaatkan modul utama `audio_equalizer.vhd` sebagai entitas utama, didukung oleh `adc.vhd` untuk mengonversi sinyal analog menjadi sinyal digital, serta `types.vhd` yang berisi deklarasi tipe data umum agar seluruh modul dapat terintegrasi secara konsisten.

Pemilihan proyek audio equalizer berbasis VHDL ini didasari oleh relevansinya dengan materi sistem digital, seperti pemrosesan sinyal diskrit, penggunaan aritmetika *fixed-point* kompleks, dan implementasi filter digital dalam perangkat keras. Selain itu, proyek ini memberikan pemahaman yang lebih mendalam mengenai bagaimana algoritma pengolahan sinyal audio direalisasikan secara langsung pada tingkat perangkat keras, bukan hanya secara perangkat lunak. Dengan demikian, proyek ini tidak hanya bertujuan menghasilkan sistem audio equalizer yang fungsional, tetapi juga sebagai sarana pembelajaran komprehensif dalam perancangan, simulasi, dan integrasi modul digital berbasis VHDL untuk aplikasi nyata.

1.2 PROJECT DESCRIPTION

Proyek ini bertujuan untuk merancang dan mengimplementasikan Audio Equalizer Digital berbasis VHDL dengan pendekatan perangkat keras. Sistem dirancang untuk melakukan pengolahan sinyal audio secara digital dengan memanfaatkan transformasi domain frekuensi sehingga pengaturan karakteristik audio dapat dilakukan secara lebih fleksibel dan presisi.

Dalam sistem ini, sinyal audio masukan terlebih dahulu dikonversi dari bentuk analog ke digital agar dapat diproses oleh rangkaian digital. Data audio digital kemudian dikelola melalui mekanisme penyimpanan sementara sebelum diproses lebih lanjut pada domain frekuensi. Proses equalization dilakukan dengan mengatur tingkat penguatan (*gain*) atau peredaman (*cut*) pada komponen frekuensi tertentu. Setelah proses pengolahan frekuensi selesai, sinyal audio dikembalikan ke domain waktu dan diubah kembali menjadi sinyal analog sebagai keluaran sistem.

Melalui pendekatan tersebut, proyek ini diharapkan mampu memberikan pemahaman mengenai implementasi pengolahan sinyal audio berbasis domain frekuensi pada perangkat keras digital. Berikut adalah fitur utama dari sistem VHDL Audio Equalizer yang dirancang:

- **Konversi Sinyal Analog ke Digital dan Digital ke Analog**

Sistem mendukung proses konversi sinyal audio dari analog ke digital untuk pemrosesan internal, serta konversi kembali ke analog sebagai keluaran akhir.

- **Pengolahan Audio pada Domain Frekuensi**

Sinyal audio diproses pada domain frekuensi untuk memungkinkan pemisahan dan pengaturan karakteristik sinyal berdasarkan komponen frekuensinya.

- **Pengaturan Gain / Cut Multiband**

Sistem mampu melakukan penguatan atau peredaman sinyal pada rentang frekuensi tertentu untuk menghasilkan efek audio equalization.

- **Desain Modular Berbasis VHDL**

Sistem dirancang secara modular dengan pembagian fungsi ke dalam beberapa entitas VHDL, sehingga memudahkan proses pengembangan, simulasi, dan analisis kesalahan.

Proyek ini dirancang untuk disimulasikan menggunakan ModelSim atau Vivado dan disintesis menggunakan Quartus atau Vivado untuk keduanya sebagai representasi

implementasi audio equalizer digital pada perangkat keras. Hasil dari proyek ini diharapkan dapat menjadi prototipe sistem pengolahan audio digital sekaligus media pembelajaran dalam memahami konsep pengolahan sinyal audio dan perancangan sistem digital berbasis VHDL.

1.3 OBJECTIVES

The objectives of this project are as follows:

1. Merancang dan mengimplementasikan audio equalizer digital berbasis VHDL dengan memanfaatkan pendekatan perangkat keras digital untuk pemrosesan sinyal audio secara *real-time*.
2. Menerapkan konsep pengolahan sinyal audio digital khususnya pengaturan penguatan (*gain control*) pada beberapa rentang frekuensi seperti low, mid, dan high.
3. Meningkatkan pemahaman mahasiswa terhadap perancangan sistem digital modular melalui penggunaan beberapa entitas VHDL seperti ADC, modul pemrosesan sinyal, dan deklarasi tipe data bersama.
4. Melakukan simulasi dan sintesis sistem audio equalizer menggunakan perangkat lunak ModelSim untuk verifikasi fungsional serta Quartus untuk sintesis dan analisis implementasi pada perangkat keras digital.
5. Menghasilkan prototipe audio equalizer digital yang dapat digunakan sebagai media pembelajaran dalam memahami implementasi sistem pengolahan sinyal audio berbasis VHDL.

1.4 ROLES AND RESPONSIBILITIES

The roles and responsibilities assigned to the group members are as follows:

Roles	Responsibilities	Person
Role 1	Code Documentation, Code (Inverse DFT, DFT Gain, DAC, Audio Equalizer), Integration, Test Bench, Laporan (Implementation), READ.ME	Nirmala Sari Zahiroh

Role 2	Membuat Laporan (INRODUCTION) dan PPT	Vanesa Kayla Zahra
Role 3	Code Documentation, Code (ADC, ANGLE, COS LOOK UP TABLE, FIXED POINT, FREQUENCIES, DFT, SAMPLE BUFFER, SAMPLER, TYPES)	Carlsson Khovis
Role 4	Membuat Laporan dan PPT	Pasha Ahmad Shidqi Pratama

Table 1. Roles and Responsibilities

CHAPTER 2

IMPLEMENTATION

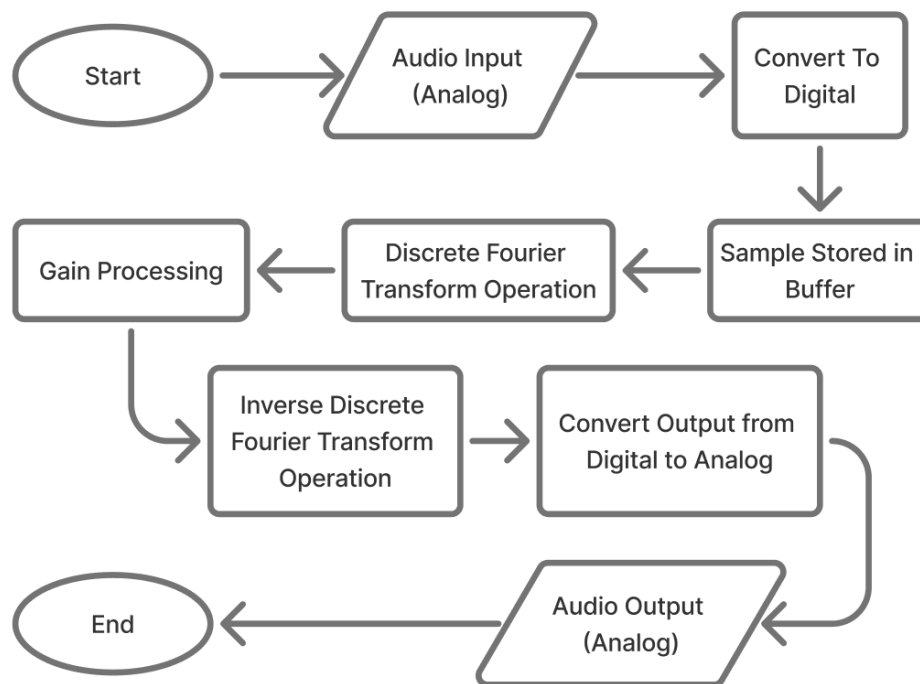
2.1 EQUIPMENT

Alat-alat yang digunakan dalam projek ini:

- ModelSim/Vivado untuk simulasi
- Quartus Prime/Vivado untuk elaborasi dan sintesis
- Git
- GitHub
- Audio Parser (Ditulis dengan bahasa C)

2.2 IMPLEMENTATION

Sistem yang digunakan pada Audio Equalizer ini akan menitikberatkan pada penggunaan transformasi DFT (Discrete Fourier Transform) dan Inverse DFT (Discrete Fourier Transform). Pada awalnya, audio input akan diubah dari bentuk analog ke bentuk digital agar dapat diproses. Setelah diubah bentuknya, sample akan disimpan terlebih dahulu dalam buffer yang kemudian dilakukan transformasi dengan DFT. Setelah dilakukan transformasi dengan DFT, sample tersebut akan diatur *gain/cut* melalui frekuensinya. Selanjutnya, sample akan dikenai proses Inverse DFT yang berfungsi untuk mengembalikan ke bentuk awal sebelum dikenai proses DFT. Hasil dari inverse DFT yang berbetnuk digital akan diproses melalui Digital to Analog Converter sehingga hasil akhirnya tetap berupa analog.



Gambar 1. *Flowchart* sistem

Akibat keterbatasan simulasi VHDL yang ada, file audio input tidak dapat menjadi input secara langsung pada sistem audio equalizer ini. Perlu dilakukan pemrosesan terlebih dahulu oleh audio parser. File `.wav` akan diubah menjadi file `.txt` melalui audio parser yang dibuat dengan bahasa C. Hasil dari sistem juga akan berupa file `.txt` yang nantinya dapat dikonversi kembali menjadi `.wav`.

Modul-modul yang digunakan untuk mengimplementasikan sistem adalah Analog to Digital Converter, Sampler, Sample Buffer, DFT Block, DFT Gain, IDFT Block, Digital to Analog Converter, Clock Generator, Cosine Lookup Table, serta package Fixed-Point, type dan frequencies. Modul Analog to Digital Converter digunakan untuk mengubah sinyal analog menjadi digital agar dapat dibaca oleh sistem, kemudian keluaran berupa digital akan diproses dan dikembalikan ke bentuk analog dengan Digital to Analog Converter. Setelah sample masuk ke dalam sistem, Sampler akan mengambil nilai input secara periodik berdasarkan sinyal clock dan menyimpannya ke buffer yang akan menyusun window berisi sample yang dibutuhkan sebagai input transformasi.

DFT Block digunakan untuk melakukan *Discrete Fourier Transform* pada satu window sample. Hasil dari DFT Block yang berupa frequency bin kemudian akan diberikan

ke DFT Gain sebagai input yang dapat mengatur *gain* dari tiap *frequency bin*. Setelah diubah frekuensinya, sample akan direkonstruksi ke bentuk awal dengan IDFT atau *Inverse Discrete Fourier Transform* yang melakukan pendekatan perhitungan terbalik. Untuk melakukan transform DFT atau IDFT, akan diperlukan Cosine Lookup Table yang akan mencari nilai cos yang dibutuhkan dalam persamaan. Setelah sample direkonstruksi, sample sudah dapat diubah ke bentuk analog kembali dan ditulis ke output file untuk dikonversi kembali menjadi .wav file.

Agar sistem berjalan secara selaras dan sinkron, entity Clock Generator perlu dibuat. Clock Generator akan berperan sebagai pengatur atau control signal global untuk keseluruhan sistem. Mulai dari proses convert, buffering, transformasi, sampai dengan output file di akhir. EQ_SAMPLING, EQ_DFT, EQ_MIXING, EQ_INVERSE_DFT

Secara garis besar, Finite State Machine dari Audio Equalizer akan terdiri dari tahap *Sampling, DFT, Mixing, Inverse DFT*. FSM digunakan agar proses yang perlu dijalankan secara sequential dapat dilakukan. Tahap Sampling sistem akan menerima sinyal analog yang sudah diubah menjadi digital oleh DAC. Sample kemudian akan dimasukkan ke sample buffer sampai dengan ukuran window ditentukan. FSM akan tetap di state ini sampai buffer penuh. Setelah buffer penuh, FSM akan berpindah ke state DFT yang mana window sample akan diproses oleh modul DFT untuk dihitung nilai frekuensi tiap bin. State akan berlangsung sampai DFT memberi sinyal done. Proses akan dilanjutkan dengan tahap Mixing yang mana akan dilakukan penyesuaian amplitudo untuk tiap frequency bin dengan modul DFT Gain. Setelah selesai, FSM akan berpindah ke state Inverse DFT yang berupa rekonstruksi hasil mixing ke domain waktu. Ketika proses IDFT selesai, sinyal digital akan diproses oleh DAC untuk dikonversi kembali menjadi sinyal analog. Dari state ini, FSM akan kembali ke state Sampling untuk menunggu window buffer penuh dan mengulang kembali tahapan yang ada sampai tidak ada lagi input.

CHAPTER 3

TESTING AND ANALYSIS

3.1 TESTING

Pengujian sistem dilakukan dengan memastikan semua modul dalam Audio Equalizer berjalan sesuai spesifikasi masing-masing dan proses Transformasi dan Mixing bisa dilakukan tanpa error. Pengujian digunakan untuk memvalidasi input audio berupa .txt dapat diproses dan dikonversi kembali menjadi output audio digital. Proses pengujian akan dilakukan dengan simulator VHDL (ModelSim/Vivado) dan menyiapkan *code* test bench (audio_equalizer_tb.vhd)

Test bench yang digunakan akan mensimulasikan rangkaian dari ADC ke buffer ke DFT ke gain ke IDFT kemudian DAC. Pengujiannya akan dibutuhkan input_samples.txt yang didapat dari hasil audio parser berupa amplitude real (0.0 - 1.0). Hasil dari pengujian akan ditulis dalam file output_samples.txt. Pengujian akan melihat apakah sistem bisa membaca value, apakah transformasi, aplikasi gain, dan rekonstruksi berhasil, serta memastikan output yang sesuai.

3.2 RESULT

Dapat dilihat pada hasil simulasi wave dari testbench yang telah dibuat frekuensi data output lebih tinggi daripada frekuensi data input. Hal ini bisa terjadi karena frekuensi input dikenai operasi gain sehingga frekuensi keluarannya bisa lebih tinggi sesuai dengan gain tersebut.

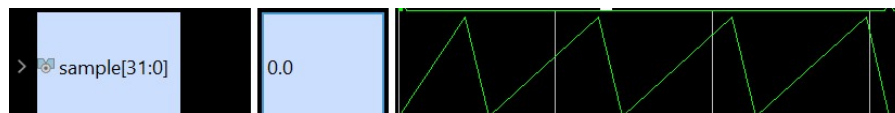


Fig 2. Input sample

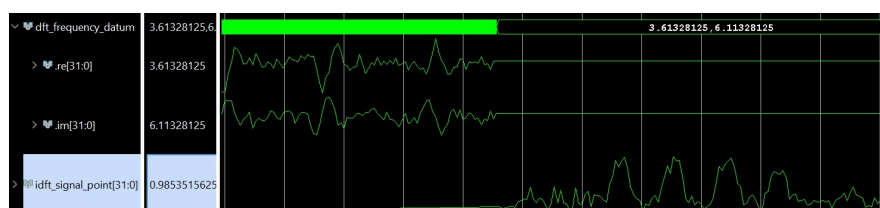


Fig 3. Hasil setelah Operasi DFT dan IDFT dengan tidak ada gain

3.3 ANALYSIS

Hasil yang didapat terlihat bahwa frekuensi output bisa naik/turun. Ini karena adanya proses gain control. Gain control diaplikasikan pada input buffer setelah diproses ke domain milik Discrete Fourier Transformation yang kemudian diubah ke bentuk awal setelah gain dengan operasi kebalikannya yakni Inverse Discrete Fourier Transformation. Nilai sample yang terlihat mulus muncul berbeda setelah rekonstruksi pada inverse DFT. Ini tandanya proses gain pada sinyal yang masuk berhasil diaplikasikan.

Kekurangan pada alat ini adalah keterbatasan pengaturan kontrol gain dan presisi hasil. Hal yang bisa diperbaiki dari kekurangan ini adalah menambah entitas kontrol gain atau user interface agar hasil tidak hardcoded.

CHAPTER 4

CONCLUSION

Jadi di sini kami berhasil menerapkan audio-equalizer dengan fitur gain control dengan memanfaatkan buffer, Discrete Fourier Transform, dan Inverse Discrete Fourier Transform. Namun, pemrosesan sinyal audio agak susah pada VHDL dan ada keterbatasan sintesis untuk modul pengubah Analog ke Digital serta Digital ke Analog.

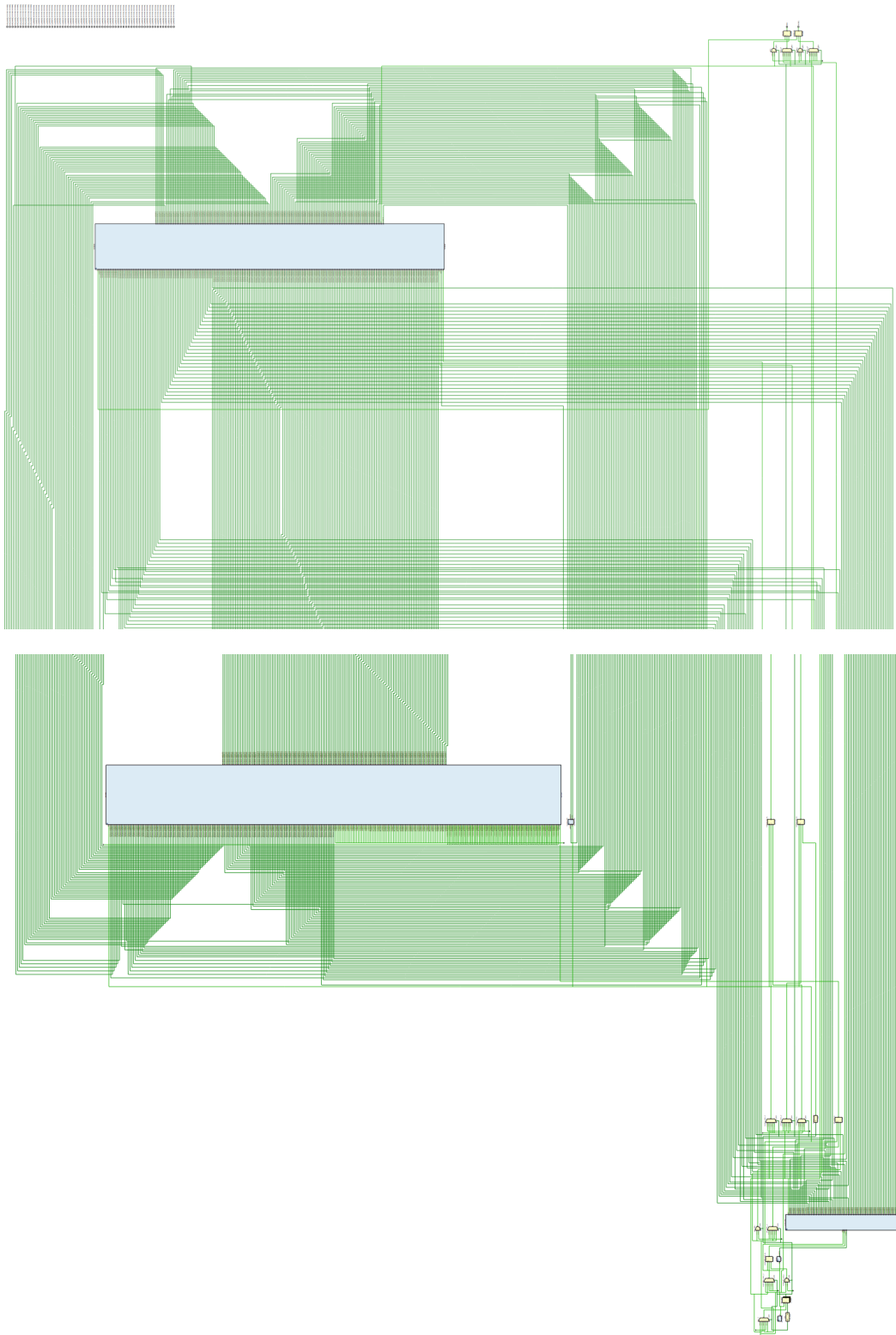
REFERENCES

- [1] P. Zhang, Y. Li, X. Wu, X. Liu, Q. Hao and Y. Liang, "Parametric audio equalizer based on Short-Time fourier transform," 2017 IEEE 17th International Conference on Communication Technology (ICCT), Chengdu, China, 2017, pp. 1648-1651, doi: 10.1109/ICCT.2017.8359910.
- [2] "The Short-time Fourier Transform | Spectral Audio Signal Processing," *Dsprelated.com*, 2019.
https://www.dsprelated.com/freebooks/sasp/Short_Time_Fourier_Transform.html
- [3] "Sound Processing with Short Time Fourier Transform," *www.numerical-tours.com*.
https://www.numerical-tours.com/matlab/audio_1_processing/
- [4] "Audio Applications of the Short-time Fourier Transform (SDFT)," *Stanford.edu*, 2020.
https://ccrma.stanford.edu/~jos/Intro421/Audio_Applications_Short_Time_Fourier.html (accessed Dec. 07, 2025).
- [5] "The Discrete Fourier Transform," *acmu.byu.edu*,
<https://acme.byu.edu/0000017c-ccfe-da17-a5fd-cdfefffc0000/acmefiles-08-fouriertransform-2021-pdf> (Accessed Dec.11, 2025)

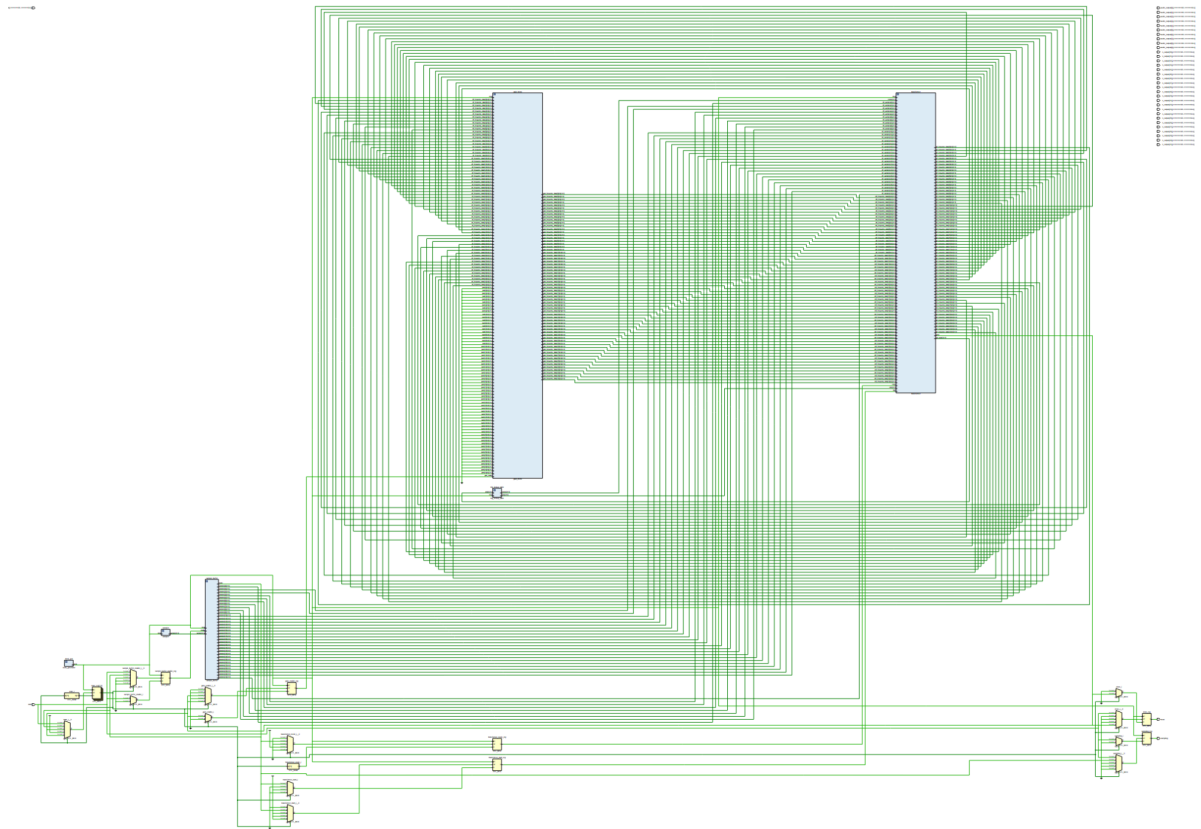
APPENDICES

Appendix A: Project Schematic

Versi 64-bit Buffer



Versi 32-bit



Appendix B: Documentation

Put the documentation (photos) during the making of the project