



DDS(Direct Digital Synthesizer) 常见问题解答

编写人 **CAST (R/D)**

版本号 **1.1**

本报告为 Analog Devices Inc. (ADI) 中国技术支持中心专用，ADI 可以随时修改本报告而不用通知任何使用本报告的人员。

如有任何问题请与 china.support@analog.com 联系。

修改记录

2006/6/13

初稿

2008/7/28

添加

目 录

1	DDS 简介.....	1
1.1	产品简介.....	1
1.2	参考资料.....	2
2	DDS 的基本概念.....	4
2.1	DDS 概述.....	4
2.2	DDS 工作原理.....	4
2.3	DDS 有关名词解释.....	5
3	具体应用问题.....	7
3.1	DDS 没有输出，怎么办？	7
3.2	哪些 DDS 能直接用晶体提供时钟，哪些不能	8
3.3	Update 更新信号如何控制？	8
3.4	DDS 的扫频功能如何实现.....	8
3.5	DDS 输出级滤波器如何设计	8
3.6	DDS 发烫，是否正常？	8
3.7	DDS 对输入时钟有什么要求？	9
3.8	AD9910 的时钟输入需要注意什么？	9
3.9	DDS 时钟输入，DAC 输出能否使用单端模式？ 电路该如何接？	10
3.10	DDS 评估板上分别有 2 个变压器或 2 个巴伦（Balun）有什么用处？	10
3.11	DDS 评估板上端接电阻为 50 欧，为何变压器的参数是在 75 欧标定的？	10
3.12	ADT1-1WT 的原副边是否可以互换使用	11
3.13	如何同步多片 DDS 芯片的输出？	11
3.14	DDS 输出端 DAC 为电流输出，怎么转换为电压，有什么限制？	11
3.15	DDS 的 AGND，DGND 应该怎样连接，接模拟地还是数字地.....	11
3.16	有些 DDS 评估板上的 MC100LVEL16 的用途是什么？	12
3.17	AD7008 已经停产，有什么可以替代.....	12
3.18	如何确定 DDS 寄存器的值.....	12
3.19	DDS 的评估板软件对操作系统有什么要求。	12
3.20	DDS 除了正弦波，还能产生别的波形么？	12
3.21	用 DDS 有什么好处.....	12
3.22	ADI 的 DDS 捷变频能力为多少.....	12
3.23	有无 DDS 的参考程序代码.....	12
3.24	如何使用 DDS 进行幅度调制.....	13
3.25	如何用 AD5930 来产生一个单频信号	13
3.26	为什么 DDS 输出的幅度会随频率的增加而减小	13
3.27	DDS 输出电压的幅度如何计算.....	13
3.28	应该用什么样的仪器来调试 DDS.....	14
3.29	输出杂散较大，怎么办？	14
4	附录.....	15
4.1	DDS 输出杂散分布.....	15

1 DDS 简介

1.1 产品简介

下图为 ADI DDS 系列产品的列表。

名称	输出 通道数	最高主频	DAC 分辨率	频率控制字长度	供电电压	参考时钟倍频	内置比较器	接口
AD9831	1	25MHz	10	32	Single 3.3V~5V	无	无	并行
AD9832	1	25MHz	10	32	Single 3.3V~5V	无	无	串行
AD9833	1	25MHz	10	28	Single 2.3V~5V	无	无	串行
AD9830	1	50MHz	10	32	Single 5V	无	无	并行
AD9834	1	50MHz	10	28	Single 2.3V~5V	无	有	串行
AD9835	1	50MHz	10	32	Single 5V	无	无	串行
AD9850	1	125MHz	10	32	Single 3.3V~5V	无	有	并行/串行
AD9851	1	180MHz	10	32	Single 3V 5V	有	有	并行/串行
AD9852	1	300MHz	12	48	Single 3.3V	有	有	并行/串行
AD9854	1	300MHz	12	48	Single 3.3V	有	有	并行/串行
AD9859	1	400MHz	10	32	Multi(+1.8, +3.3)	有	无	串行
AD9956	1	400MHz	14	48	Multi(+1.8, +3.3)	无	无	串行
AD9951	1	400MHz	14	32	Multi(+1.8, +3.3) Single 3.3V	有	无	串行
AD9952	1	400MHz	14	32	Multi(+1.8, +3.3) Single 3.3V	有	有	串行
AD9953	1	400MHz	14	32	Multi(+1.8, +3.3) Single 3.3V	有	无	串行
AD9954	1	400MHz	14	32	Multi(+1.8, +3.3) Single 3.3V	有	有	串行
AD9958	2	500MHz	10	32	Multi(+1.8, +3.3)	有	无	串行
AD9959	4	500MHz	10	32	Multi(+1.8, +3.3)	有	无	串行
AD9858	1	1000MHz	10	32	Multi(+1.8, +5)	无	无	并行/串行
AD9910	1	1000MHz	14	32	Multi(+1.8, +3.3)	有	无	并行/串行
AD9911	1	500MHz	10	32	Multi(+1.8, +3.3)	有	无	串行
AD9912	1	1000MHz	14	48	Multi(+1.8, +3.3)	有	有	串行
AD9913	1	250MHz	10	32	Single 1.8V	有	无	并行/串行

AD5930

可编程扫频和猝发波形发生器(Programmable Frequency Sweep and Output Burst Waveform Generator)

AD5932

可编程扫频波形发生器 (Programmable Frequency Scan Waveform Generator)

AD9856/7, AD9957

I, Q 输入正交调制器。

AD983×系列, AD985×系列和 AD995×系列概述

AD983X 系列DDS 是低功耗型, 最高频率在50MHz, 用的是高速10 位DAC 输出。适合于对功耗要求严格的便携设备应用。其共同特点是封装小, 如AD9833 仅有10 个管脚。AD9834 内部集成比较器, 可直接输出方波。

AD985X 系列DDS 不仅是高性能的系列, 也是ADI 推出较早, 认知度较高的系列。这个系列的最高输入时钟达到1GHz。而且系列内所有成员的输出无杂散动态范围都较高。这个系列的控制接口除AD9857 以外均有串行和并行两种。这个系列除少数几个产品以外, 都可以实现方波输出。这个系列的另外一个特点是: 除AD9850 和AD9851 外, 都具有多种调相或调频的功能。AD9854 为正交输出。而AD9856 和AD9857 均是在DDS 内核基础上的数字正交上变频器, 被广泛地应用于无线通信中。其中AD9853 工作在QPSK 或者是16-QAM 调制方式下最高数据率为14Mbit/S; AD9856 的最高输入速度为50Msamples/S, 也就是25M 对的I/Q 数据; AD9857的最高输入速度为100Msamples/S, 也就是50M 对的I/Q 数据。而AD9856 和AD9857 内置的SIN(x)/x 补偿功能也为宽带调制应用带来很多方便。

AD995X 系列DDS是ADI公司的低功耗产品。从AD985X 系列的比较可以发现, 虽然它们的性能很高, 但是功耗也很大, 基本上不可能用于便携设备。正是为了解决高性能和低功耗的问题, ADI推出了AD995X 系列DDS, 它的功耗是AD985X 系列的1/10, 但保持了高性能。AD995X 系列的顶级产品是AD9954。这个系列的产品均是以1.8V 单电源供电。

AD991X 系列DDS是ADI公司最新推出的DDS产品。与AD995X系列相比较, 在保持低功耗的同时, AD991X系列的功能更加强大。比如AD9910, 拥有多种控制模式, 使用非常灵活; 而AD9911使用了SpurKiller技术, 大大改善了杂散性能, 并且AD9911还可产生多音信号。

1.2 参考资料

DDS 入门教程, 里面讲述了 DDS 的基本原理, 杂散来源, 以及一些简单应用。

http://www.analog.com/static/imported-files/tutorials/450968421DDS_Tutorial_rev12-2-99.pdf

DDS 的仿真工具, 可以根据您的要求选择 DDS, 并且仿真出 DDS 的输出频谱。

<http://designtools.analog.com/dtDDSWeb/dtDDSMMain.aspx>

DDS 的选型表格, 列出了 DDS 的各种重要参数, 可以帮助您选择需要的 DDS。

<http://www.analog.com/en/rfif-components/direct-digital-synthesis-dds/products/index.html>

DDS 设计, 里面主要介绍了 DDS 杂散的来源

<http://www.edn.com/contents/images/415103.pdf>

关于 DDS 的应用笔记

[AN-939: Super-Nyquist Operation of the AD9912 Yields a High RF Output Signal](#) (pdf, 221 kB)

[AN-927: Determining if a Spur is Related to the DDS/DAC or to Some Other Source \(For Example, Switching Supplies\)](#) (pdf, 170 kB)

[AN-837: DDS-Based Clock Jitter Performance vs. DAC Reconstruction Filter Performance](#) (pdf, 313 kB)

[AN-823: Direct Digital Synthesizers in Clocking Applications Time](#) (pdf, 117,993 bytes)

Jitter in Direct Digital Synthesizer-Based Clocking Systems

[AN-772: A Design and Manufacturing Guide for the Lead Frame Chip Scale Package \(LFCSP\)](#) (pdf, 449,584 bytes)

[AN-769: Generating Multiple Clock Outputs from the AD9540](#) (pdf, 134,100 bytes)

[AN-632: Provisionary Data Rates Using the AD9951 DDS as an Agile Reference Clock for the ADN2812 Continuous-Rate CDR](#) (pdf, 142,073 bytes)

[AN-621: Programming the AD9832/AD9835](#) (pdf, 207,547 bytes)

This application note details how to program 5 MHz on the output of the AD9832/AD9835 parts. The frequency register, defer register, and command sequence are explained in detail.

[AN-605: Synchronizing Multiple AD9852 DDS-Based Synthesizers](#) (pdf, 540,140 bytes)

[AN-587: Synchronizing Multiple AD9850/AD9851 DDS-Based Synthesizers](#) (pdf, 119,446 bytes)

[AN-557: An Experimenter's Project](#) (pdf, 377,565 bytes)

Incorporating the AD9850 Complete DDS Device as a Digital LO Function in an Amateur Radio Transceiver

[AN-543: High Quality, All-Digital RF Frequency Modulation Generation with the ADSP-2181 and the AD9850 DDS](#) (pdf, 50,435 bytes)

[AN-423: Amplitude Modulation of the AD9850 Direct Digital Synthesizer](#) (pdf, 38,029 bytes)

[AN-419: A Discrete, Low Phase Noise, 125 MHz Crystal Oscillator for the AD9850](#) (pdf, 103,565 bytes)

[AN-345: Grounding for Low-and-High-Frequency Circuits](#) (pdf, 466,906 bytes)

Know Your Ground and Signal Paths for Effective Designs. Current Flow Seeks Path of Least Impedance-Not Just Resistance....

[AN-342: Analog Signal-Handling for High Speed and Accuracy](#) (pdf, 479,545 bytes)

Signal handling techniques for optimizing DAC and ADC performance.

[AN-280: Mixed Signal Circuit Technologies](#) (pdf, 2,152,032 bytes)

Considers problems which arise when reality (& Murphy) intervene in a design which otherwise seems satisfactory in terms of theory and modeling.

[AN-237: Choosing DACs for Direct Digital Synthesis](#) (pdf, 1,183,759 bytes)

模拟对话中与 DDS 有关的文章

[Single-Chip Direct Digital Synthesis vs. the Analog PLL](#)

(Analog Dialogue, Vol. 30, No. 3, 1996)

[Innovative Mixed-Signal Chipset Targets Hybrid-Fiber Coaxial Cable Modems](#)

(Analog Dialogue, Vol. 31, No. 3, 1997)

[Single-Sideband Upconversion of Quadrature DDS Signals to the 800-to-2500-MHz Band](#)

(Analog Dialogue, Vol. 34, No. 3, May, 2000)

[Ask The Application Engineer—33: All About Direct Digital Synthesis](#)

(Analog Dialogue, Vol. 38, August 2004)

[Direct Digital Synthesis \(DDS\) Controls Waveforms in Test, Measurement, and Communications](#)

(Analog Dialogue, Vol. 39, August 2005)

2 DDS 的基本概念

2.1 DDS 概述

直接数字式频率综合器 DDS (Direct Digital Synthesizer)，实际上是一种**分频器**：通过编程频率控制字来分频系统时钟 (SYSTEM CLOCK) 以产生所需要的频率。DDS 有两个突出的特点，一方面，DDS 工作在数字域，一旦更新频率控制字，输出的频率就相应改变，其跳频速率高；另一方面，由于频率控制字的宽度宽 (48bit 或者更高)，频率分辨率高。

2.2 DDS 工作原理

Error! Reference source not found. 是 DDS 的内部结构图，它主要分成 3 部分：相位累加器，相位幅度转换，数模转换器 (DAC)。

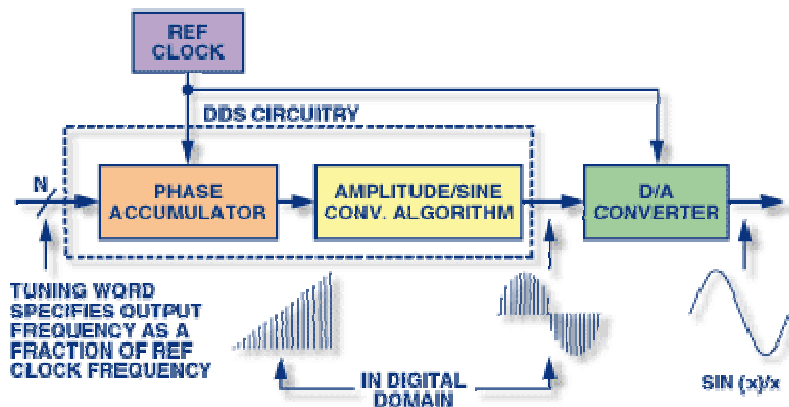


图 1, DDS 的结构

相位累加器

一个正弦波，虽然它的幅度不是线性的，但是它的相位却是线性增加的。

DDS 正是利用了这一特点来产生正弦信号。如图 2，根据 DDS 的频率控制字的位数 N，把 360° 平均分成了 2^N 等份。

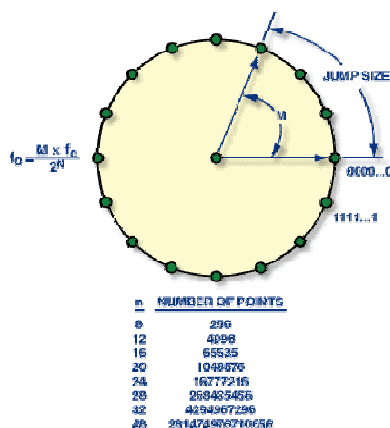


图 2, 相位累加器原理

假设系统时钟为 F_c , 输出频率为 F_{out} 。每次转动一个角度 $360^\circ/2^N$, 则可以产生一个频率为 $F_c/2^N$ 的正弦波的相位递增量。那么只要选择恰当的频率控制字 M , 使得 $F_{out} / F_c = M / 2^N$, 就可以得到所需要的输出频率 F_{out} ,

$$F_{out} = F_c * M / 2^N,$$

相位幅度转换

通过相位累加器, 我们已经得到了合成 F_{out} 频率所对应的相位信息, 然后相位幅度转换器把 $0^\circ \sim 360^\circ$ 的相位转换成相应相位的幅度值。比如当 DDS 选择为 2V p-p 的输出时, 45° 对应的幅度值为 0.707V, 这个数值以二进制的形式被送入 DAC。这个相位到幅度的转换是通过查表完成的。

DAC 输出

代表幅度的二进制数字信号被送入 DAC 中, 并转换成为模拟信号输出。注意 DAC 的位数并不影响输出频率的分辨率。输出频率的分辨率是由频率控制字的位数决定的。

2.3 DDS 有关名词解释

1. 参考时钟/系统时钟(REFERENCE CLOCK / SYSTEM CLOCK)

参考时钟就是 DDS 的输入时钟频率。

系统时钟就是 DAC 的采样率, 频率越高, 能够输出的频率也就越高, 输出频率应小于 40% 系统时钟频率。

如果不使用内部 PLL 倍频器, 参考时钟就等于系统时钟, 如果使用 PLL 倍频器 (倍频系数为 M) 或者分频器 (分频系数为 R), 那么系统时钟为参考时钟 $\times M$ 或者参考时钟 $\div R$ 。

2. 频率控制字(Frequency Tuning Word)

频率控制字的值 M 决定了输出频率,
$$f_{out} = \frac{M \times f_c}{2^n}.$$

频率控制字位数 (N) 越高, 输出频率的分辨率就越高, 频率分辨率为 $F_c/2^N$ 。

3. DAC 输出电压范围 (Voltage Compliance Range)

对于电流输出型 DAC, DAC 的输出电压必须在一定范围之内。输出电流在负载上建立的电压的值, 一定要在这个范围之内。否则, 输出级有可能会损坏。

4. 无杂散动态范围 (SFDR)

无杂散动态范围(SFDR)是信号 RMS 值与一定带宽内最大杂散频谱分量 RMS 值的比率，可以分为宽带的 SFDR (wideband SFDR) 和窄带的 SFDR (Narrowband SFDR)，这里宽带的定义通常为从直流一直到奈奎斯特频率（即系统主频一半），窄带的频宽一般为 $\pm 15\text{KHz}$ ， $\pm 50\text{KHz}$ ， $\pm 250\text{KHz}$ ， $\pm 1\text{MHz}$ 等。

5. 残留相位噪声 (Residual Phase Noise)

给定输出频率的条件下，一定频偏位置上的 1Hz 带宽内的噪声功率与输出信号功率的比值，单位为 dBc/Hz@xkHz。

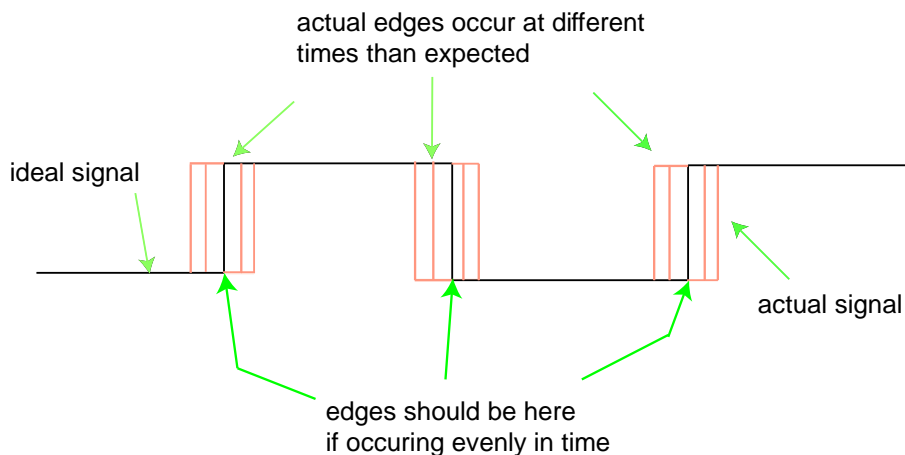
表 1 为 AD9956 输出 19.7MHz 时候，不同频偏的情况下的相位噪声。

19.7 MHz Four		
@ 10 Hz Offset	125	dBc/Hz
@ 100 Hz Offset	135	dBc/Hz
@ 1 kHz Offset	143	dBc/Hz
@ 10 kHz Offset	152	dBc/Hz
@ 100 kHz Offset	158	dBc/Hz
>1 MHz Offset	163	dBc/Hz

表 1, AD9956 残留相位噪声

6. 时钟抖动 (Jitter)

下图说明了时钟抖动的概念。图中的黑线为理想的时钟信号。该理想时钟的上升沿和下降沿是瞬间变化的，并且上升沿和下降沿的发生时刻是严格由信号周期决定的。那么，什么是时间抖动呢？时间抖动是时钟信号质量的一个度量，比如这一页的方波信号，实际信号的上升沿和下降沿的发生时刻与理想发生时刻有一个偏差，实际信号用红色标出，实际信号的边沿发生在不同的时刻，也就是说，时钟抖动使周期变得不均匀。



7. Chirp

Chirp 模式也叫做脉冲调制。包括线性调频扫描模式和非线性调频扫描模式。如图 3，这是 AD9854 非线性调频的一个示意图，通过 Ramped FSK 模式下，改变频率的斜率（即改变时间步长 ramp rate，和频率步长 delta frequency word）来实现的。

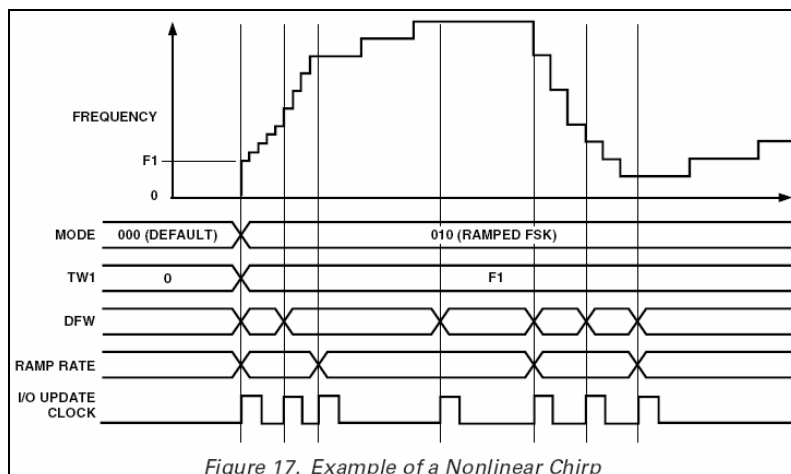


图 3, AD9854 非线性调频示意图

8. Profiles

可以允许用户预先编程几组输出频率的控制字，然后在这些控制字组中选择，以达到灵活快速的频率跳变。

3 具体应用问题

3.1 DDS 没有输出，怎么办？

请先在管脚位置测量电源电压大小，控制信号电压，时钟电平是否正确，电压幅度是否在数据手册的范围内，尤其是 RESET，POWER DOWN 等管脚的逻辑状态。如果一切正常，请做如下检查。

1. 如果芯片有 SYNC_OUT 或 SYNC_CLK 信号输出管脚，请测量此管脚的信号。看其输出频率是否正确，如果此管脚输出异常，请重复仔细检查硬件连接，电源和时钟输入。
2. 如果 SYNC_OUT 或 SYNC_CLK 正常，请检查寄存器的读写时序，这包括控制信号和数据信号的电平是否正确。判断寄存器读写是否正确的方法包括，可以改变内部锁相环的倍频系数，然后观察 SYNC_OUT 或 SYNC_CLK 管脚的输出频率变化。另外的方法是在写完寄存器以后再读出寄存器的值，检查是否写入的寄存器值和读出的值相同。如果读写寄存器存在问题，请使用逻辑分析仪检查时序。
3. 检查寄存器的值是否配置正确，这可以使用 ADI 网站上各个芯片的评估板软件或者相关芯片的网上在线设计工具来帮助您设计计算寄存器的值。
4. 这里需要提到的是很多常见的硬件连接的问题是 DDS 输出管脚的接法。大部分的 DDS 的输出都是差分电流输出，所以请特别注意 DDS 的输出连接。
 - 1) 请注意有些 DDS 的 IOUT 和/IOUT 输出需要接电阻到地，但是有一些需要接电阻到 AVDD。请参考芯片的数据手册和评估板原理图。
 - 2) IOUT 和/IOUT 的端接电阻的大小要满足满量程电流在电阻上建立的电压小于数据手册上的 **Voltage Compliance Range**。
 - 3) IOUT 和/IOUT 的端接阻抗要相同，不能将其中一个悬空。请参考评估板的接法。

3.2 哪些 DDS 能直接用晶体提供时钟，哪些不能

一些 DDS 能够直接接晶体，而有些不能，985X, 983X 系列不能使用晶体，最新系列 995X 都可以使用晶体。

3.3 Update 更新信号如何控制？

通常写入 DDS 芯片的控制字会先暂存在 Buffer 中，当 Update 信号产生后，Buffer 中的内容被送到真正的寄存器中。Update 信号由用户控制产生（Update 管脚为输入），有些 DDS 芯片的 Update 信号也可以自动产生（写入一个控制字后芯片自动生成更新信号，Update 管脚为输出），比如 AD9852/4, AD9910。

3.4 DDS 的扫频功能如何实现

很多 DDS 有线性扫频模式，最关键的寄存器一般有两个，一个控制每次扫频的频率间隔，一个控制多久的时间跳一次频。以 AD9858 为例。首先要编程 DFRRW (跳变率寄存器 The delta frequency ramp rate word)，它的功能类似一个倒数计数器，每 8 个主频周期，就会减 1，减到 0 则会进行一次跳频。在扫频之前，还要写入改变频率控制字 DFTW (The delta frequency tuning word)，这是每次跳频输出频率改变的大小。用户还必须计算好起始频率到最终频率的时间，并对 DFRRW 的寄存器写入 0，则会停止扫频。具体详细的公式请参考 AD9858 数据手册 19 页。

再以 AD9956 为例，需要编程两个输出频率，FTW1，和 FTW2，同时还有一个管脚 P0 来控制扫频方向。扫频模式受 4 个寄存器控制，第一个是 RDFTW 寄存器(Rising Delta Frequency Tuning Word 上升频率控制字)，存储的数值是每次扫频跳动的频宽。比如 RDFTW 选择 1MHz，那么扫频的分辨率就是 1MHz。第二个是 RSRR 寄存器 (Raising Sweep Ramp Rate 上升扫频速率)，它其实是一个计数器，用来数 SYNC_CLK，每次计数到 0 的时候，就会跳一次频，输出频率增加 RDFTW，或者减少 FDFTW。更详细的扫频工作模式说明请参考 AD9854 或 AD9954 的数据手册。RDFTW/FDFTW 计算方式跟 FTW 计算方法一样，跳频大小 = $\text{REFCLK} \times \text{RDFTW} / 2^N$ (N 为 RDFTW 的位数) 而每次跳频的间隔时间为 $\text{SYNC_CLK} \times \text{RSRR} / \text{FSRR}$ 。不同片子的具体详细的控制方法，请参看具体片子的数据手册。

3.5 DDS 输出级滤波器如何设计

一般使用椭圆滤波器。具体滤波器设计，可以参考下面的网站 <http://www.filter-solutions.com/>，<http://www.circuitsage.com/>

3.6 DDS 发烫，是否正常？

首先，您可以通过数据手册中的供电电压，工作时候的工作电流算出功率损耗，然后再通过数据手册给出的参数，可以算出芯片工作时的理论温度。以 AD9850 为例，可以看到工作在 125MHz 的时候，系统功耗最大为 480mW。

$P_{DISS} @$					
62.5 MHz Clock, 3.3 V Supply	Full	VI	100	160	mW
110 MHz Clock, 3.3 V Supply	Full	VI	155	200	mW
62.5 MHz Clock, 5 V Supply	Full	VI	220	320	mW
125 MHz Clock, 5 V Supply	Full	VI	380	480	mW

同时，可以看到这个片子的热阻参数如下，

SSOP θ_{JA} Thermal Impedance 82°C/W

θ_{JA} 是指芯片内部和外部空气的温度差， θ_{JC} 是芯片封装和外部的温度差。如果片子没有给出 θ_{JC} 的参数，可以大致用 $1/2 \theta_{JA}$ 来估算（一般情况小于 $1/2 \theta_{JA}$ ）。那么可以得出片子工作时候的外部封装的温度大约要高出周围温度 $82/2 \times 0.48W = 19.68$ 度，所以，假设环境温度为 25 度，那么片子在 45 度到 50 度都是很正常的。如果片子的温度高于计算值，请测量流过供电管脚的电流，如果发现流过电流过大，请检查是否板子上有短路。

有些底部有金属散热片的片子（比如 AD9858），要求把芯片底部的金属片焊接在 PCB 的焊盘上，并且 PCB 的此焊盘要与 GND 网络连接，这样，芯片能够依靠 PCB 大面积的 GND 来进行散热。具体的 PCB 封装的设计方法，可以在数据手册中找到，如 AD9854 的数据手册。

3.7 DDS 对输入时钟有什么要求？

一般数据手册都会给出具体的要求，下面仅以 AD9956 为例。首先是系统频率，有些片子会有倍频器或者分频器。倍频和分频最后的结果不能超过片子能够支持的最高主频，AD9956 为 400MHz。同时，输入时钟的功率 -10~+4dBm 和电压范围也有要求。最后要注意的就是，输入阻抗，输入等效电容等。请注意，DDS 正常工作的前提是，输入时钟满足 DDS 的要求，所以请先明确输入的时钟是否正确。

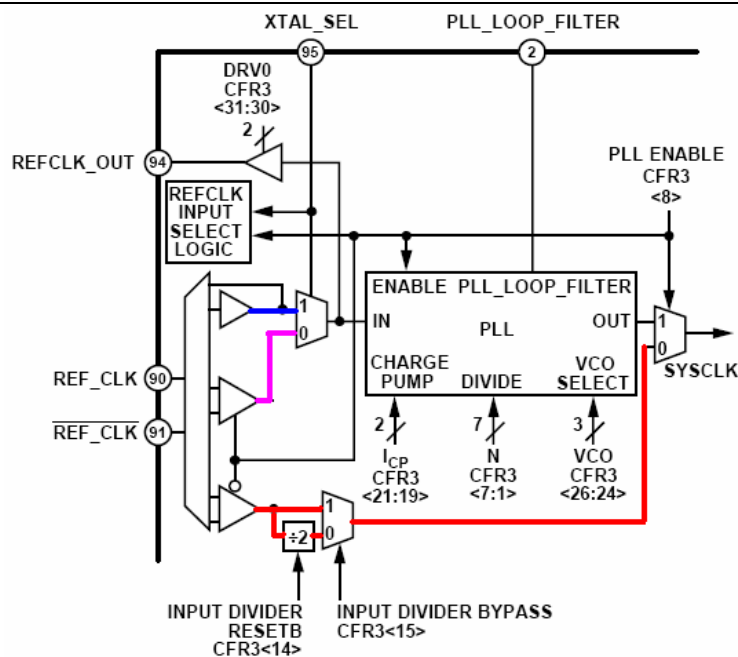
RF DIVIDER (REFCLK) INPUT SECTION (+R)				
RF Divider Input Range	1	2700	MHz	DDS SYSCLK not to exceed 400 MSPS
Input Capacitance (DC)		3	pF	
Input Impedance (DC)		1500	Ω	
Input Duty Cycle	42	50	%	
Input Power/Sensitivity	-10	+4	dBm	Single-ended, into a 50 Ω load ¹
Input Voltage Level	350	1000	mV p-p	

表 2，参考时钟输入指标

3.8 AD9910 的时钟输入需要注意什么？

AD9910 是一款功能强大的 DDS 芯片，这也体现在系统时钟的产生上，有两种接法：

1. 外部接晶体（下图中蓝线）。此时必须使能内部的锁相环，否则晶体无法振荡。这种配置下，需要将 XTAL_SEL 管脚接高，同时将 CFR3<8>置 1 使能 PLL，倍频系数由 CFR3<7:1>决定，由于内部有 6 个可配置的 VCO 的范围，所以 VCO 的范围需要进行选择，由 CFR3<26:24>决定。
2. 外部接有源晶振。此时须将 XTAL_SEL 接低，锁相环可以使能，也可不使能。使能时（下图中紫色线），与 1 类似；不使能时（下图中红线），需要配置 CFR3<14>和 CFR3<15>。



3.9 DDS 时钟输入, DAC 输出能否使用单端模式? 电路该如何接?

DDS 的时钟输入可以使用单端模式，只要输入电压范围满足时钟要求。关于单端模式下不使用的时钟互补管脚的连接方法请参考具体片子的数据手册。通常为了得到更好的性能，推荐使用变压器把单端时钟转换为差分信号再输入到 DDS 芯片。

如果要 DAC 单端输出，您可以只用 DAC 的一端输出，但是注意，另一管脚不能悬空。（根据数据手册说明，可以通过电阻接地或者接 AVDD。）通常为了得到更好的性能，推荐使用变压器或者巴伦完成差分转单端的功能。

3.10 DDS 评估板上分别有 2 个变压器或 2 个巴伦 (Balun) 有什么用处?

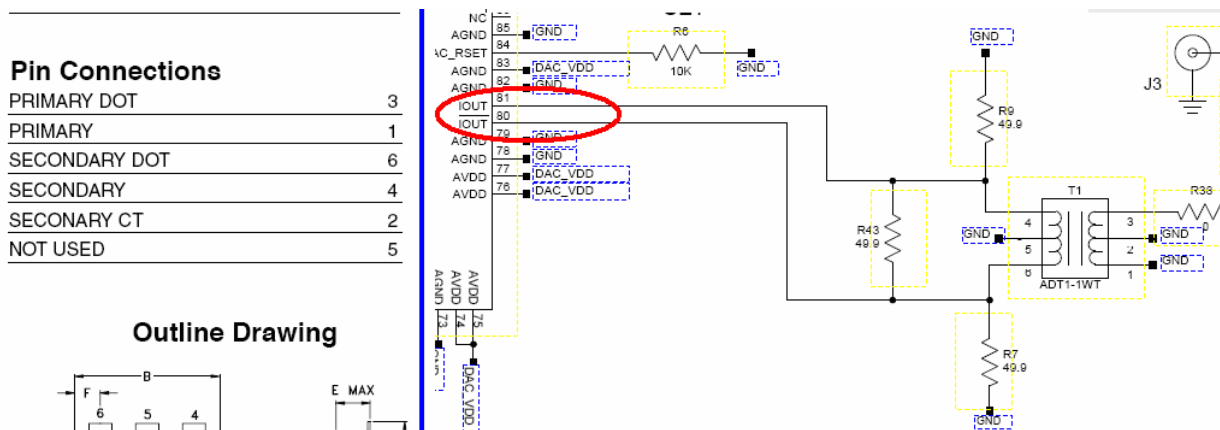
用来完成 DAC 输出差分转单端的工作，而且还可以进行阻抗匹配，2 个串联的变压器或者巴伦能够提高其工作的平衡性。其中，低频中频使用变压器，高频时候一般使用巴伦，具体请参考该巴伦或变压器的数据手册。如果实际使用中不需要，也可以跳过不接。

3.11 DDS 评估板上端接电阻为 50 欧，为何变压器的参数是在 75 欧标定的？

在 ADI 的大多数 DDS 评估板上，我们都用到了 ADT1-1WT，该变压器资料中的各项参数都是在匹配 75 欧姆电阻时测得的，所以能保证与 75 欧姆电阻连接时性能最佳。如果该变压器用于 50 欧姆系统中，则变压器的频带可能会有变化，但变化不大，所以如果 DDS 输出的频率处于变压器中心频率附近，则对 DDS 的输出不会有任何影响。与大多数在 50 欧姆标定的变压器相比，ADT1-1WT 的带宽更宽。

3.12 ADT1-1WT 的原副边是否可以互换使用

如下图左边为 ADT1-1WT 的定义，副边有中间的抽头，而原边没有，中间的抽头通常用于在输出上增加一个偏置电压。右边为 AD9910EVB 中该变压器的使用，电路中，ADT1-1WT 的副边接到 DDS 的输出，这是因为我们需要在 DDS 输出进行偏置，对于 1:1 的变压器而言，原副边互换性能是一样的。



3.13 如何同步多片 DDS 芯片的输出？

请参考应用笔记，里面详细介绍了如何同步两块 DDS。它可以在下面的网址找到。

http://www.analog.com/UploadedFiles/Application_Notes/3710928535190444148168447035AN605_0.pdf#xml=http://search.analog.com/search/pdfPainter.aspx?url=http://www.analog.com/UploadedFiles/Application_Notes/3710928535190444148168447035AN605_0.pdf&fterm=synchronize&fterm=dds&fterm=synchronize%20dds&la=en

3.14 DDS 输出端 DAC 为电流输出，怎么转换为电压，有什么限制？

对于 AD995X 系列，DAC 输出管脚必须通过一个串联电阻和 AVDD 连接（如果使用变压器，则变压器的中心抽头应该接 AVDD），并且要注意到输出管脚的电压范围，以 AD9954 为例，它的 DAC 输出范围（Voltage Compliance Range）为 $(AVDD - 0.5V)$ 到 $(AVDD + 0.5V)$ ，所以 DAC 的输出最大电流乘以串接到 AVDD 的电阻的值不应该超过 0.5V。对于 AD985X 和 983X，DAC 的输出是通过电阻接 GND 的，同样也有电压范围的要求，请参照数据手册中 Voltage Compliance Range 的值，或者参考评估板电路。

3.15 DDS 的 AGND，DGND 应该怎样连接，接模拟地还是数字地

通常用一块大面积地来处理。请参考相关芯片的评估板设计。

3.16 有些 DDS 评估板上的 MC100LVEL16 的用途是什么？

MC100LVEL16 起到的不仅仅是单端时钟信号转差分的作用，还起到了共模电压搬移，差分时钟幅度调整的作用。

3.17 AD7008 已经停产，有什么可以替代

AD9853, AD9856, AD9857, AD9956 具体用法请参考它们的数据手册。

3.18 如何确定 DDS 寄存器的值

请您参考 DDS 的评估板软件，里面可以便捷的设置 DDS 的寄存器的值，而且寄存器的值还可以存为文件，可以直接把文件的值读入 DDS 寄存器的值。

3.19 DDS 的评估板软件对操作系统有什么要求。

DDS 的评估板软件通常使用英文操作系统，如果操作系统为中文，可能会有找不到评估板的情况。

3.20 DDS 除了正弦波，还能产生别的波形么？

DDS 的输出波形取决于 DDS 内部的相位到幅度的变换表。通常该表为正弦表，所以输出波形为正弦波，如果为三角表，那么 DDS 的输出就可以为三角波。请参考 AD9833 的数据手册。方波信号可以通过比较器对正弦波信号整形得到。

3.21 用 DDS 有什么好处

1. 频率分辨率高。
2. 跳频速度高。

3.22 ADI 的 DDS 捷变频能力为多少

即从频率 1 改变到频率 2 所花的最短的时间。一般由接口决定，控制寄存器的数值改变所需要的时间，就是频率改变的最快速度。为了加快这个速度，有的 DDS 采用并口通信，有的 DDS 则引入了预编程寄存器，可以预先编程，可以使频率的转换更加快捷。

3.23 有无 DDS 的参考程序代码

我们有部分 DDS 的串口，并口通信例程可以供您参考，您可以发邮件 china.support@analog.com 索取。

3.24 如何使用 DDS 进行幅度调制

对于 AD9852/4/9, AD9910/54/58/59, 这些芯片内部有 “amplitude scale factor”, 可以通过改变 “amplitude scale factor” 的值来控制输出幅度。若芯片内部没有此寄存器, 则可以通过改变 DAC 输出的电流来实现调幅。有两种方法, 一种是通过调节 Rset 电阻的端接电压来调整 DAC 输出的电流值来实现调幅, 具体可参考 <http://www.edn.com/article/CA46103.htm>; 另一种是通过改变 Rset 的电阻值来调幅, 请参考应用笔记 AN-423, 链接地址为:

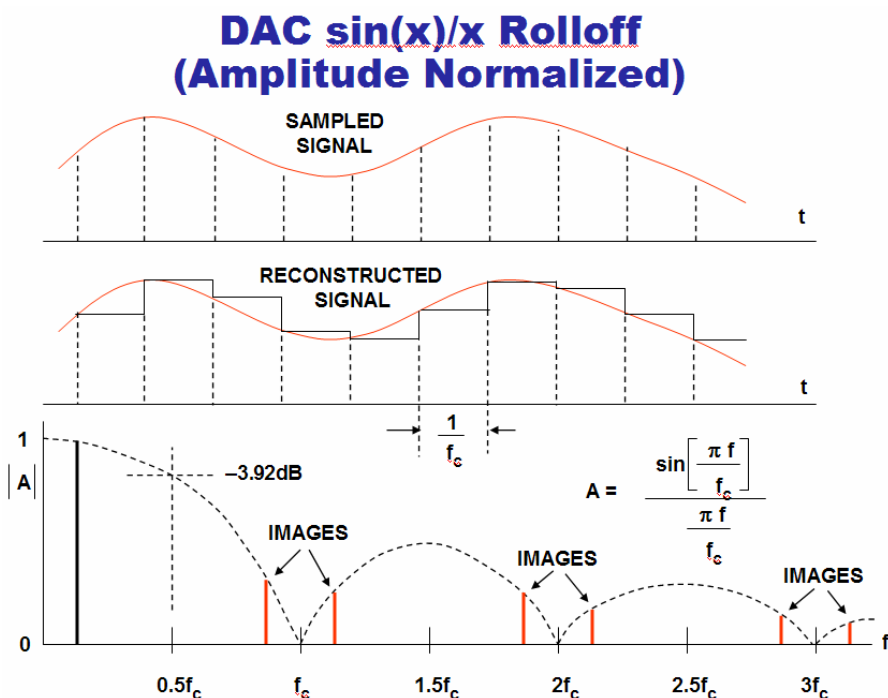
http://www.analog.com/UploadedFiles/Application_Notes/59738152692124760424917402AN_423.pdf

3.25 如何用 AD5930 来产生一个单频信号

AD5930 是一款可编程的扫频信号发生器。如果需要产生单频信号, 则可以把步进频率, 步进点数和每个频点上停留的时间三个参数都置为 0。

3.26 为什么 DDS 输出的幅度会随频率的增加而减小

如图所示, 由于 DAC 的输出是阶梯状的波形, 在频域上表示为 Sinc 效应, 即随着频率的增加幅度下降。在一些 DDS 产品中, 反 Sinc 滤波器可以减轻这种作用的影响, 比如 AD9852/4, AD9957 等。



3.27 DDS 输出电压的幅度如何计算

一般地, DDS 芯片可以通过改变 Rset 电阻的值来调整 DAC 输出电流的大小, 那么 DAC 输出的电压就为电流与端接电阻的乘积。并且在 DAC 的输出会用变压器将差分的输出转换为单端的输出, 我们的应用笔记 AN-912 详细描述了当使用变压器时电压幅度是如何计算的。

3.28 应该用什么样的仪器来调试 DDS

您应该使用频谱仪来观察 DDS 的输出频谱质量。

3.29 输出杂散较大，怎么办？

后面的附录将给出引入杂散的几个可能情况，如果杂散比较大，可以逐次检查杂散可能的来源。比如使用较高的系统主频，判断是否杂散来自 DAC 输出。也可以试着使用倍频功能，如果杂散同时被放大，则来自参考时钟，也可以试着改变调频码，如果杂散与基频距离不变，那么也很有可能来自参考时钟。同时也应该检查板上其他数字时钟的频率，还有周围环境的频率，都可能成为 DDS 输出杂散的来源，详细请参考附录。

4 附录

4.1 DDS 输出杂散分布

我们已经知道 DDS 是一个分频器，在提供一个系统主频的情况下，能够输出低于系统主频，分辨率为 2^N 的正弦波。即，每一个主频周期，DAC 都会输出一个点，而 $2^N/M$ 个点形成输出频率的一个周期。**这就相当于以系统时钟的频率对输出时钟进行采样**，根据奈奎斯特定律，这就是为什么输出频率要低于系统时钟的 40% 的原因。

下图为 DDS 在 300M 主频，输出 80M 频率时的频谱。

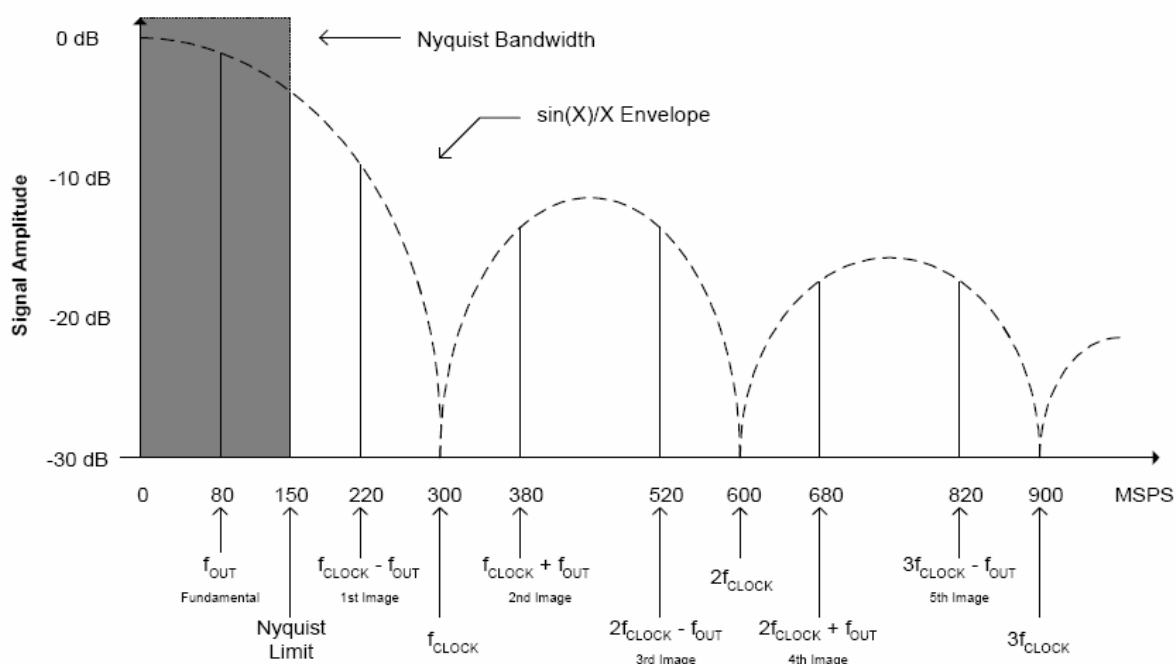


图 1. 300M 主频, 80M 输出 DDS 频谱

上图是理想情况下的 DDS 输出频谱，实际的 DDS 的输出还会有更多杂散，在下图可以看到，实际的频谱会有各种各样的杂散，我们随后会分析杂散的来源。

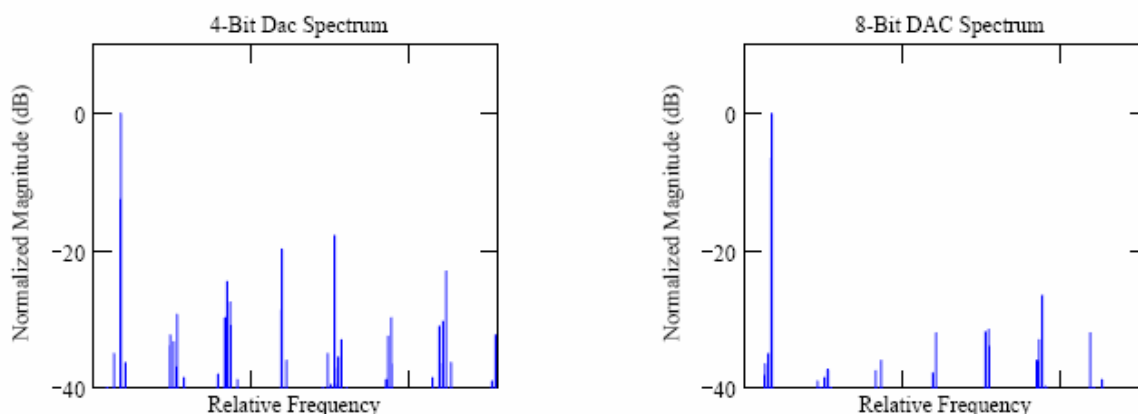


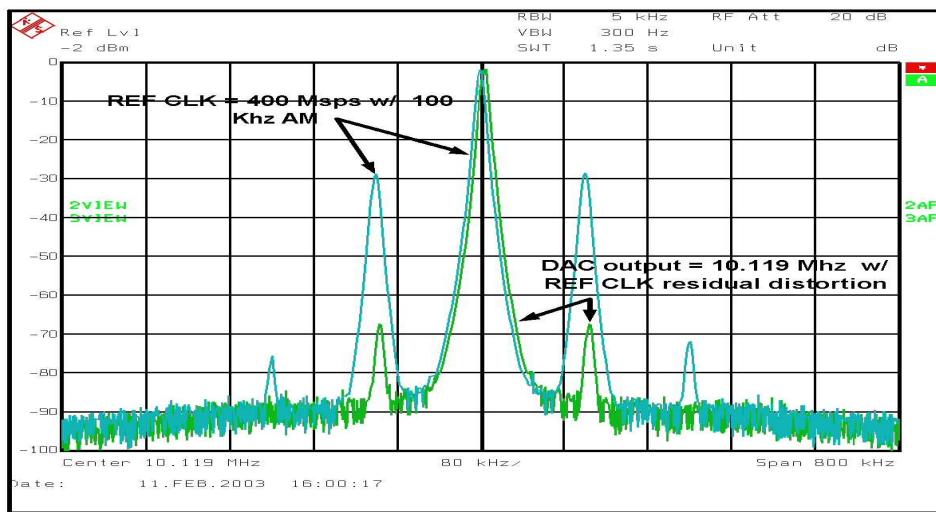
图 2. 4Bit 和 8Bit DAC 输出频率杂散

输出杂散的来源主要来自以下六点：

1. 参考时钟引入的噪声（REF CLOCK SPURS / NOISE）

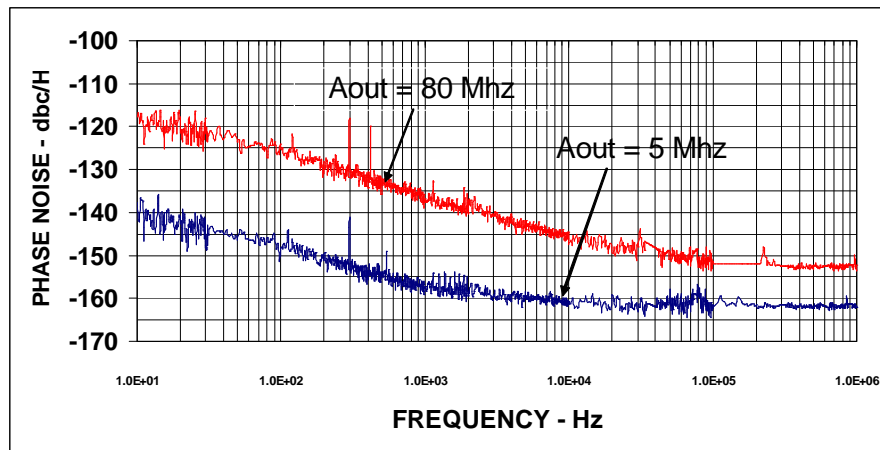
参考时钟引入的噪声相对来说比较容易发现，它有三个特点，

第一，输入时钟的杂散会以同样的频偏出现在输出。如下图输入的时钟 400MHz，经过 100KHz 的调制，不管 DDS 的调频码为多少，输出在频偏 100KHz 的位置上，都会有杂散。



输入经过 100KHz 调制的 400MHz 时钟，DDS 的输出频谱

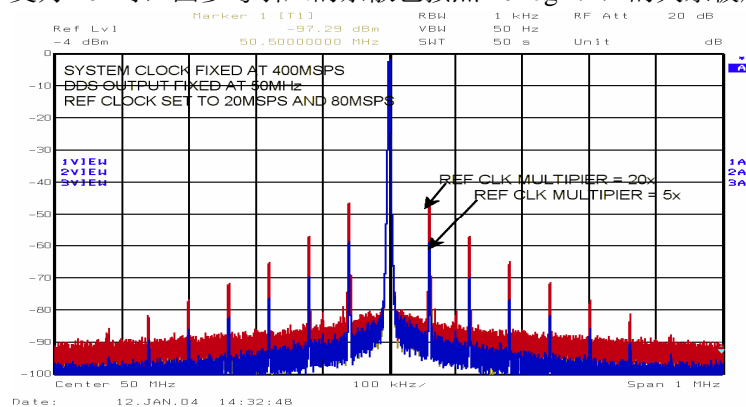
第二输入时钟的杂散在输出的相噪会随着调频码的变小而减小。如下图，可以看到，参考时钟相同的情况下（300MHz），输出 80MHz 和 5MHz 时相噪不同，他们的差别是 $20 \log(80M/5M) = 24$ dB（在较高频偏处，因为受到了噪底的影响，所以差别小于 24dB）



输出相噪和输出频率之间的关系

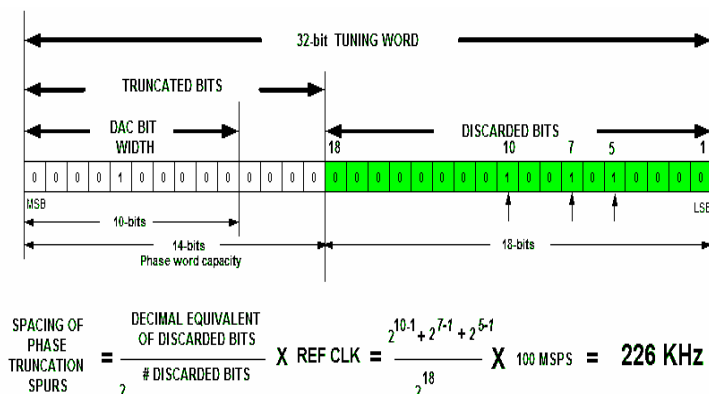
第三，输入时钟的杂散会被倍频功能而放大。

ADI 的大多数 DDS 都集成了参考时钟倍频器，即锁相环，如果使用了 PLL，参考时钟源中的任何噪声或者杂散都将在 PLL 环路带宽内以 $20 \log(x)$ 关系被放大。 x 指 PLL 的频率放大倍数。如下图，当参考时钟倍频从 $5\times$ 变为 $20\times$ 时，因参考引入的杂散也按照 $20 \log(x)$ 的关系被放大了。

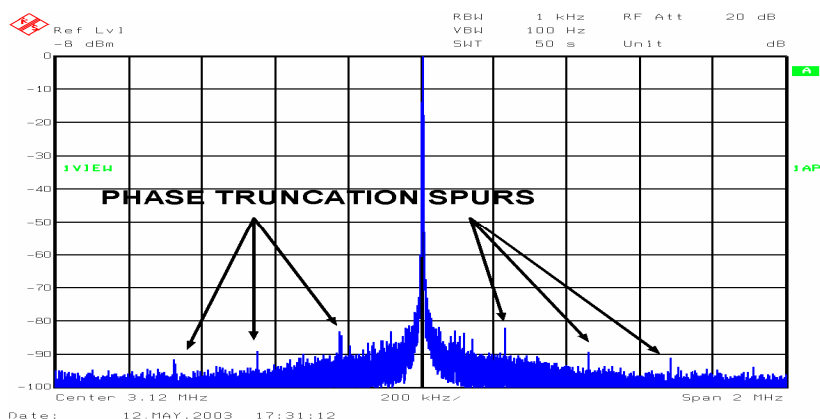


2. 相位截短杂散 (PHASE TRUNCATION SPURS)

相位截短杂散也是可以计算出来的，可以从调频码，相位截断保留的位数和参考时钟频率，算出相位截短引入的杂散，下图是 32 位的相位累加器，舍弃了后 18 位，保留了前 14 位的示意图。

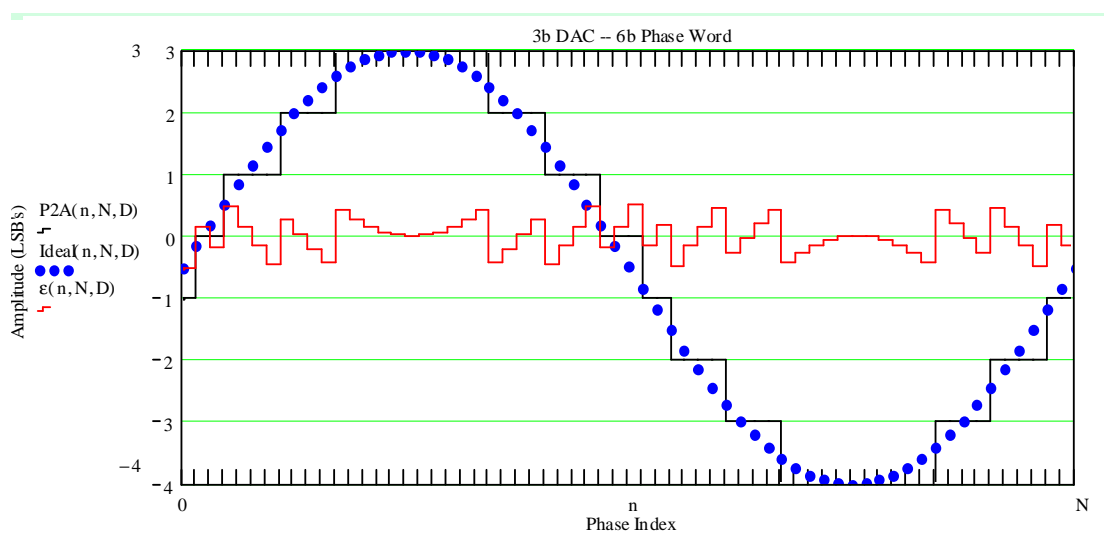


下图是上例的输出频谱图，输出频率旁边 226KHz 的杂散在预料之中，这个杂散的幅度也是可以计算出来的，最坏情况为 $-6 \times N$ dB。N 为相位截短保留的位数，本例为 14，所以可以看到，杂散的幅度大概为 $-6 \times 14 = -84$ dB。



3. 相位幅度转换杂散 (PHASE-to-AMPLITUDE SPURS)

下图是相位幅度转换的示意图，为了易于理解，这里使用的是 3Bits 的 DAC 和 6Bits 的相位累加器，图中的红色曲线，就是相位幅度转换引入的误差，也是引入杂散的原因。相位幅度转换也是可以计算出来的，一般比 DAC 的输出量化噪声低 10 个 dB，所以并不是杂散最主要的因素，而且其推导过程比较复杂，这里就不详述，如果有兴趣，可以参考 <http://www.edn.com/contents/images/415103.pdf>。值得提出和注意的是，如果 DDS 驱动一个锁相环 (PLL)，并且相位幅度转换杂散在锁相环的带内，那么这个杂散会被按比例放大，可能会成为输出时钟的一个重要的杂散来源。



4. DAC 输出导致的杂散 (DAC HARMONIC SPURS)

DAC 非线性误差和非理想开关特性是造成最大杂散的原因，二者都会产生谐波失真。大部分的谐波失真能量都集中在基频的低次谐波上，主要是 2 次和 3 次。**DAC 通常是造成 DDS 输出中最大杂散的因素。**得到最大的 SFDR 的关键是，找到参考时钟频率和输出频率之间的最佳关系。下面两图会跟大家

举例说明。

对于图 3 我们使用的是 100MHz 的参考频率我们发现杂散很大，主要是输出频率的奇次谐波。基频的奇次谐波混叠到第一奈奎斯特区内并且靠近基频。请记住，DDS 输出的最大杂散是基频的低次谐波。一旦它们超出了第一奈奎斯特区就会以可以预测的频率混叠回第一奈奎斯特区内。从图中可以看到，这个 DDS 在 4MHz 带宽内的无杂散动态范围（SFDR）大概为 -73 dBc，这个性能受到了较低的奇次谐波的限制

$$\begin{aligned} 3^{\text{rd}} \text{ 谐波} &= 100 - 3 \times 25.153\text{M} &= 24.541\text{MHz} \\ 5^{\text{nd}} \text{ 谐波} &= 5 \times 25.153\text{M} - 100\text{M} &= 25.765\text{MHz} \\ 7^{\text{nd}} \text{ 谐波} &= 7 \times 25.153\text{M} &= 23.929\text{MHz} \\ 9^{\text{nd}} \text{ 谐波} &= 9 \times 25.153\text{M} - 2 \times 100\text{M} &= 26.377\text{MHz} \end{aligned}$$

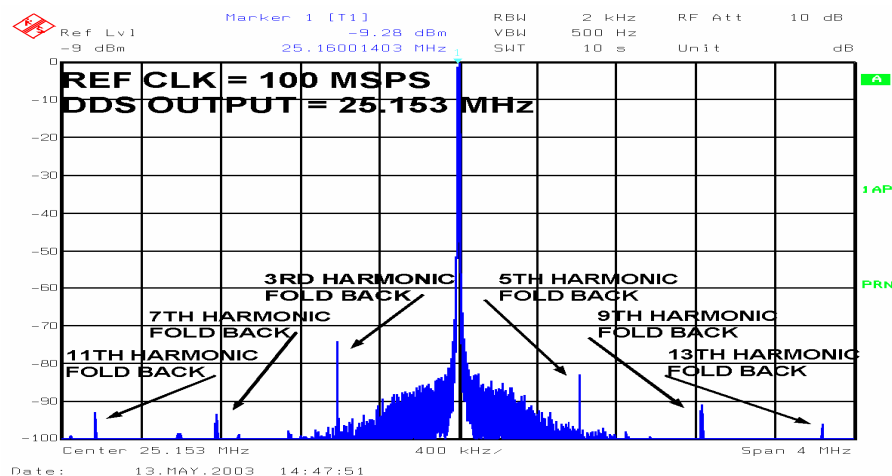


图 3 参考频率 100MHz，输出频率 25.153MHz 时的输出的杂散

对于图 4，我们使用了 400MHz 的参考频率。从图中可以发现，在第一奈奎斯特区内没有 3 次、5 次和 7 次谐波的混叠频率，因为它们保留在第一奈奎斯特区内而且远离基频；9 次、11 次和 13 次谐波确实混叠回第一奈奎斯特区内，但在有用带宽 4MHz 之外；而且，返回的偶次谐波也在有用带宽之外。

$$\begin{aligned} 3^{\text{rd}} \text{ 谐波} &= 3 \times 25.153\text{M} &= 24.541\text{MHz} \\ 5^{\text{nd}} \text{ 谐波} &= 5 \times 25.153\text{M} &= 125.765\text{MHz} \\ 7^{\text{nd}} \text{ 谐波} &= 7 \times 25.153\text{M} &= 176.071\text{MHz} \\ 9^{\text{nd}} \text{ 谐波} &= 9 \times 25.153\text{M} - 200\text{M} &= 173.623\text{MHz} \\ 11^{\text{nd}} \text{ 谐波} &= 9 \times 25.153\text{M} - 200\text{M} &= 173.623\text{MHz} \end{aligned}$$

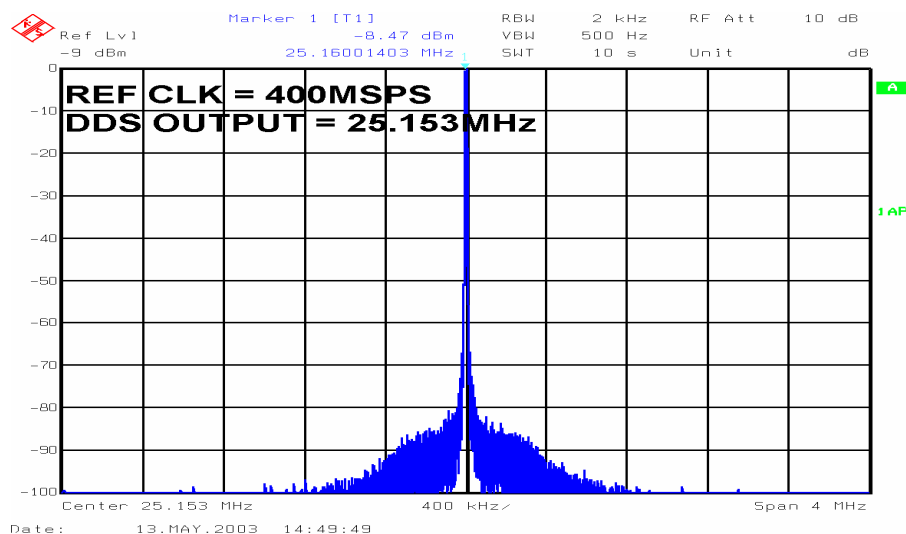
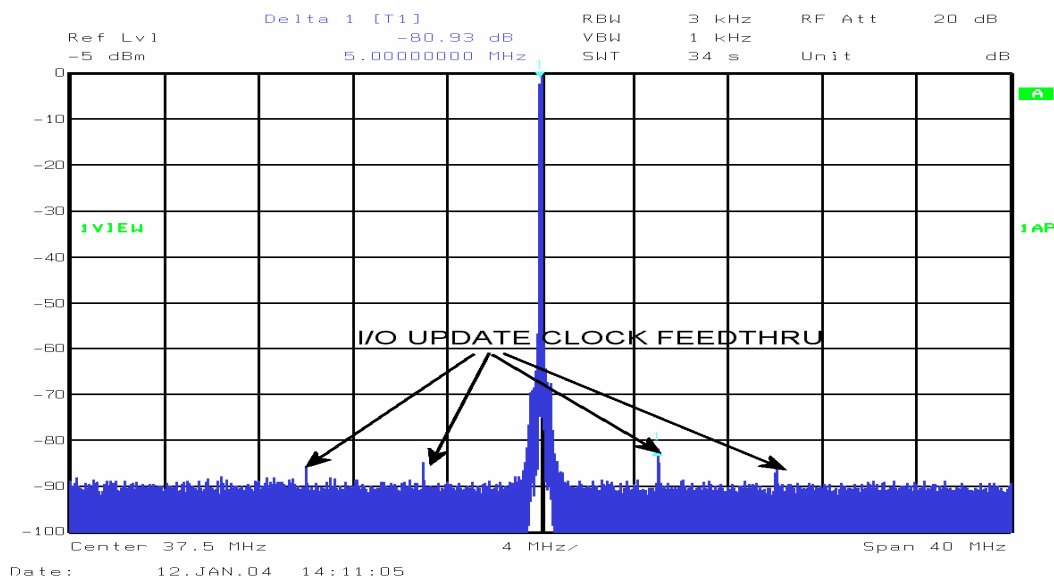


图 4 参考频率 400MHz，输出频率 25.153MHz 时的输出的杂散
 请注意，这两张频谱图都是未经滤波的 DDS 输出频谱。

5. DDS 内部数字信号引入的杂散 (DIGITAL SWITCHING SPURS)

DDS 内部的数字信号的高摆率能够产生瞬时噪声耦合到 DAC 的输出。但是，这种噪声耦合是不能消除的，同样，来自外部噪声源的耦合也不能消除。它们都会影响 DDS 输出的频谱，但是这些噪声通常可以通过改善 PCB 的布线来解决。如下图，出现的杂散频率恰好与系统 I/O 的更新时钟相同，禁止了 I/O 的更新时钟时，这个杂散就会消失。



6. PCB 布线不当导致的杂散

不恰当的 PCB 布线也会导致输出相噪性能下降，比如说模拟地，数字地的分割，差分/单端的接入，等等原因，不熟悉布线的读者可以参考各种 DDS 的评估板的布线方式。