

## 目录

|                                 |           |
|---------------------------------|-----------|
| <b>1. DDS介绍 .....</b>           | <b>2</b>  |
| <b>2.AD9850 调试 .....</b>        | <b>5</b>  |
| 2.1AD9850 原理图和PCB .....         | 5         |
| 2.2AD9850 介绍 .....              | 5         |
| 2.3AD9850 的调试图片 .....           | 7         |
| 2.4 软件设计 .....                  | 9         |
| <b>3.AD9851 调试 .....</b>        | <b>11</b> |
| 3.1AD9851 原理图和PCB .....         | 11        |
| 3.2 AD9851 介绍 .....             | 11        |
| 3.3AD9851 的调试图片 .....           | 12        |
| 3.4 软件设计 .....                  | 16        |
| <b>4.AD9854 调试 .....</b>        | <b>18</b> |
| 4.1AD9854 原理图和PCB .....         | 18        |
| 4.2AD9854 介绍 .....              | 18        |
| 4.3AD9854 的调试图片 .....           | 20        |
| 4. 3. 1 频谱与波形测试 .....           | 20        |
| 4. 3. 2 低通滤波器测试 .....           | 24        |
| 4. 3. 3 数字示波器的AD9854 功能测试 ..... | 26        |
| 4.4 调试要点总结: .....               | 28        |
| 4.5 软件设计 .....                  | 29        |
| <b>5. AD9833 调试 .....</b>       | <b>30</b> |
| 5.1 原理图 .....                   | 30        |
| 5.2 AD9833 介绍 .....             | 31        |
| 5.3 软件设计 .....                  | 33        |

V1.0                      2006-11-28

Email: [fpga\\_sopc@163.com](mailto:fpga_sopc@163.com)

供业余爱好者参考制作，严禁用于商业场合

# 1. DDS 介绍

1971 年, 美国学者 J.Tierney 等人撰写的 “A Digital Frequency Synthesizer” - 文首次提出了以全数字技术, 从相位概念出发直接合成所需波形的一种新合成原理。限于当时的技术和器件产, 它的性能指标尚不能与已有的技术相比, 故未受到重视。近 1 年间, 随着微电子技术的迅速发展, 直接数字频率合成器 (Direct Digital Frequency Synthesis 简称 DDS 或 DDFS) 得到了飞速的发展, 它以有别于其它频率合成方法的优越性能和特点成为现代频率合成技术中的佼佼者。具体体现在相对带宽宽、频率转换时间短、频率分辨率高、输出相位连续、可产生宽带正交信号及其他多种调制信号、可编程和全数字化、控制灵活方便等方面, 并具有极高的性价比。

DDS 的基本原理是利用采样定理, 通过查表法产生波形。DDS 的结构有很多种, 其基本的电路原理可用图 1 来表示。

相位累加器由  $N$  位加法器与  $N$  位累加寄存器级联构成。每来一个时钟脉冲  $f_s$ , 加法器将控制字  $k$  与累加寄存器输出的累加相位数据相加, 把相加后的结果送到累加寄存器的数据输入端, 以使加法器在下一个时钟脉冲的作用下继续与频率控制字相加。这样, 相位累加器在时钟作用下, 不断对频率控制字进行线性相位累加。由此可以看出, 相位累加器在每一个中输入时, 把频率控制字累加一次, 相位累加器输出的数据就是合成信号的相位, 相位累加器的输出频率就是 DDS 输出的信号频率。

用相位累加器输出的数据作为波形存储器 (ROM) 的相位取样地址。这样就可把存储在波形存储器内的波形抽样值 (二进制编码) 经查找表查出, 完成相位到幅值转换。波形存储器的输出送到 D/A 转换器, D/A 转换器将数字量形式的波形幅值转换成所要求合成频率的模拟量形式信号。低通滤波器用于滤除不需要的取样分量, 以便输出频谱纯净的正弦波信号。DDS 在相对带宽、频率转换时间、高分辨率、相位连续性、正交输出以及集成化等一系列性能指标方面远远超过了传统频率合成技术所能达到的水平, 为系统提供了优于模拟信号源的性能。

## (1) 输出频率相对带宽较宽

输出频率带宽为  $50\%f_s$  (理论值)。但考虑到低通滤波器的特性和设计难度以及对输出信号杂散的抑制, 实际的输出频率带宽仍能达到  $40\%f_s$ 。

## (2) 频率转换时间短

DDS 是一个开环系统, 无任何反馈环节, 这种结构使得 DDS 的频率转换时间极短。事实上, 在 DDS 的频率控制字改变之后, 需经过一个时钟周期之后按照新的相位增量累加, 才能实现频率的转换。因此, 频率时间等于频率控制字的传输, 也就是一个时钟周期的时间。时钟频率越高, 转换时间越短。DDS 的频率转换时间可达纳秒数量级, 比使用其它的频率合成方法都要短数个数量级。

## (3) 频率分辨率极高

若时钟  $f_s$  的频率不变, DDS 的频率分辨率就是由相位累加器的位数  $N$  决定。只要增加相位累加器的位数  $N$  即可获得任意小的频率分辨率。目前, 大多数 DDS 的分辨率在  $1\text{Hz}$  数量级, 许多小于  $1\text{mHz}$  甚至更小。

## (4) 相位变化连续

改变 DDS 输出频率, 实际上改变的每一个时钟周期的相位增量, 相位函数的曲线是连续的, 只是在改变频率的瞬间其频率发生了突变, 因而保持了信号相位的连续性。

## (5) 输出波形的灵活性

只要在 DDS 内部加上相应控制如调频控制 FM、调相控制 PM 和调幅控制 AM，即可以方便灵活地实现调频、调相和调幅功能，产生 FSK、PSK、ASK 和 MSK 等信号。另外，只要在 DDS 的波形存储器存放不同波形数据，就可以实现各种波形输出，如三角波、锯齿波和矩形波甚至是任意的波形。当 DDS 的波形存储器分别存放正弦和余弦函数表时，既可得到正交的两路输出。

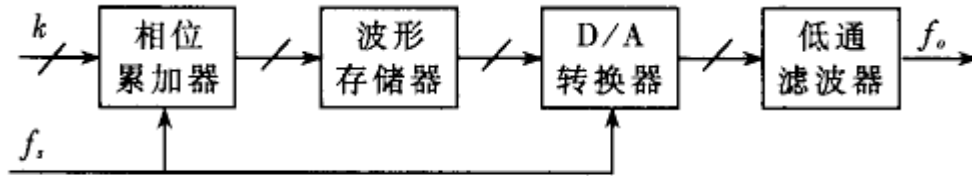


图 1 DDS 的原理框图

#### (6) 其他优点

由于 DDS 中几乎所有部件都属于数字电路，易于集成，功耗低、体积小、重量轻、可靠性高，且易于程控，使用相当灵活，因此性价比极高。

DDS 也有局限性，主要表现在：

##### (1) 输出频带范围有限

由于 DDS 内部 DAC 和波形存储器 (ROM) 的工作速度限制，使得 DDS 输出的最高频有限。目前市场上采用 CMOS、TTL、ECL 工艺制作的 DDS 芯片，工作频率一般在几十 MHz 至 400MHz 左右。采用 GaAs 工艺的 DDS 芯片工作频率可达 2GHz 左右。

##### (2) 输出杂散大

由于 DDS 采用全数字结构，不可避免地引入了杂散。其来源主要有三个：相位累加器相位舍位误差造成的杂散；幅度量化误差（由存储器有限字长引起）造成的杂散和 DAC 非理想特性造成的杂散。

随着微电子技术的飞速发展，目前高超性能优良的 DDS 产品不断推出，主要有 Qualcomm、AD、Scitec 和 Stanford 等公司单片电路 (monolithic)。Qualcomm 公司推出了 DDS 系列 Q2220、Q2230、Q2334、Q2240、Q2368，其中 Q2368 的时钟频率为 130MHz，分辨率为 0.03Hz，杂散控制为 -76dBc，变频时间为 0.1 μs；美国 AD 公司也相继推出了他们的 DDS 系列：AD9850、AD9851、可以实现线性调频的 AD9852、两路正交输出的 AD9854 以及以 DDS 为核心的 QPSK 调制器 AD9853、数字上变频器 AD9856 和 AD9857。AD 公司的 DDS 系列产品以其较高的性能价格比，目前取得了极为广泛的应用。AD 公司的常用 DDS 芯片选用列表见表 1。下面仅对比较常用的 AD9850 芯片作一简单介绍。

表1 AD公司的常用DDS芯片选用列表

| 型 号    | 最大工作 (MHz) | 工作电压 (V) | 最大功耗 (mw) | 备 注                                   |
|--------|------------|----------|-----------|---------------------------------------|
| AD9832 | 25         | 3.3/5    | 120       | 小型封装，串行输入，内置D/A转换器。                   |
| AD9831 | 25         | 3.3/5    | 120       | 低电压，经济，内置D/A转换器。                      |
| AD9833 | 25         | 2.5~5.5  | 20        | 10个管脚的uS0IC封装。                        |
| AD9834 | 50         | 2.5~5.5  | 25        | 20个管脚的TSSOP封装并内置比较器。                  |
| AD9835 | 50         | 5        | 200       | 经济，小型封装，串行输入，内置D/A转换器。                |
| AD9830 | 50         | 5        | 300       | 经济，并行输入，内置D/A转换器。                     |
| AD9850 | 125        | 3.3/5    | 480       | 内置比较器和D/A转换器。                         |
| AD9853 | 165        | 3.3/5    | 1150      | 可编程数字QPSK/16-QAM调制器。                  |
| AD9851 | 180        | 3/3.3/5  | 650       | 内置比较器、D/A转换器和时钟6倍频器。                  |
| AD9852 | 300        | 3.3      | 1200      | 内置12位的D/A转换器、高速比较器、线性调频和可编程参考时钟倍频器。   |
| AD9854 | 300        | 3.3      | 1200      | 内置12位两路正交D/A转换器、高速比较器和可编程参考时钟倍频器。     |
| AD9858 | 1000       | 3.3      | 2000      | 内置10位的D/A转换器、150MHz相频检测器、充电泵和2GHz混频器。 |

(以上摘自网络)

## 2.AD9850 调试

### 2.1AD9850 原理图和 PCB

AD9851 介绍，原理图

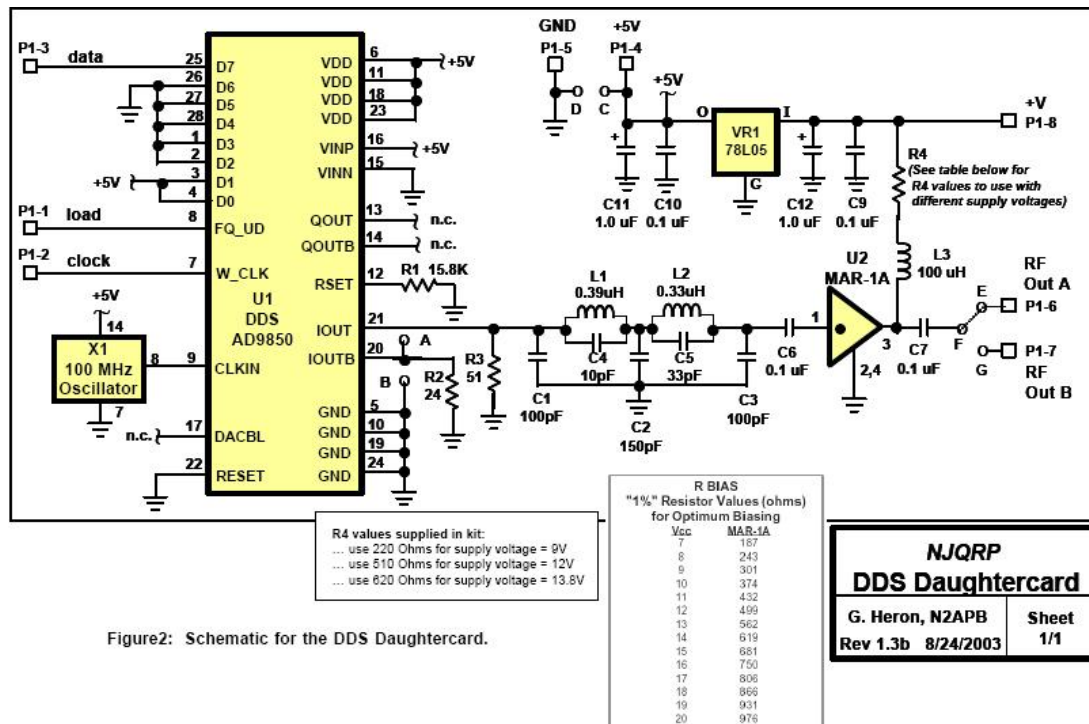
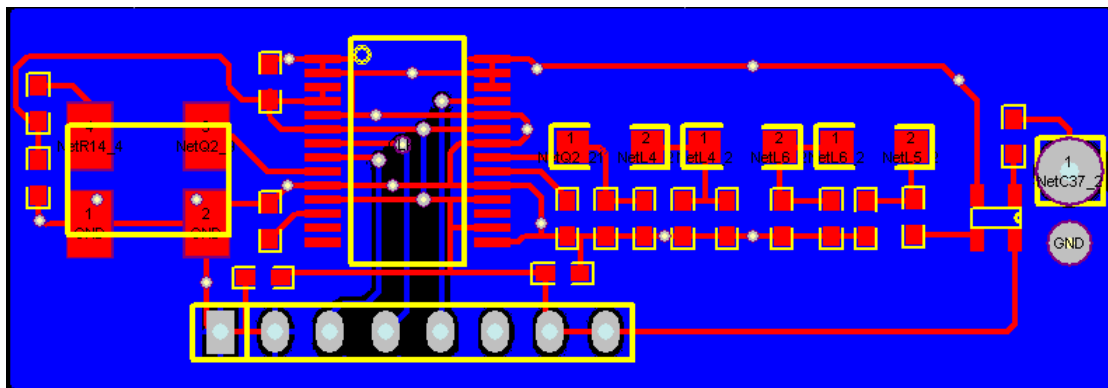


Figure2: Schematic for the DDS Daughtercard.



### 2.2AD9850 介绍

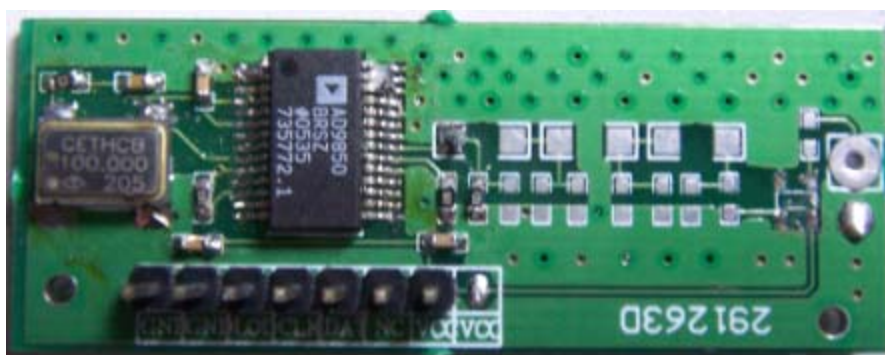
AD9850 是 AD 公司采用先进的 DDS 技术 1996 年推出的高集成度 DDS 频率合成器，它内部包括可编程 DDS 系统、高性能 DAC 及高速比较器，能实现全数字编程控制的频率合成器和时钟发生器。接上精密时钟源，AD9850 可产生一个频谱纯净、频率和相位都可编程控制的模拟正弦波输出。此正弦波可直接用作频率信号源或转换成方波用作时钟输出。AD9850

接口控制简单，可以用 8 位并行口或串行口经、相位等控制数据。32 位频率控制字，在 125MHz 时钟下，输出频率分辨率达 0.029Hz。先进的 CMOS 工艺使 AD9850 不仅性能指标一流，而且功耗少，在 3.3V 供电时，功耗仅为 155mW。扩展工业级温度范围为-40~+85 摄氏度，其封装是 28 引脚的 SSOP 表面封装。

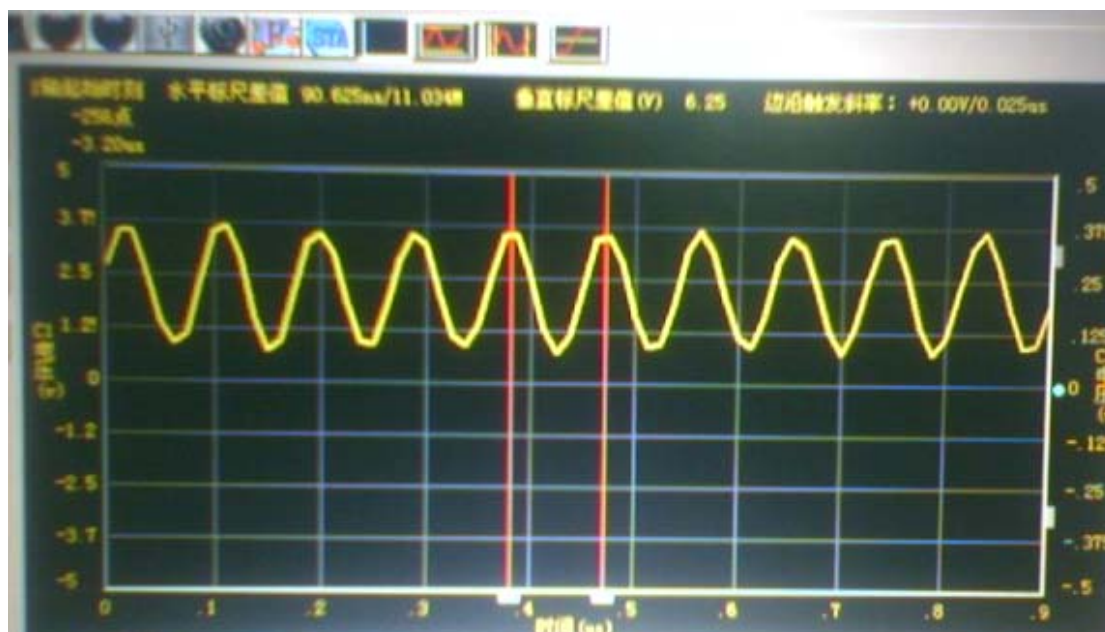
AD9850 采用 32 位相位累加器，截断成 14 位，输入正弦查询表，查询表输出截断成 10 位，输入到 DAC。DAC 输出两个互补的模拟电流，接到滤波器上。调节 DAC 满量程输出电流，需外接一个电阻 Rset，其调节关系是  $I_{set}=32(1.248V/R_{set})$ ，满量程电流为 10~20mA。

AD9850 的部分图片（手机拍，效果不是很好）

其中 AD9850 Fclk=100M



AD9850 模块



输出波形，频率为 11M



## 2.3AD9850 的调试图片

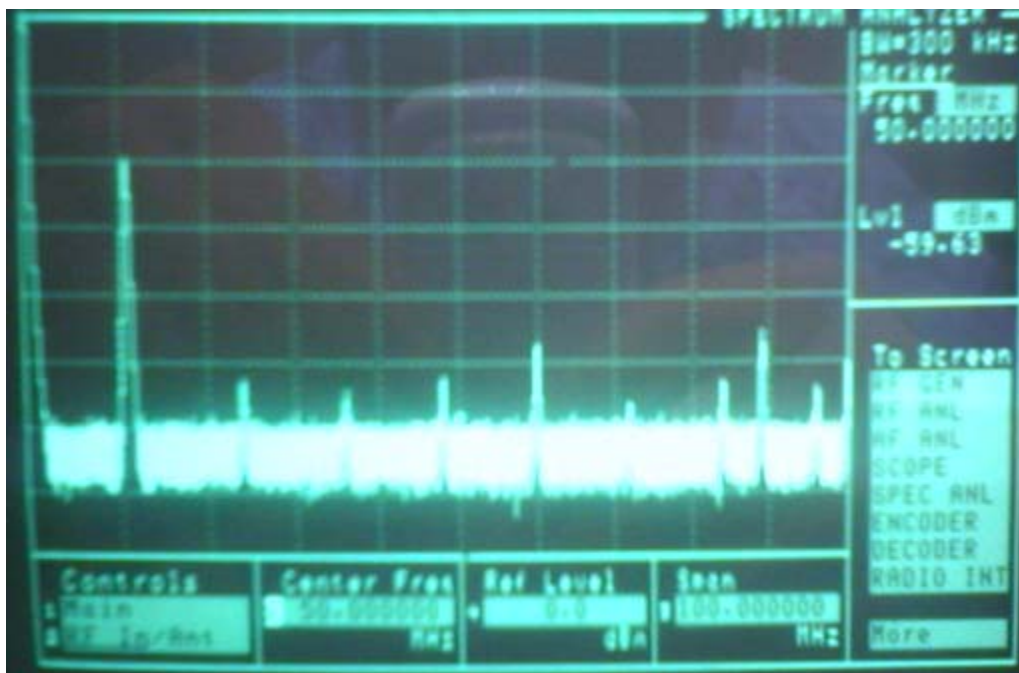
下面 4 张图片描述了当频率在不断增大的过程中,

输出频率与镜像频率的变化情况

镜像频率 =  $100\text{M} - F_{\text{out}}$

幅度不断增大, 当输出为 50M 的时候, 2 个信号重合

HP8921 综测设置: center = 50M, span = 100M



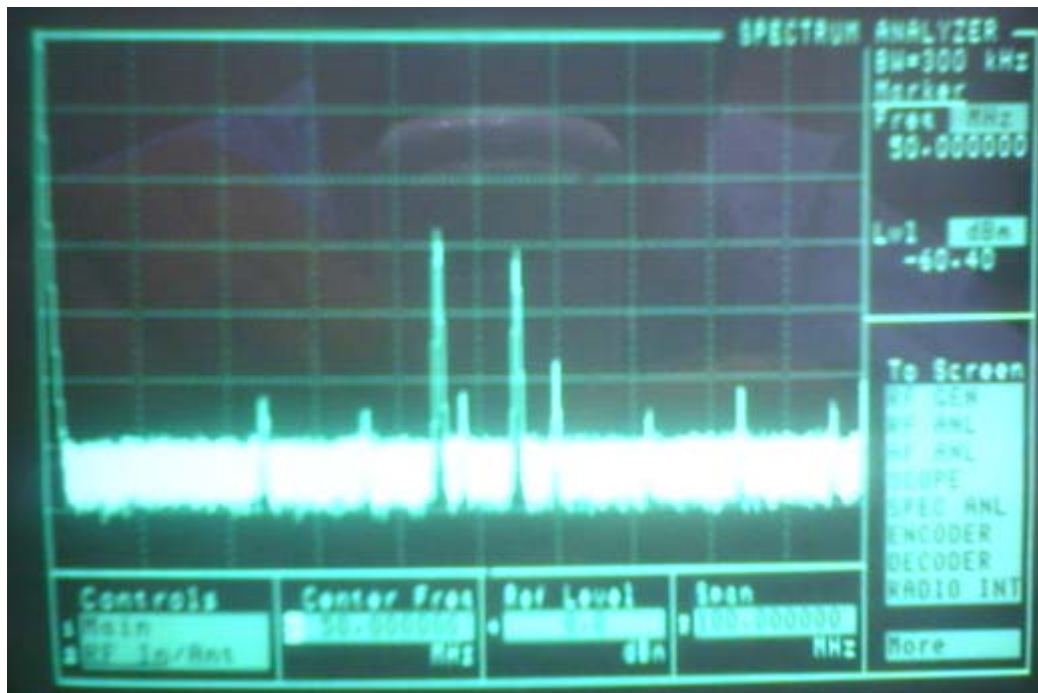
Clk= 100M

Fout=10M

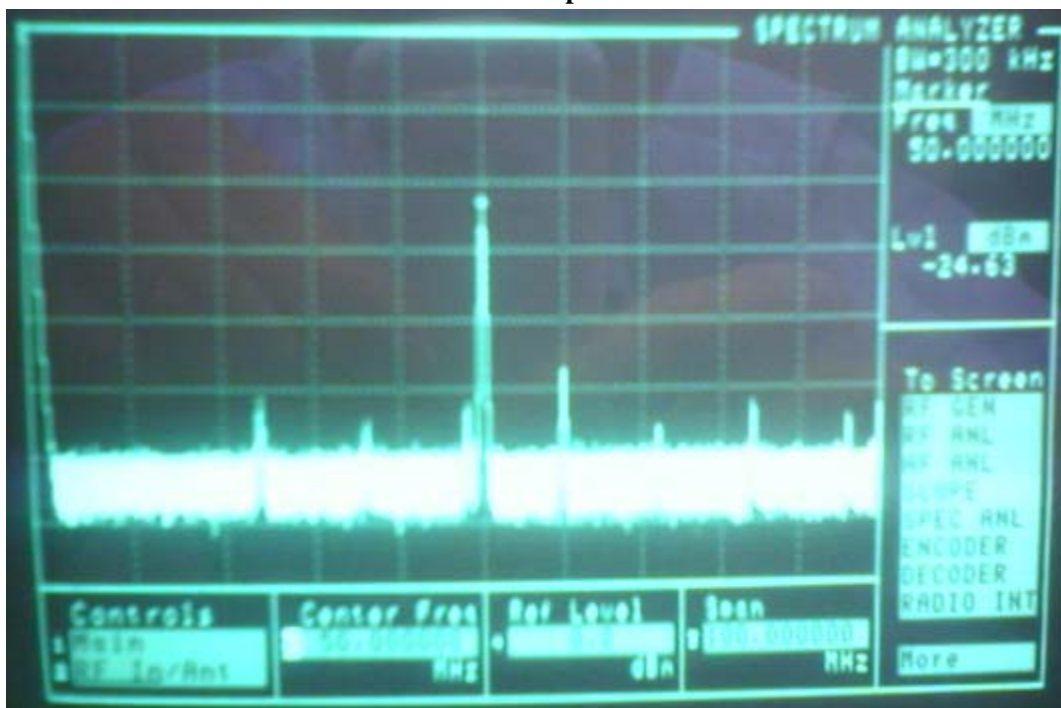
center=50M, span=100M



Clk= 100M,  
Fout =30M  
center=50M, span=100M

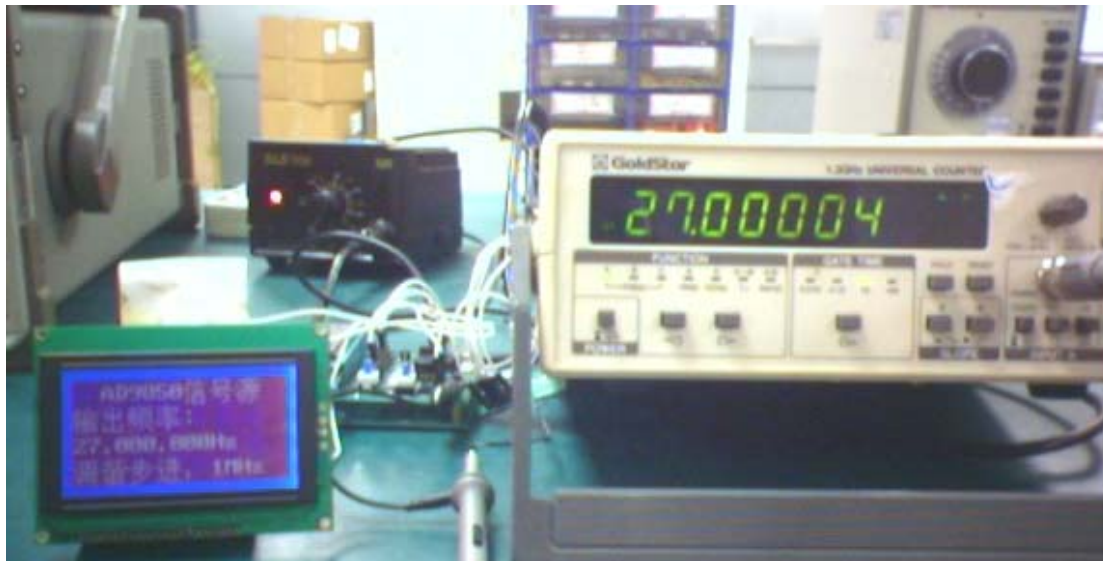


Clk= 100M,  
Fout=45M  
center=50M, span=100M



Clk= 100M,  
Fout=50M  
center=50M, span=100M





由于晶体的误差，输出存在一定的误差

## 2.4 软件设计

采用串行接口的方式，简单。

时钟采用 100M，输出限制为 40M

下面列出了主要的源代码，都是我自己调试出来的。

//初始化 DDS

```
void init_dds(void)
```

```
{  
    clk = 0;  
    load = 0;  
    delay(2);  
    clk = 1;  
    delay(2);  
    clk = 0;  
    delay(5);  
    load = 1;  
    delay(2);  
    load = 0;  
}
```

//写入 40bit 到 DDS 芯片,频率占用前 32bit,相位暂不可调

```
void write_dds(unsigned long dds)
```

```
{  
    uchar i;  
    load = 0;  
    clk = 0;  
    for(i=0;i<40;i++)  
    {  
        clk = 0;  

```

```
    delay(3);
    if(dds & 0x00000001)
        dat = 1;
    else dat = 0;
    delay(2);
    clk = 1;
    dds = dds >> 1;
}
load = 1;
clk = 0;
delay(5);
load = 0;
}
//输出你要的频率，例如输出 12.5M 则调用 write_freq (12500000);
void write_freq(unsigned long freq)
{
    unsigned long dds;
    dds = 42.94967296 * freq;
    write_dds(dds);
}
```

## 3.AD9851 调试

### 3.1AD9851 原理图和 PCB

参考 datasheet,

AD9851 采用 6 倍频, 30M 晶体, 内部时钟为 180M, LPF 滤波器不一样  
其余和 AD9850 差不多, 只是内部时钟不一样。

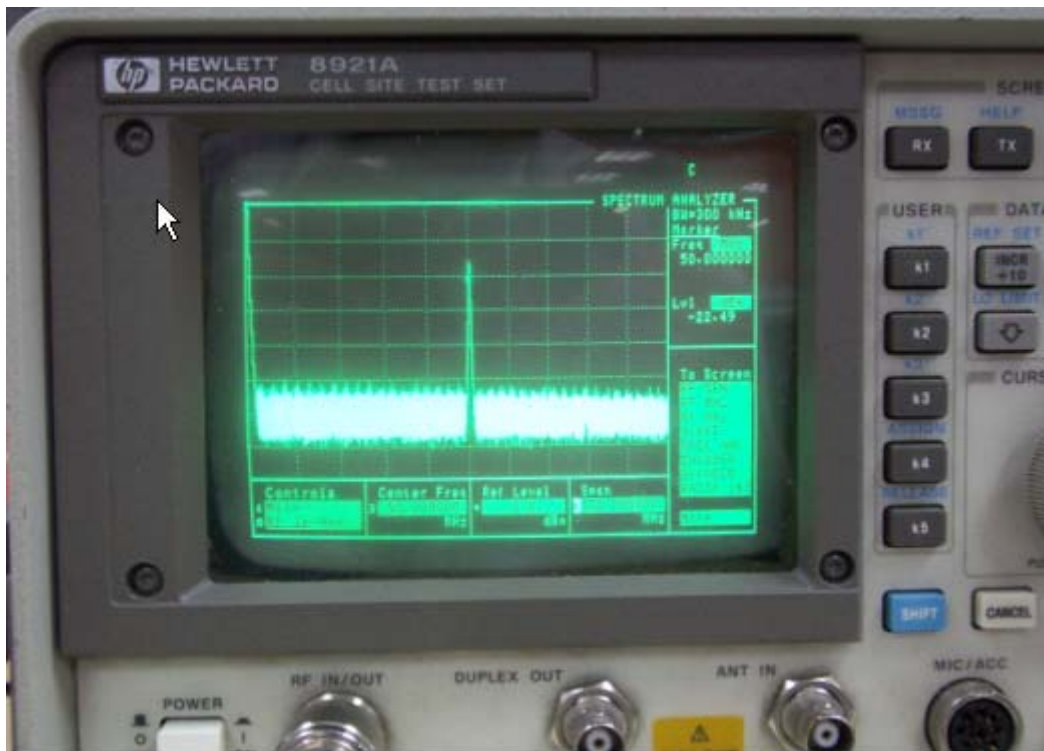


AD9851 模块实物

### 3.2 AD9851 介绍

看资料

### 3.3AD9851 的调试图片



50M 的输出频谱

center freq = 50M , span = 100M

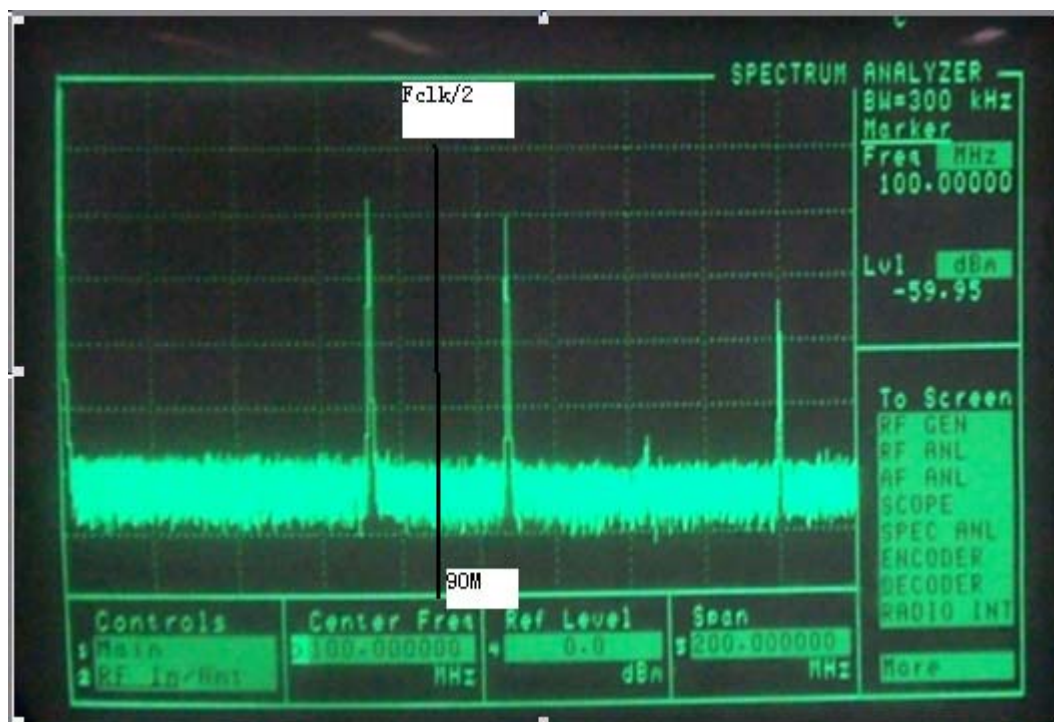


center freq = 100M , span = 200M

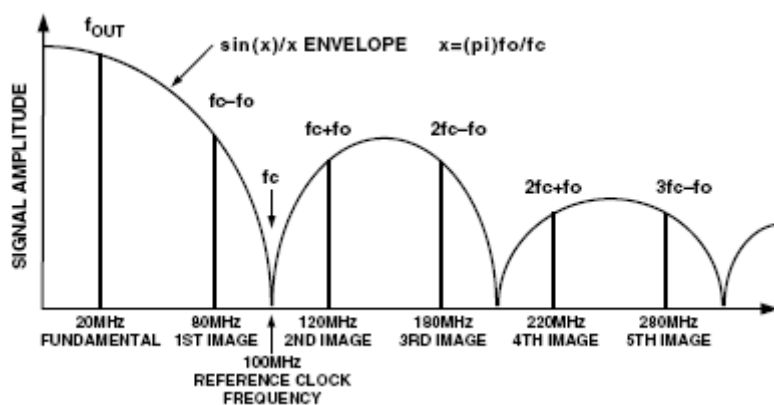
Fout=50M

存在镜像频率干扰

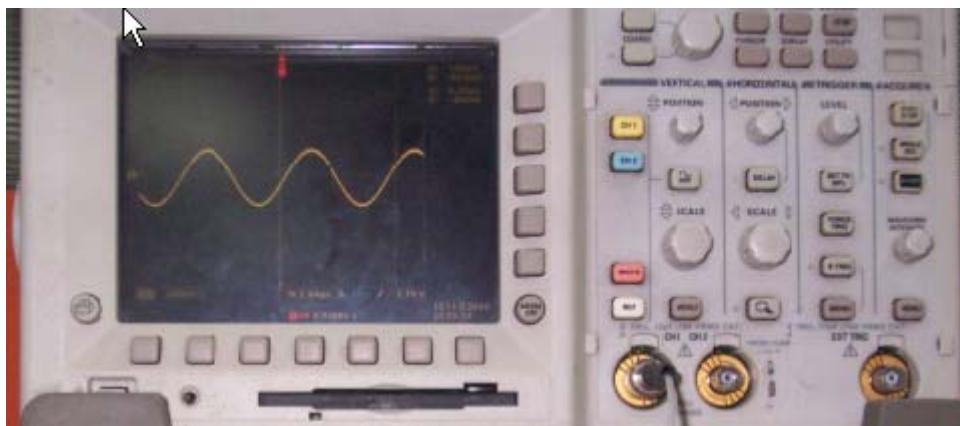
无滤波器，谐波比较大，需要加低通，低通的截止频率需要根据实际的需要来设定



“黑线”是左右两边2个频率的对称轴，所以在使用的時候尽可能的远离90M（ $180\text{M}/2=90\text{M}$ ）



DDS 的主要杂散频率分布  
(只可能减少或者远离，不可能消除)



输出波形

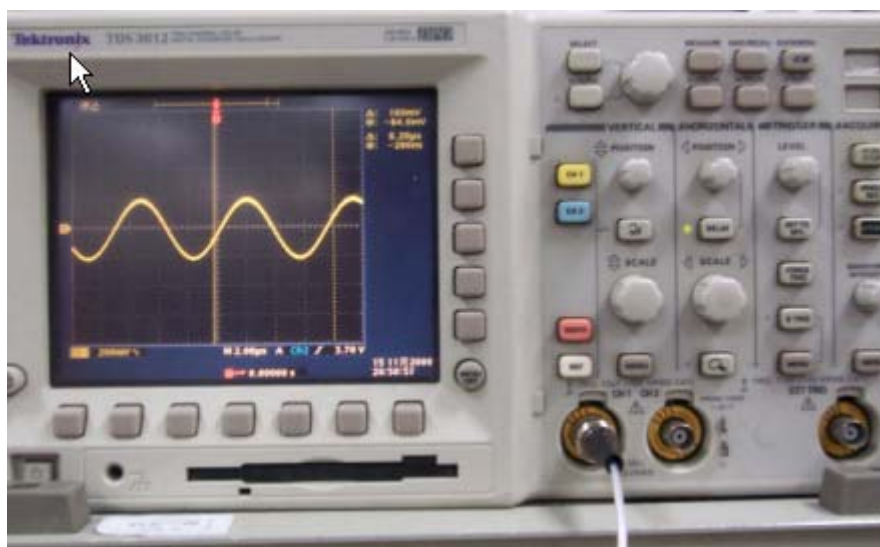




控制界面（8051 单片机控制）

输出频率可改变

步进频率可改变

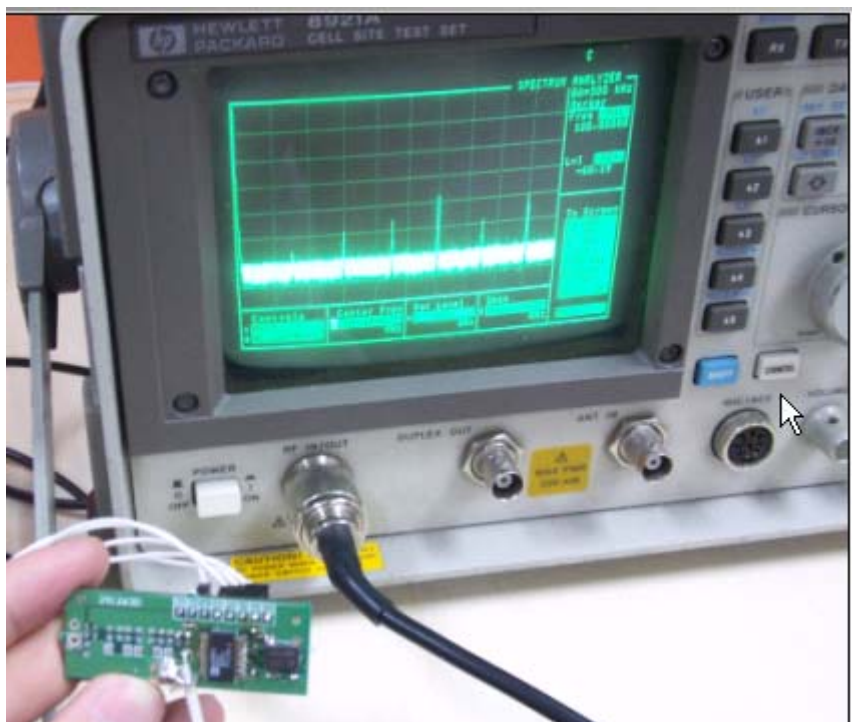


用泰克示波器（TDS 3012）获得的 DDS 输出波形

频率低的时候波形比较好

频率高的时候波形有失真，此时需要加滤波

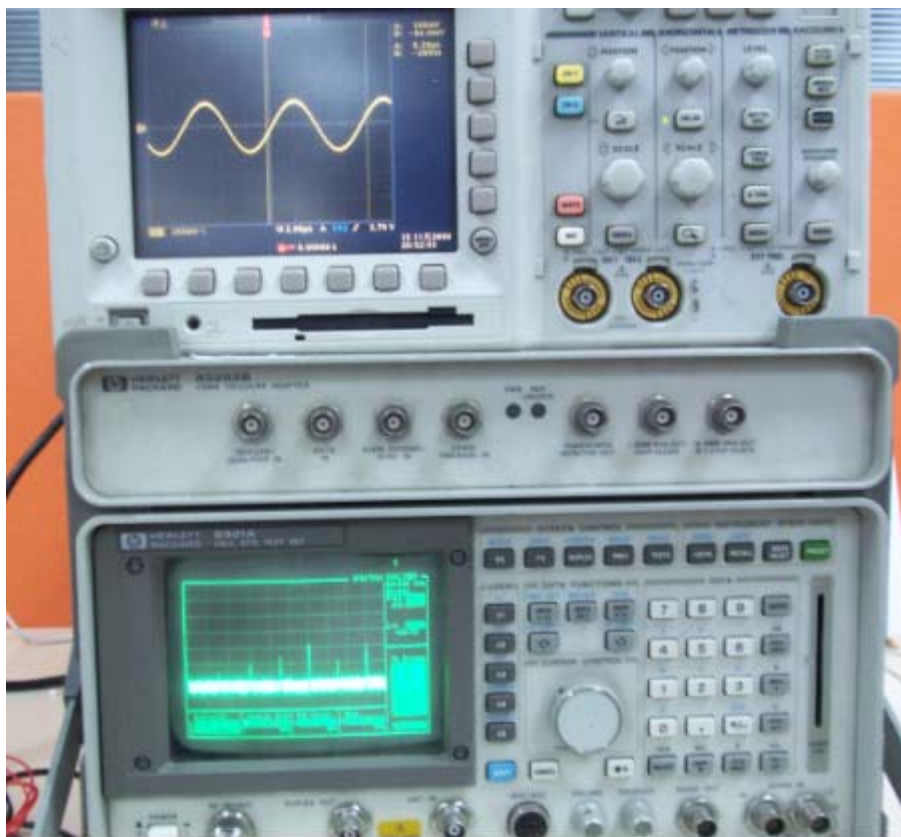




DDS 测试



局部放大图



显示波形和频谱

### 3.4 软件设计

其实软件和 AD9850 差不多，主要采用注意 6clock 打开还是关闭，其余的当成 180M 的时钟处理。

外部晶体为 30M，6 倍频打开，不像 AD9854 可以 4—20 倍频可选。在 AD9851 的基础上稍做修改就可搞定。

//写入 40bit 到 DDS 芯片,频率占用前 32bit,相位暂不可调

void write\_dds(unsigned long dds)//写前 32 个 bit,代表频率

```
{
    uchar temp = 0x80;
    uchar i;
    load = 0;
    clk = 0;
    for(i=0;i<40;i++)
    {
        clk = 0;
        delay(3);
        if((dds & 0x00000001)||(i == 32))
        {
            dat = 1;

```

```
        }
        else dat = 0;
        delay(2);
        clk = 1;
        dds = dds >> 1;
    }
    load = 1;
    clk = 0;
    delay(5);
    load = 0;
}
//
void write_freq(unsigned long freq)
{
    unsigned long dds;
    //dds = 42.94967296 * freq;//100M 的时钟
    dds = 23.860929422 * freq;//180M 的系统时钟
    write_dds(dds);
}
```



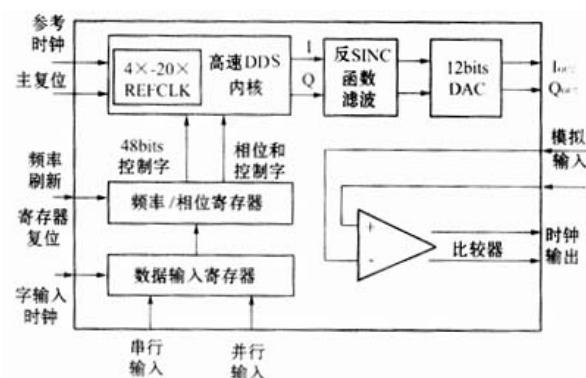


图1 AD9854 结构框图

AD9854 采用了先进的 35 微米 CMOS 技术，使它只需+3.3V 的电源供应，它的电路工艺使同步正交信号输出的频率最高达 150MHz，平均每秒产生 100 百万新频率。正弦信号输出经过外部平滑滤波后，可以通过内部比较器转化成方波，用于时钟产生。在高速时钟产生器的应用中，若 12bit 的“控制”DAC 与内部的比较器相结合，能实现脉宽调制和静态周期控制。两个 12bit 的数字乘法器能实现数字幅度调制、波形成形和正交输出的准确的幅度控制。AD9854 中 4~20 整数倍频器，能把外部输入的低速时钟转变成内部高速时钟（最高 300MHz）。参考时钟可以选择单端输入和差分输入。

AD9854 合成的信号频率稳定度高，DDS是一个信号波形的合成过程，是以标准参考振荡源的固定时钟作取样时钟，对所需频率的信号进行相位取样，合成信号的频率不同，只反映了一个信号周期内的相位取样的数量不同。合成信号的稳定度直接由参考源的相位噪声决定，甚至还要低。合成信号的稳定度高，理论上可达  $STCLK/2^{42}$ Hz，这是传统方法难以实现的。频率变化速度快，在AD9854 中，由于无需相位反馈控制，因而频率建立及切换快，并且与频率分辨率、频谱纯度相互独立。在芯片中，NCO的相位改变是线性过程，形成的信号具有良好的频谱。此外，由于合成信号的频率、相位、幅度均可由数字信号控制，所以可以通过预置相位累加器的初始值来精确控制合成信号的相位，非常容易实现灵活的高精度的数字调制，如AM、PSK、FSK、MSK等，而且容易实现高精度的正交调制。

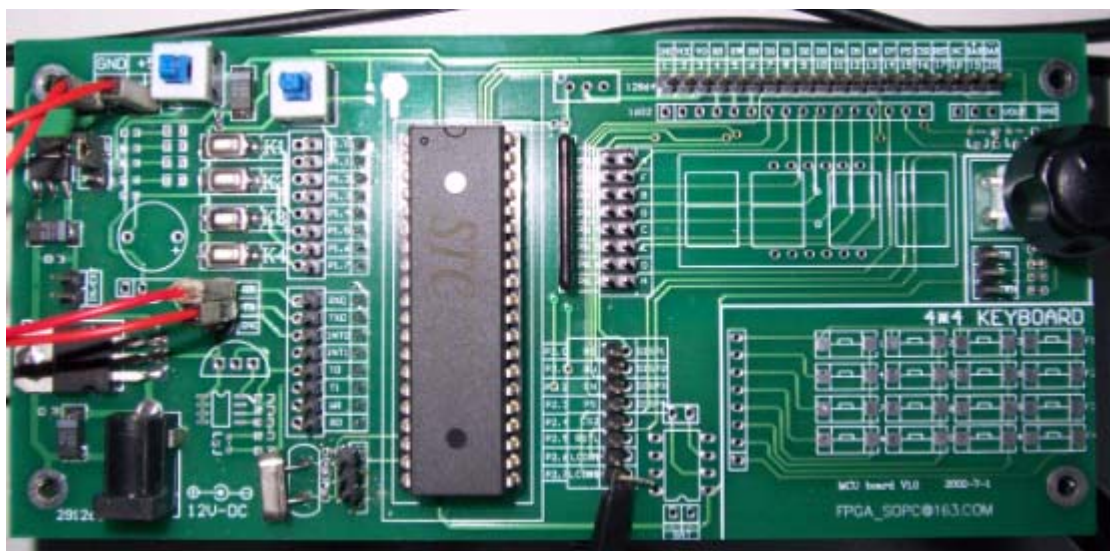
（以上摘自网络）



## 4.3AD9854 的调试图片

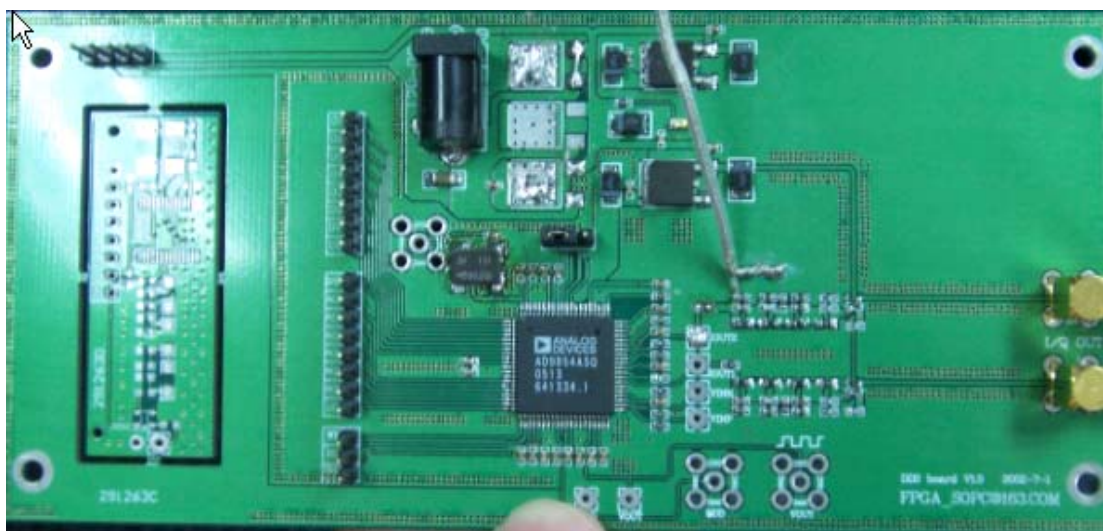
### 4. 3. 1 频谱与波形测试

AD9854 的频率寄存器是 48 位的，而一般 C 语言能表示的变量最大只有 32 位，为了能够用一个变量表示输出频率，所以在程序上是要特殊处理。而且需要采用浮点运算。



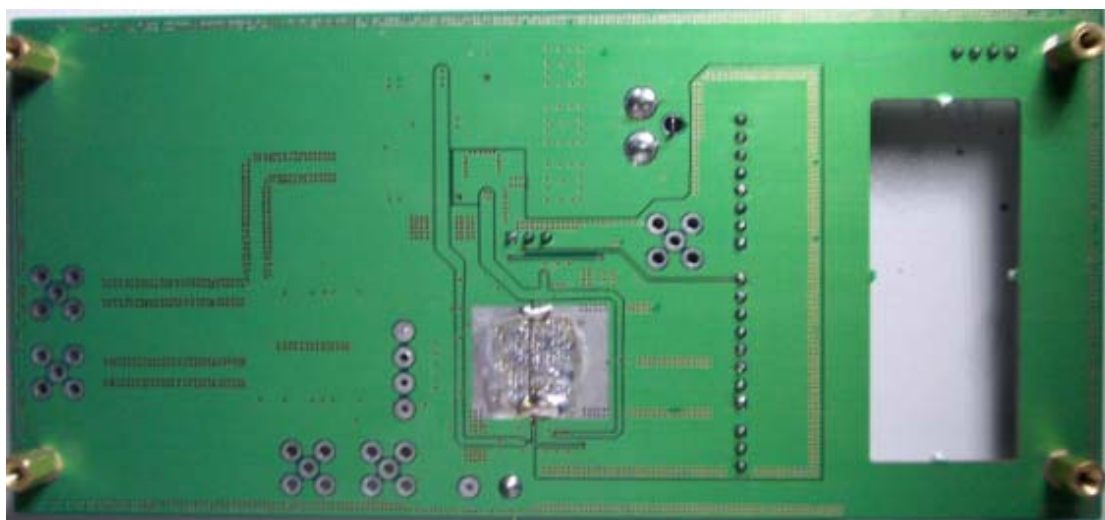
AD9854 DDS 控制板

DDS 采用并行模式控制



AD9854 —DDS 板子（正面）





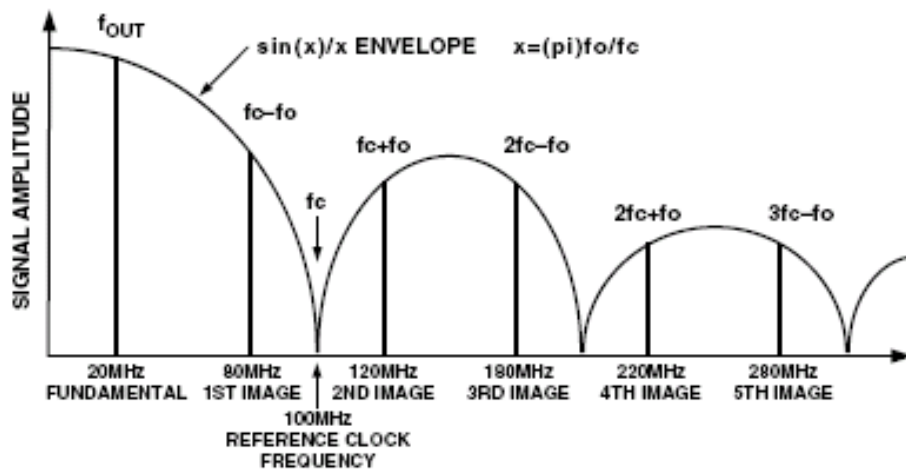
AD9854 —DDS 板子（背面）



输出 15M 的波形和频谱

$F_{clk} = 300M$ , 所以杂散小

Span = 100M



DDS 输出频谱示意图

其中第一镜像为主要的频谱分量，同时还有其他的杂散频率（没有在图中标识），

所以， $f_{out}$  距离  $f_{clk}/2$  越远越好，产生的谐波容易消除。



AD9854 控制界面



输出 15M 的局部放大 span=100M

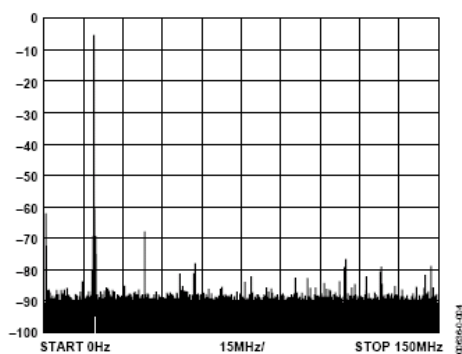


Figure 4. Wideband SFDR, 19.1 MHz

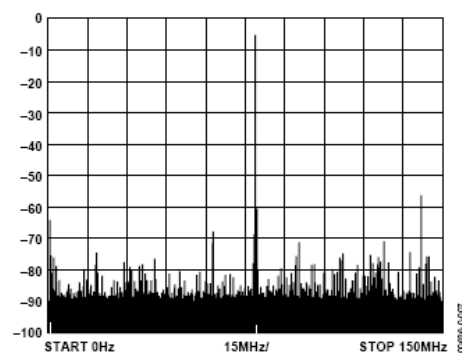


Figure 7. Wideband SFDR, 79.1 MHz

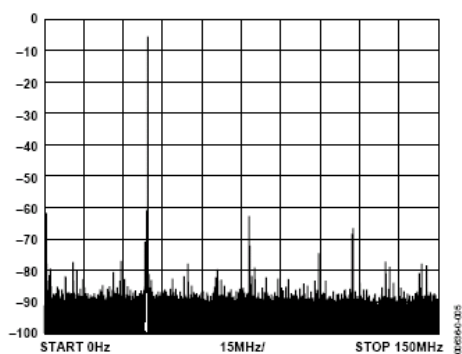


Figure 5. Wideband SFDR, 39.1 MHz

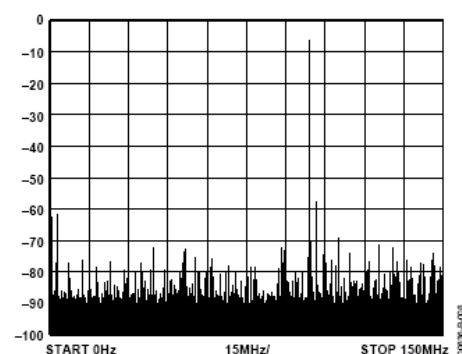
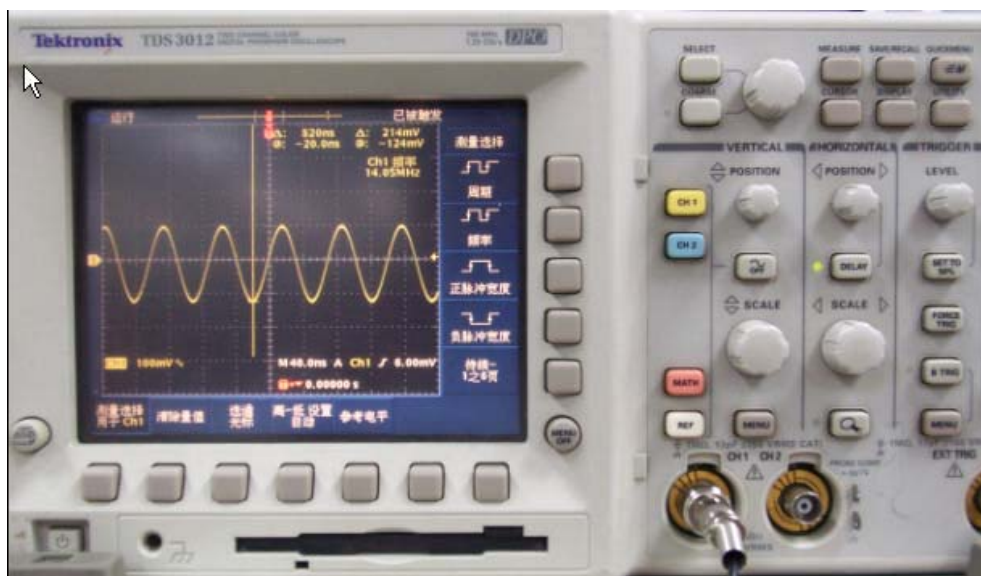
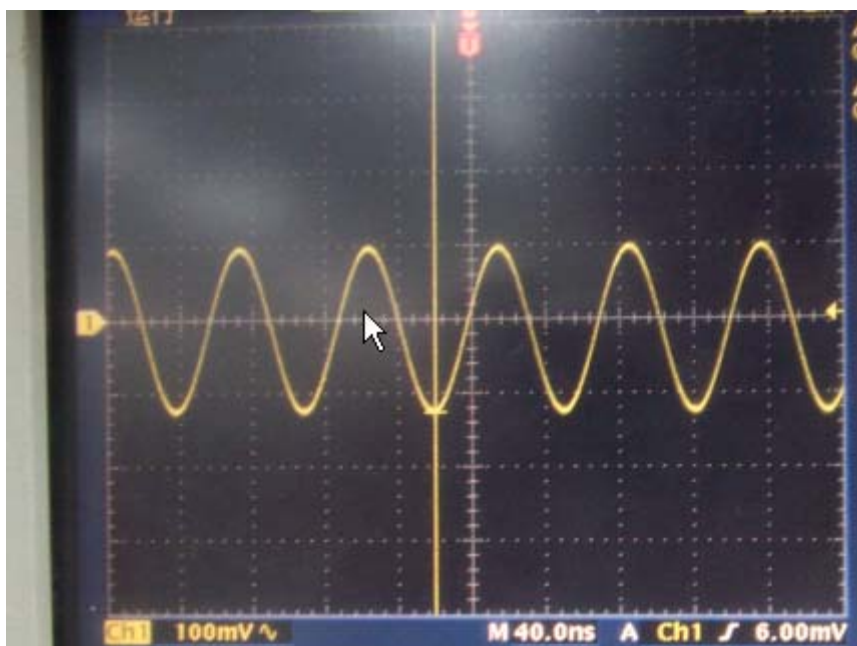


Figure 8. Wideband SFDR, 99.1 MHz

### AD9854 的 datasheet 的频谱参考图

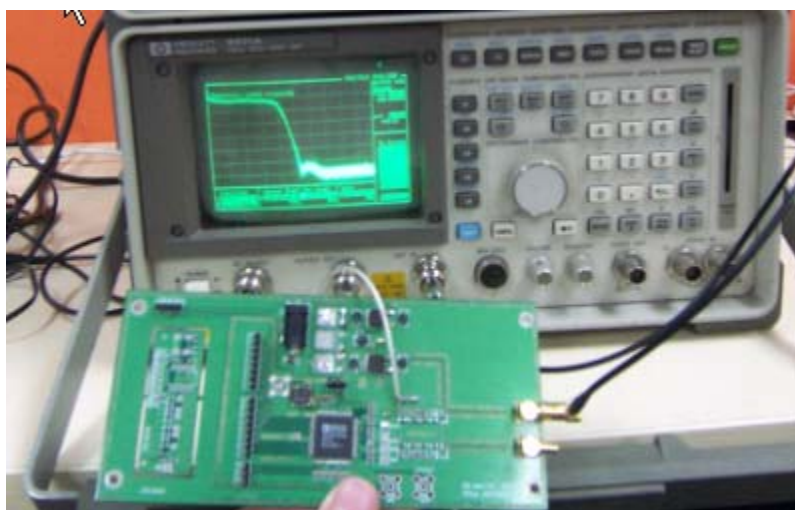


测试波形



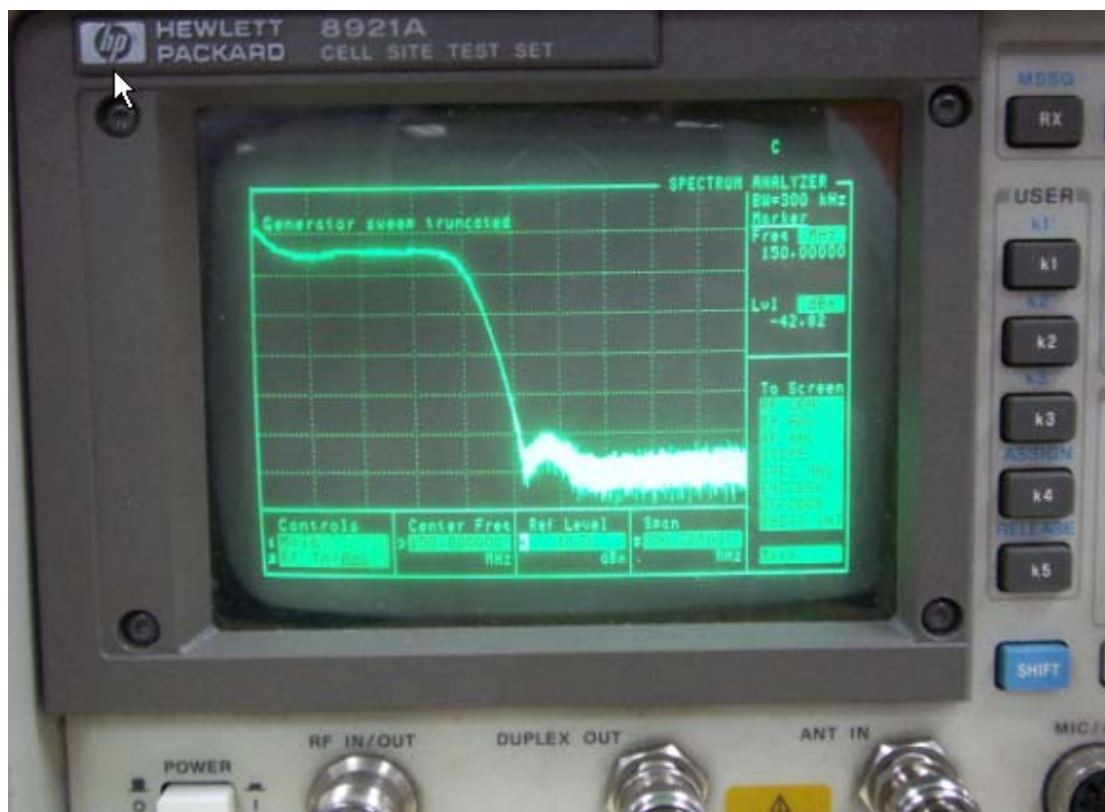
15M 输出波形，比较好（局部放大）

#### 4. 3. 2 低通滤波器测试

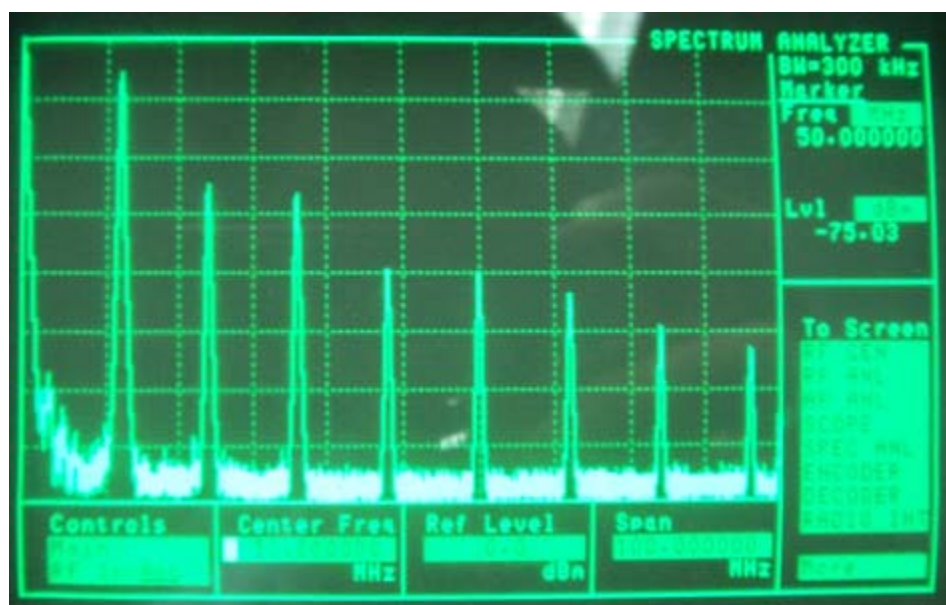


用 8921 测试低通滤波器（闭环测试）



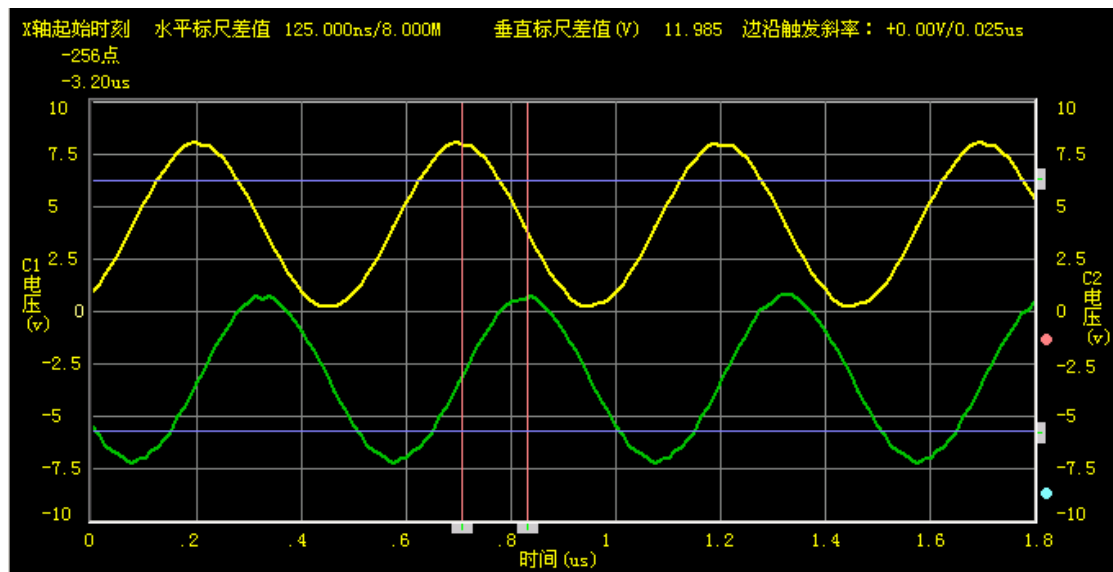


center freq = 150M, span = 300M  
用综测扫频 (0~300M): LPF 滤波器特性 (局部放大图)  
截止特性比较好



12M 晶体的频谱  
Span=100M, 由此看出,  
单片机的晶体的辐射还是比较大的  
在几百兆的频谱上面都杂散是比较大的

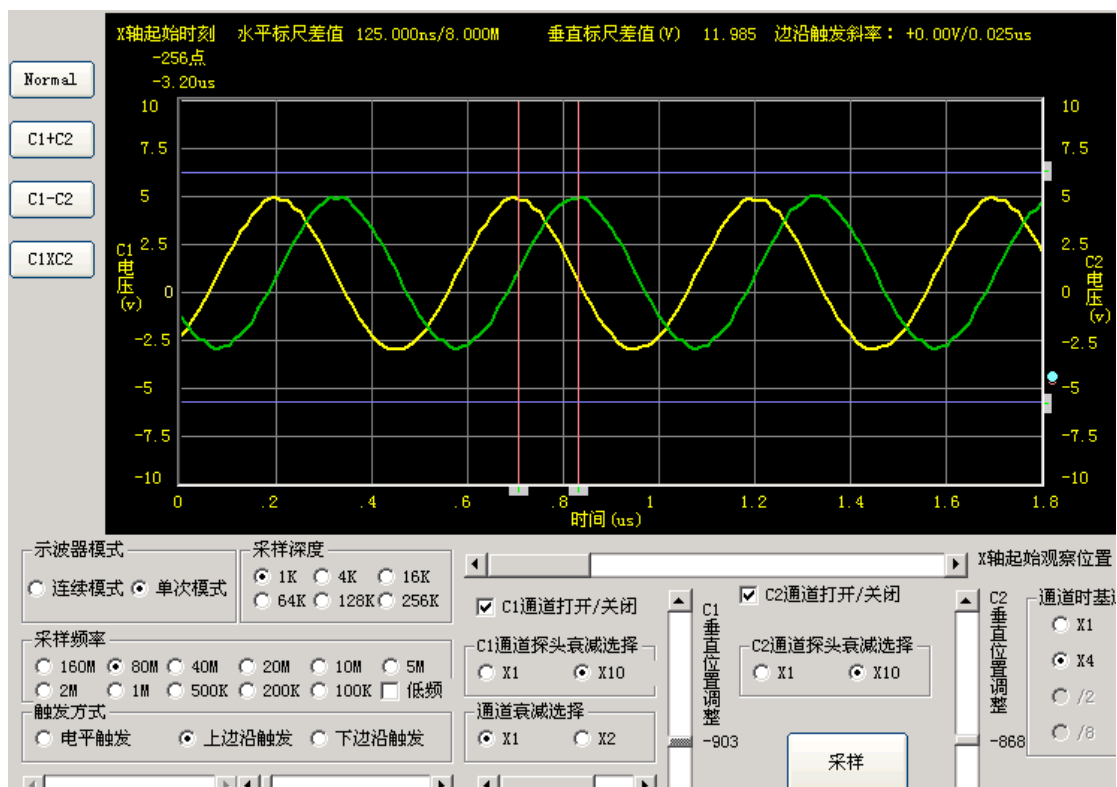
### 4. 3. 3 数字示波器的 AD9854 功能测试



模式 0 (单音输出)

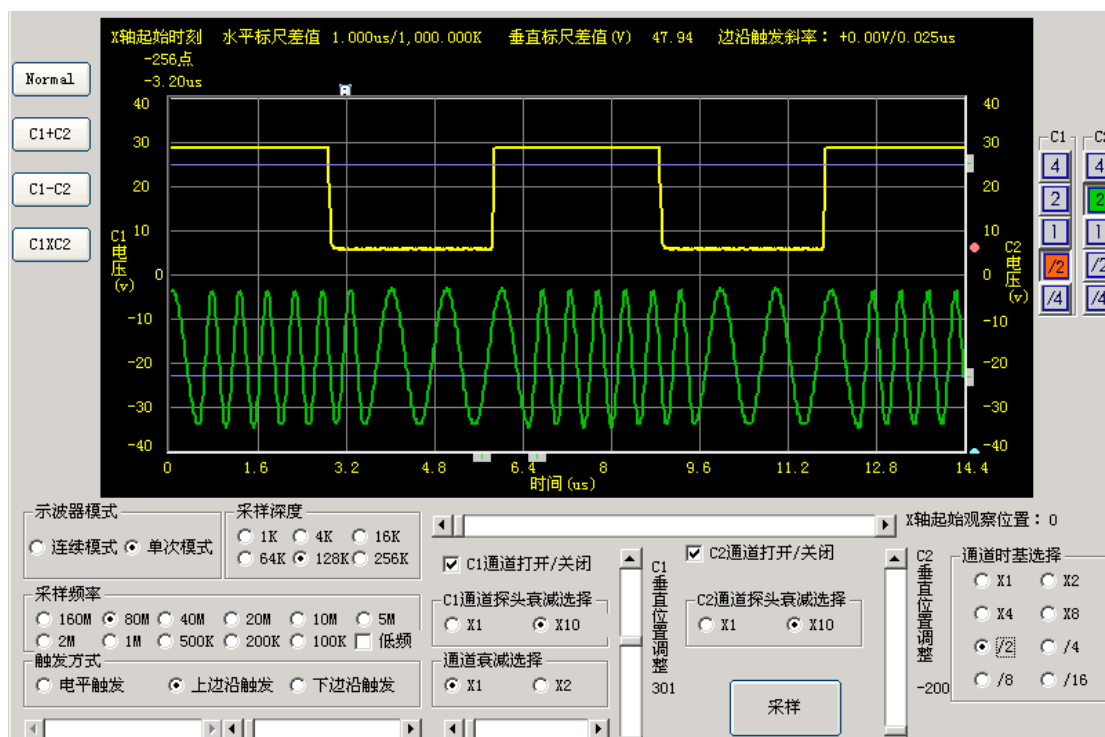
输出正交信号 (IQ 输出) 输出 2M 信号

其中 2 路的输出相位相差 90 度 (不管什么频率都保持 90 度的相位差)



输出正交信号 (IQ 输出) 幅度相等





模式 1（非斜坡 FSK 模式）调制特性

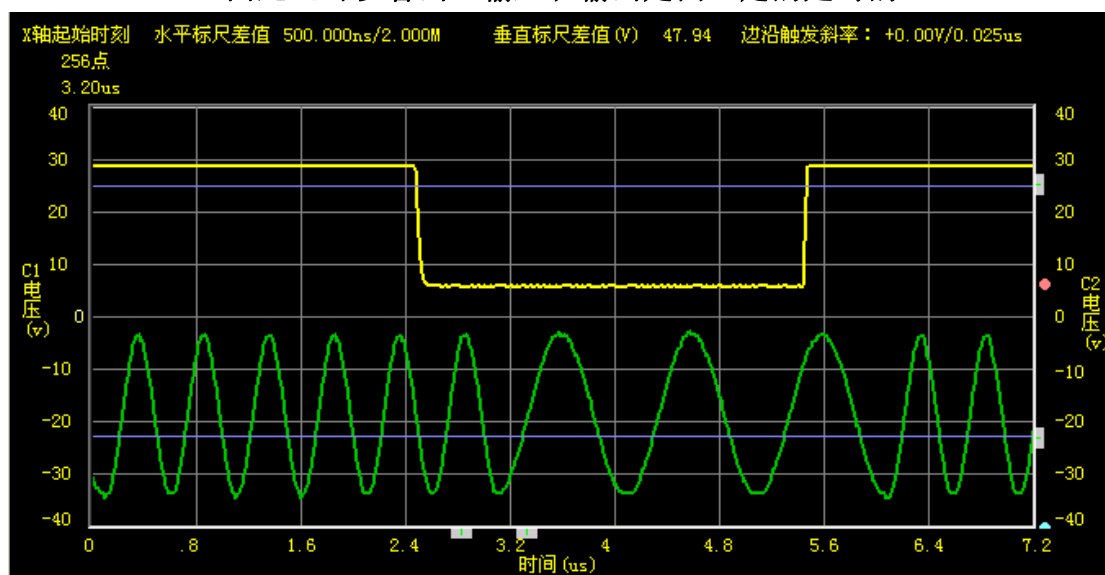
$$F1=1M, F2=2M$$

其中 F1 和 F2 是可任意设置，所以码元速率可以做的比较高，带宽就会很宽

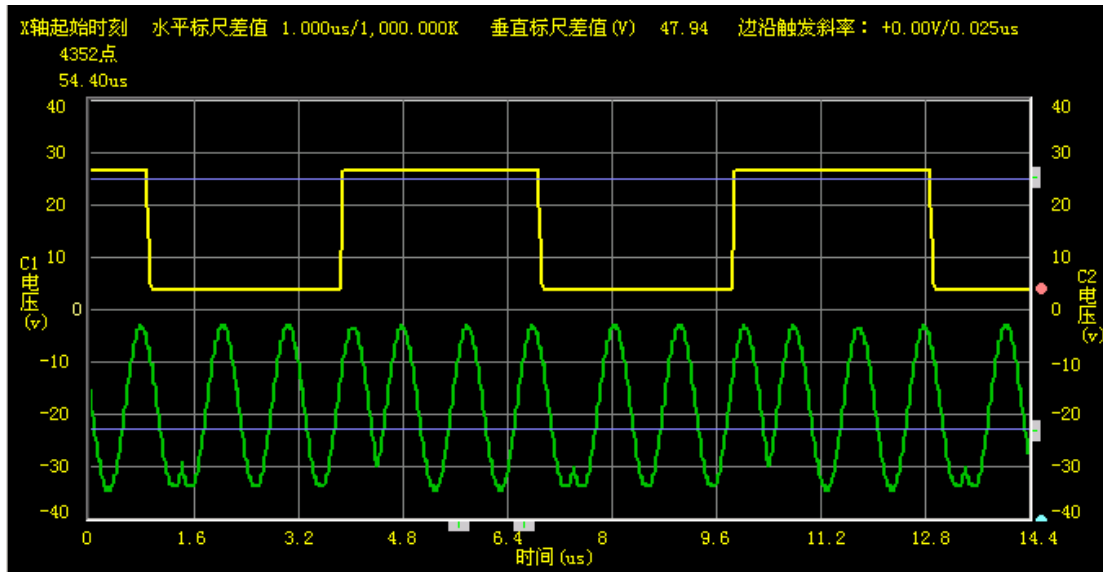
AD9854 的 FSK 模式（非斜坡）频率之间是突变的

而 UFSK 模式（斜坡）频率之间是渐变的

由此还可以看出，输入和输出是由一定的延时的



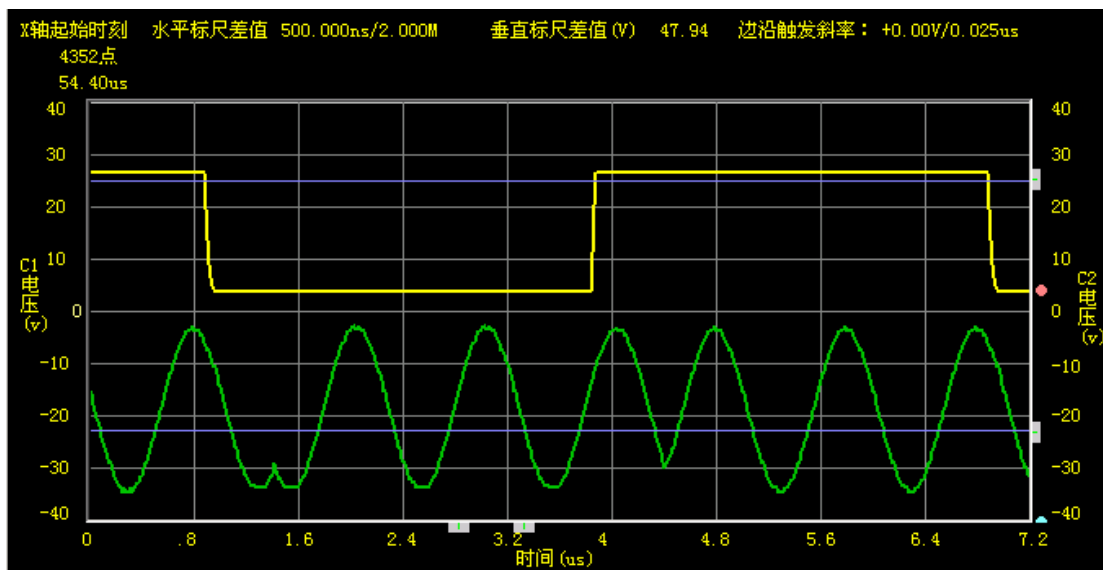
FSK 的频率突变过程（放大）



AD9854 的 BPSK 调制

这是任意角度的 BPSK 调制，而不是我们经常见到的 90 度或者 180 度开始调制的

调制角度可以设定。由此可以看出，输入和输出也是有一定的延时

AD9854 的频谱变化图（局部放大）  
相位突变过程

AD9854 的功能实在太多，无法在这里用图片的形式一一演示

有一些比较高档的信号源就是用这种类似的 IC 作为主要芯片的

有什么技术方面的问题或者有什么错误，欢迎和我交流：fpga\_sopc@163.com

## 4.4 调试要点总结：

1. 注意供电，由于 AD9854 发热比较厉害，所以稳压的 IC 的输出的余量一定要足，用一个 7805 肯定是不行的
2. 最好是能够分开模拟地和数字地，前提是你的板子要画的好，走线合理
3. 注意散热，长时间工作会比较烫手，严重的还会自动停止工作

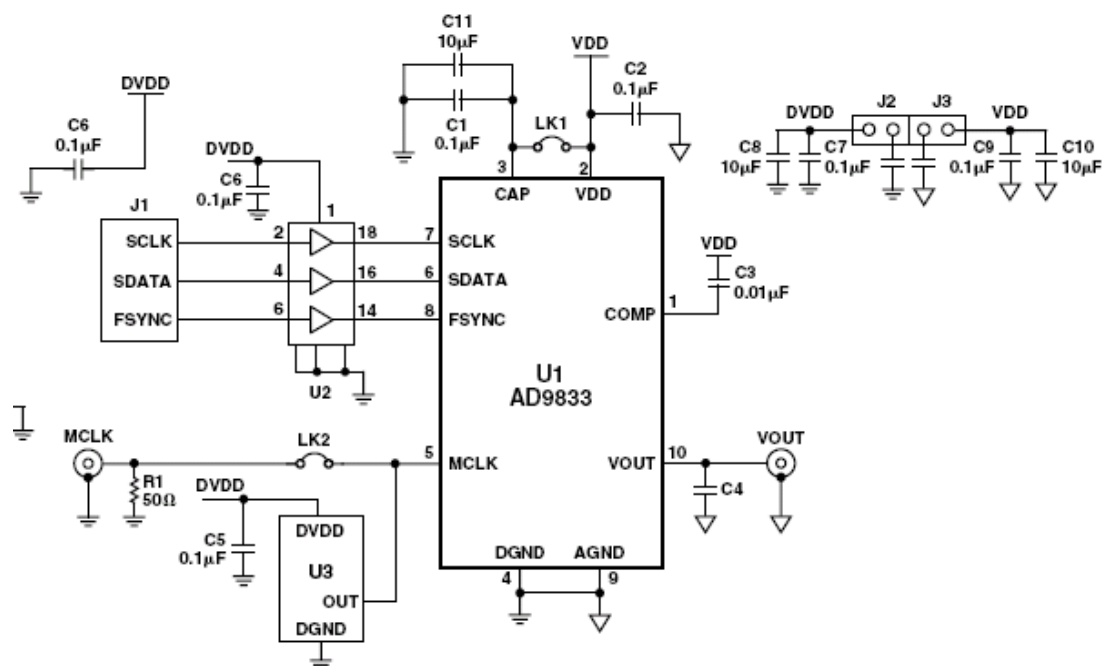
4. 注意 updata clk 这个信号，用内部的比用外部的方便
5. 注意 20H 这个寄存器，默认是 OSK EN =1，意思是 OSK 模式打开的，但是幅度为 0，默认的情况下是没有波形输出的。
6. 注意把 datasheet 多读几遍，一定要读懂，用并行会比较方便一点，速度快，有什么问题多看几遍资料相信一定能够搞定
7. 低通要设计好，资料上面的低通参数就很好，要修改起来比较麻烦，根据你的需要来设计低通，有一些软件可以帮你
8. 需要加信号放大，用高速运放会比较方便一定，例如 upc1676
9. 注意晶体的质量，差的晶体的输出信号误差会比较大，频率稳定度也比较差
10. 其实还有很多，要在调试过程中慢慢体会。其实，调试最重要的过程，其次才是结果。

## 4.5 软件设计

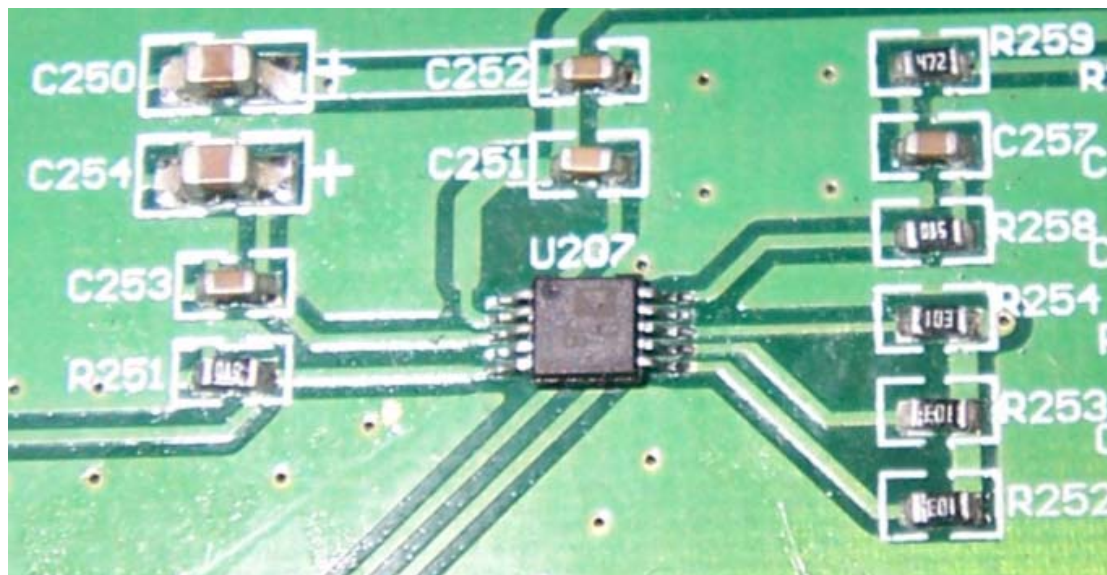
限于篇幅，我就不再这里罗嗦了，请读者自己研究。谢谢！

## 5. AD9833 调试

### 5.1 原理图



AD9833 参考电路图



封装超小，u207，上面是 0603 的电容  
利用 AD9833 产生高精度低频信号

## 5.2 AD9833 介绍

AD9833 是 ADI 公司生产的一款低功耗, 可编程波形发生器, 能够产生正弦波、三角波、方波输出。波形发生器广泛应用于各种测量、激励和时域响应领域, AD9833 无需外接元件, 输出频率和相位都可通过软件编程, 易于调节, 频率寄存器是 28 位的, 主频时钟为 25MHz 时, 精度为 0.1Hz, 主频时钟为 1MHz 时, 精度可以达到 0.004Hz。

可以通过 3 个串行接口将数据写入 AD9833, 这 3 个串口的最高工作频率可以达到 40MHz, 易于与 DSP 和各种主流微控制器兼容。AD9833 的工作电压范围为 2.3V—5.5V。

AD9833 还具有休眠功能, 可使没被使用的部分休眠, 减少该部分的电流损耗, 例如, 若利用 AD9833 输出作为时钟源, 就可以让 DAC 休眠, 以减小功耗, 该电路采用 10 引脚 MSOP 型表面贴片封装, 体积很小。

AD9833 的主要特点如下:

频率和相位可数字编程;

工作电压为 3V 时, 功耗仅为 20mW;

输出频率范围为 0MHz—12.5MHz;

频率寄存器为 28 位 (在 25MHz 的参考时钟下, 精度为 0.1Hz);

可选择正弦波、三角波、方波输出;

无需外界元件;

3 线 SPI 接口;

温度范围为  $-40^{\circ}\text{C}$ — $+105^{\circ}\text{C}$ 。

### 2.1 电路结构

AD9833 是一块完全集成的 DDS (Direct Digital Frequency Synthesis) 电路, 仅需要 1 个外部参考时钟、1 个低精度电阻器和一个解耦电容器就能产生高达 12.5MHz 的正弦波。除了产生射频信号外, 该电路还广泛应外于各种调制解调方案。这些方案全都用在数字领域, 采用 DSP 技术能够把复杂的调制解调算法简化, 而且很精确。

AD9833 的内部电路主要有数控振荡器 (NCO)、频率和相位调节器、Sine ROM、数模转换器 (DAC)、电压调整器。

AD933 的核心是 28 位的相位累加器, 它由加法器和相位寄存器组成, 每来 1 个时钟, 相位寄存器以步长增加, 相位寄存器的输出与相位控制字相加后输入到正弦查询表地址中。正弦查询表包含 1 个周期正弦波的数字幅度信息, 每个地址对应正弦波中  $0^{\circ}$ — $360^{\circ}$  范围内的 1 个相位点。查询表把输入的地址相位信息

映射成正弦波幅度的数字量信号，去 DAC 输出模拟量，相位寄存器每经过  $2^{28}/M$  个 MCLK 时钟后回到初始状态，相应地正弦查询表经过一个循环回到初始位置，这样就输出了一个正弦波。输出正弦波频率为：

$$f_{OUT} = M (f_{MCLK} / 2^{28}) \quad (1)$$

其中，M 为频率控制字，由外部编程给定，其范围为  $0 \leq M \leq 2^{28} - 1$ 。

VDD 引脚为 AD9833 的模拟部分和数字部分供电，供电电压为 2.3V—5.5V。AD9833 内部数字电路工作电压为 2.5V，其板上的电压调节器可以从 VDD 产生 2.5V 稳定电压，注意：若 VDD 小于等于 2.7V，引脚 CAP/2.5V 应直接连接至 VDD。

### 功能描述

AD9833 有 3 根串行接口线，与 SPI、QSPI、MI—CROWIRE 和 DSP 接口标准兼容，在串口时钟 SCLK 的作用下，数据是以 16 位的方式加载到设备上，时序图如图 3 所示，FSYNC 引脚是使能引脚，电平触发方式，低电平有效。进行串行数据传输时，FSYNC 引脚必须置低，要注意 FSYNC 有效到 SCLK 下降沿的建立时间  $t_7$  的最小值。FSYNC 置低后，在 16 个 SCLK 的下降沿数据被送到 AD9833 的输入移位寄存器，在第 16 个 SCLK 的下降沿 FSYNC 可以被置高，但要注意在 SCLK 下降沿到 FSYNC 上升沿的数据保持时间  $t_s$  的最小和最大值。当然，也可以在 FSYNC 为低电平的时候，连续加载多个 16 位数据，仅在最后一个数据的第 16 个 SCLK 的下降沿的时将 FSYNC 置高，最后要注意的是，写数据时 SCLK 时钟为高低电平脉冲，但是，在 FSYNC 刚开始变为低时，（即将开始写数据时），SCLK 必须为高电平（注意  $t_{11}$  这个参数）。

当 AD9833 初始化时，为了避免 DAC 产生虚假输出，RESET 必须置为 1（RESET 不会复位频率、相位和控制寄存器），直到配置完毕，需要输出时才将 RESET 置为 0；RESET 为 0 后的 8—9 个 MCLK 时钟周期可在 DAC 的输出端观察到波形。

AD9833 写入数据到输出端得到响应，中间有一定的响应时间，每次给频率或相位寄存器加载新的数据，都会有 7—8 个 MCLK 时钟周期的延时之后，输出端的波形才会产生改变，有 1 个 MCLK 时钟周期的不确定性，因为数据加载到目的寄存器时，MCLK 的上升沿位置不确定。

（以上摘自网络）



## 5.3 软件设计

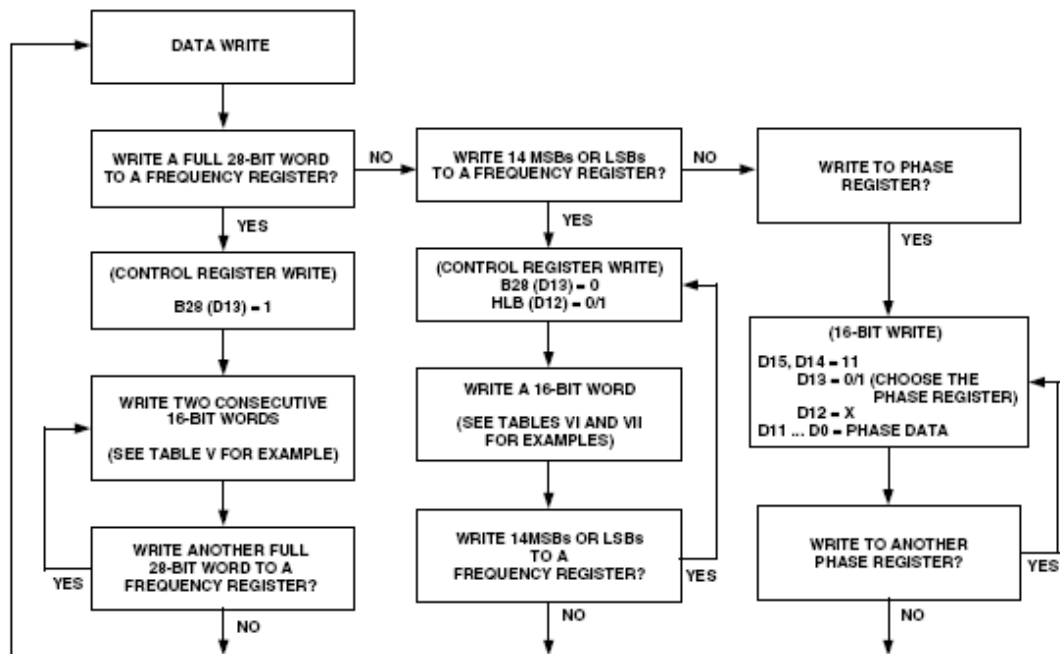


Figure 9. Data Writes

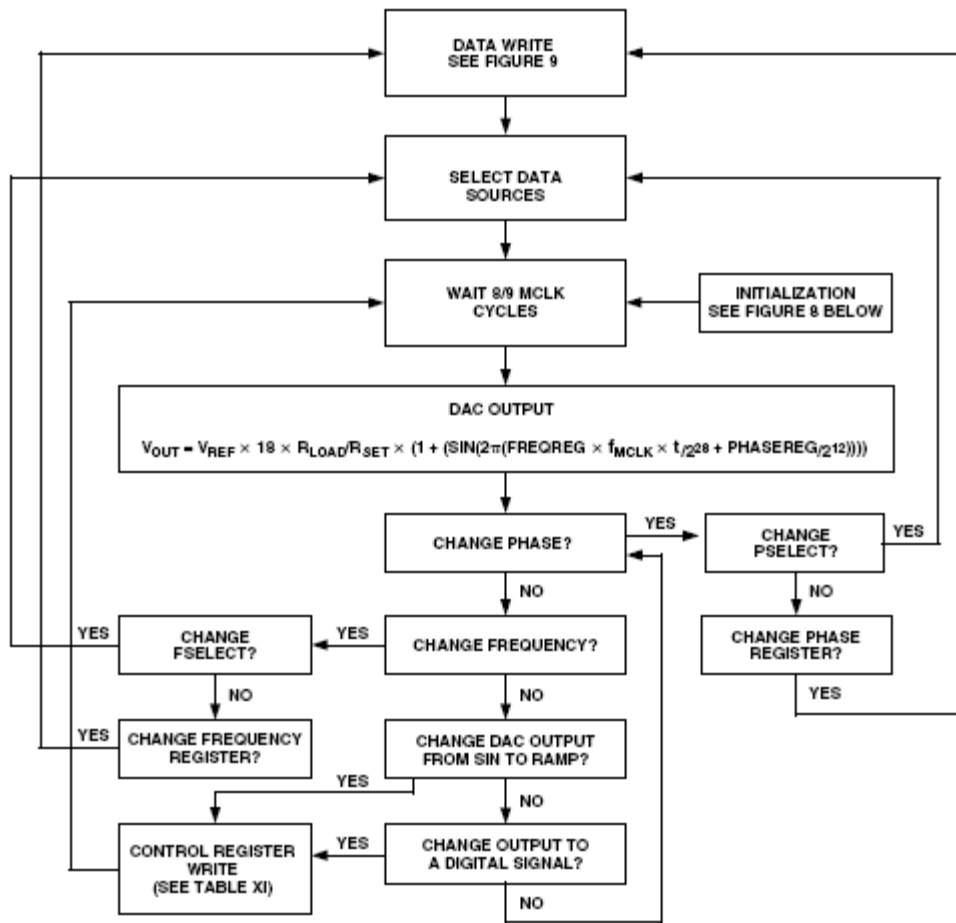


Figure 7. Flow Chart for AD9833 Initialization and Operation

## 主要流程图

9833 程序相对来说稍微麻烦一些（相比 AD9850 的程序），但是只要按照 datasheet 的操作来编程，应该是没有什么问题，调试的时候最好用逻辑分析仪，我当时连示波器都没有，呵呵

//说明：时钟输入为 14.4M，输出要加电容滤波，以下是成功的应用到某产品的例子程序，相关的 datasheet，时序波形，函数调用请自行消化。读者可以根据此程序开发出 9833 的产品。这个 IC 比较贵，大约 50RMB

//输出为正弦波，用一般的示波器看到的波形为阶梯状。频率和幅度成反比：频率低幅度高，频率高幅度低

```

void write_2byte(uint a)//写 2BYTE 到 DDS
{
    uchar i;
    dds_clk = 1;
    dds_dat = 1;
    dds_en = 1;
    control = 0;

```

```
    delay(1000);
    dds_clk=1;
    delay(2);
    dds_en=0;
    for(i=0;i<16;i++)
    {
        if(a&0x8000){dds_dat=1;}//the MSB=1
        else dds_dat=0;//the MSB=0
        dds_clk=0;
        delay(5);
        dds_clk=1;
        a=a<<1;
    }
    delay(2);
    dds_en=1;
    dds_clk=0;
    delay(1000);
    control = 1;
}

/*****
*函数名:    init_dds
*功能:      初始化 dds 芯片
*入口参数:  无
*出口参数:  无
*****/

void init_dds(void)
{
    write_2byte(0x2100);
    write_2byte(0x2000);//write command;28mode ;
    write_2byte(0x4000);//write LSB of freq0 reg
    write_2byte(0x403F);//write MSB of freq0 reg
    write_2byte(0x2900);
    write_2byte(0x8000);//write LSB of freq1 reg
    write_2byte(0x803F);//write MSB of freq1 reg
    write_2byte(0xC000);//write phase0 reg
    write_2byte(0xF000);//write phase1 reg
    write_2byte(0x2000);//select freq0,phase 0,28bit mode ,rst=0
}

//输出指定频率
void output(unsigned long freq_value)
{
    unsigned long dds;//32 bit data for dds control word
    uint dds1,dds2;
    dds=freq_value * 18.641351111111;//至于为什么要乘以这个系数，看资料
```

```
dds=dds<<2;
dds1=dds;    //低字节
dds2=dds>>16; //高字节
dds1=dds1>>2;
dds2=dds2 & 0x7FFF;
dds2=dds2 | 0x4000;
dds1=dds1 & 0x7FFF;
dds1=dds1 | 0x4000;
write_2byte(0x2000); //enable the command mode is 28mode
write_2byte(dds1);
write_2byte(dds2);
}
```