

INSTITUTO FEDERAL DE SÃO PAULO  
*campus* CUBATÃO

APOSTILA INTRODUTÓRIA SOBRE TRANSISTORES DE EFEITO DE CAMPO  
Humberto Hickel de Carvalho

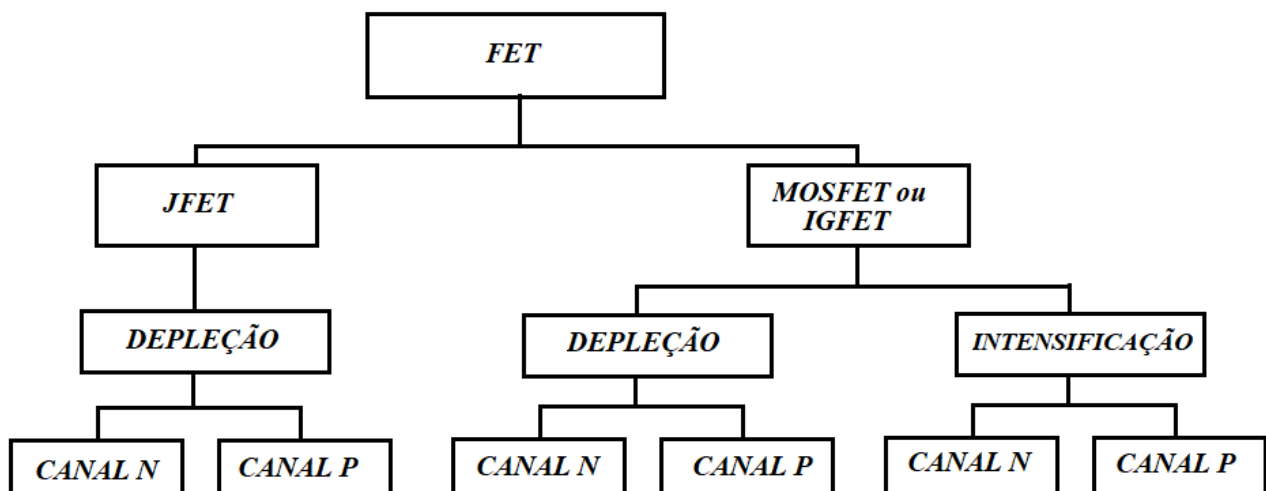
Material elaborado tendo como referência: BOYLESTAD & NASHELSKY, 2004, e notas de aula do autor, para servir de apoio às disciplinas de Eletrônica II dos cursos de Engenharia de Controle e Automação e de Tecnologia em Automação Industrial do *campus* Cubatão do Instituto Federal de São Paulo.

## TRANSISTORES DE EFEITO DE CAMPO, FET

Os transistores de efeito de campo são componentes eletrônicos a três terminais, a saber: *gate* ou porta, G, dreno, D e *source* ou fonte, S. Assim como nos Transistores Bipolares de Junção, TBJs, nos FETs uma corrente será controlada por outra variável, que será a tensão que se estabelecerá entre *gate* e *source*, ou porta e fonte.

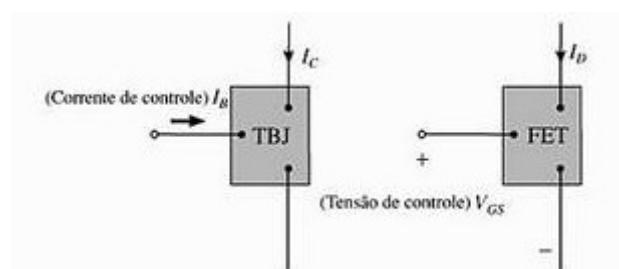
Os transistores de efeito de campo possuem características que diferem dos transistores bipolares de junção, sendo apropriados sobremaneira para aplicação em circuitos digitais, pela sua rápida resposta em frequência e pela sua baixa impedância quando em modo resistivo, além de terem um melhor desempenho em termos de dissipação de potência.

Existem dois tipos de FETs: os FETs de junção, JFET, e os FETs a metal óxido semiconductor, MOSFET, também denominados IGFET (*isolated gate FET*) sendo estes últimos separados em duas categorias: MOSFET intensificação e MOSFET depleção. O termo IGFET atualmente está em desuso.



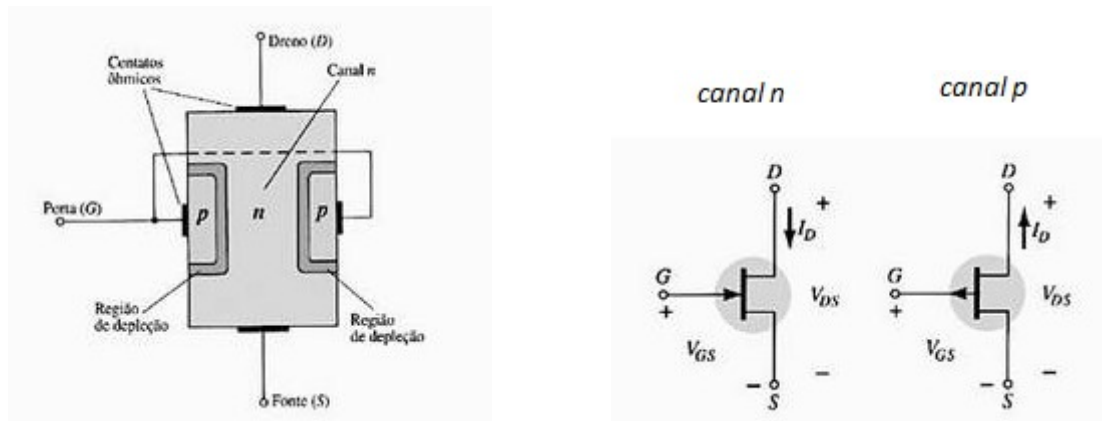
### TRANSÍSTOR DE EFEITO DE CAMPO DE JUNÇÃO – JFET

O JFET pode ter seu funcionamento comparado ao do transístor bipolar de junção, TBJ. Enquanto no TBJ a corrente principal  $I_C$  é controlada pela corrente  $I_B$ , no JFET a corrente principal  $I_D$  será controlada por uma tensão denominada  $V_{GS}$ :



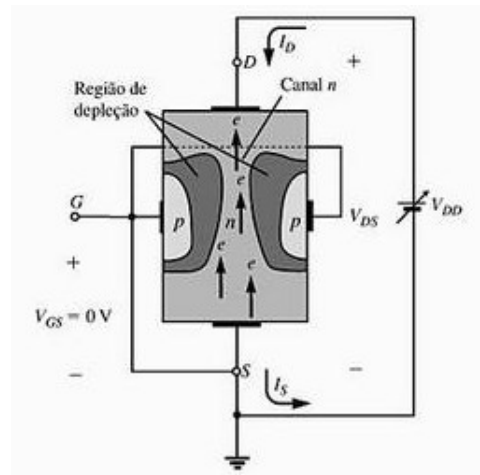
O JFET consiste de uma barra de cristal n (ou p) em que é criada uma junção p-n conforme a

figura abaixo:

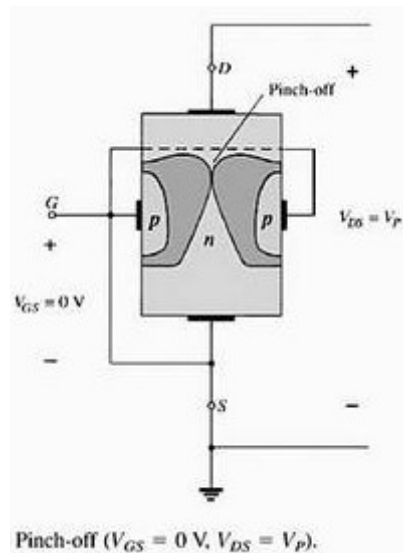


### PRINCÍPIO DE FUNCIONAMENTO

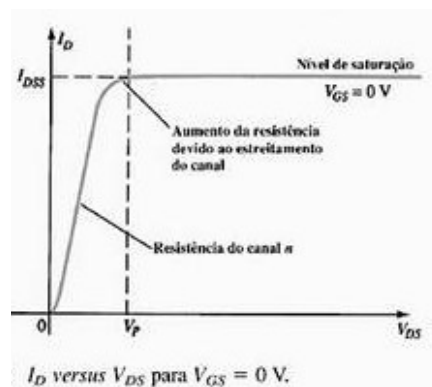
Considere a figura abaixo:



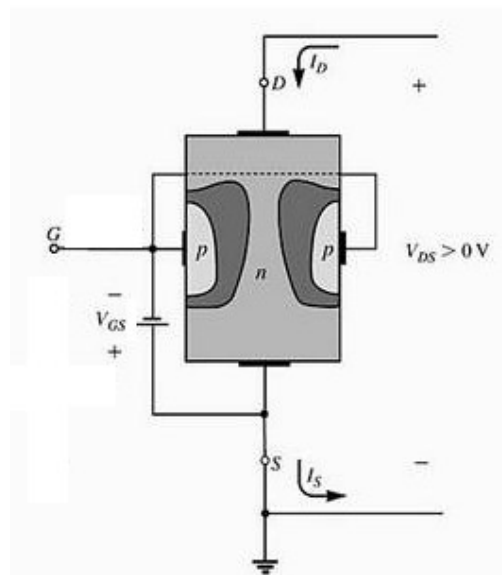
Ao se aumentar a tensão  $V_{DD}$  e consequentemente  $V_{DS}$ , mantendo-se  $V_{GS}=0V$ , polariza-se reversamente a parte superior da junção p-n e aumenta-se a área mais escura da figura acima. Para  $V_{DS}$  com valores baixos o canal estará suficientemente largo para permitir a passagem dos elétrons, de forma que há um comportamento resistivo da corrente  $I_D$  com a tensão  $V_{DS}$ . Com o aumento da tensão  $V_{DS}$  ocorrem dois fenômenos: por um lado o canal ficará cada vez mais estreito por causa do aumento da região de depleção da junção p-n reversamente polarizada, e por outro lado os elétrons serão cada vez mais impulsionados do terminal de fonte, **S**, para o terminal de dreno, **D**. Ocorrerá um ponto em que os efeitos se compensarão e a um aumento de  $V_{DS}$  não corresponderá mais um aumento de  $I_D$ . A tensão  $V_{DS}$  a partir da qual a corrente  $I_D$  não aumenta mais é denominada de tensão de *pinch off* (estrangulamento ou constrição do canal),  $V_P$ , e a corrente, que a partir daí se manterá constante, é denominada corrente de saturação do dreno, **D**, para a fonte, **S**, com  $V_{GS}=0V$  ou em curto circuito,  $I_{DSS}$ . Mesmo com o canal estrangulado haverá passagem da corrente  $I_{DSS}$ , que será uma corrente de alta densidade fluindo por um canal estreito e será a maior corrente do JFET antes que ele atinja a região de avalanche.



Ao se aumentar ainda mais a tensão  $V_{DS}$  ocorrerá um efeito de avalanche semelhante àquele observado nos diodos zener e a corrente  $I_D$  aumentará abruptamente. A tensão  $V_{DS}$  a partir da qual o JFET entra na região de avalanche é denominada de **BVDRR** ou **B(VR)SS**. A curva que define o comportamento descrito acima está representada a seguir:



Se  $V_{GS}$  provocar que o terminal de gate fique mais negativo que ao terminal de fonte,  $S$ , ter-se-á:



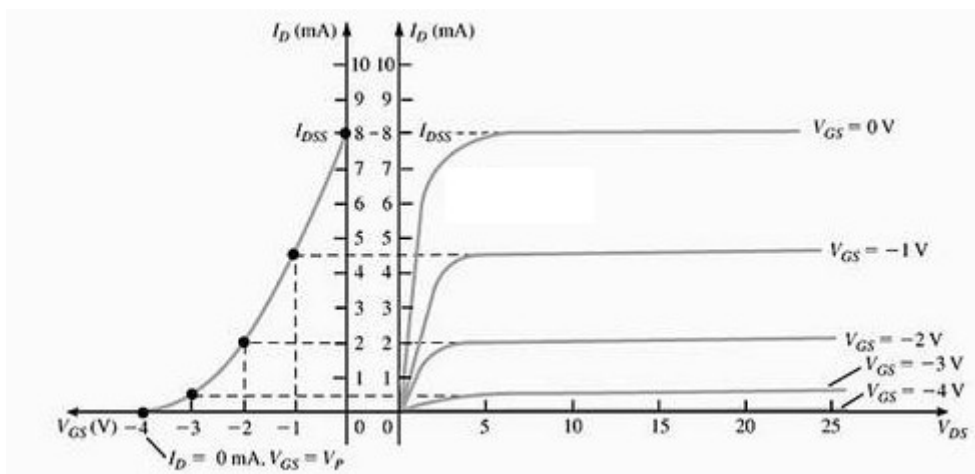
Ao se impor uma tensão negativa ao terminal de gate, **G**, em relação ao terminal de fonte, **S**, tal que  $V_P < V_{GS} < 0V$ , a constrição do canal ocorrerá em um nível de corrente menor do que  $I_{DSS}$ , pois além da polarização reversa imposta à junção p-n pelo potencial positivo do terminal de dreno, **D**, também haverá a polarização reversa provocada pelo potencial negativo do terminal de gate, **G**. Assim a tensão  $V_P$  para constrição do canal será provocada pela soma de  $V_{DS}$  com  $V_{GS}$ , tal que:

$$V_P = V_{DS} + V_{GS} \quad (I)$$

Quanto maior em módulo for a tensão  $V_{GS}$ , maior será a largura da região de depleção da junção p-n, mais estreito será o canal e conseqüentemente a constrição do canal ocorrerá para níveis menores de  $I_D$  do que o nível  $I_{DSS}$  (correspondente a  $V_{GS} = 0V$ ). O estrangulamento do canal também ocorrerá e a partir de valores menores de  $V_{DS}$ , dado que agora  $V_{GS}$  também contribui para o alcance de  $V_P$ . No limite, quando  $V_{GS}$  atingir o valor de  $V_P$ , a constrição do canal ocorrerá para  $V_{DS} = 0V$ , o que ocasionará  $I_D = 0A$ , e o JFET estará no modo de operação denominado **corte**. Para cada aumento no módulo de  $V_{GS}$  haverá uma correspondente diminuição no valor de  $V_{DS}$  necessário para o estrangulamento do canal, e uma conseqüente diminuição da corrente  $I_D$ . A dependência de  $I_D$  em função de  $V_{GS}$  é dada pela equação de Shockley:

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P}\right)^2 \quad (II)$$

A figura abaixo evidencia a função de controle que a tensão  $V_{GS}$  tem sobre a corrente  $I_D$ .



## MODOS DE OPERAÇÃO DE UM JFET

**Corte:** quando  $V_{GS} \leq V_P$ , daí  $I_D = 0A$ , independentemente da tensão  $V_{DS}$ . Nesse caso o JFET atua como um circuito aberto.

**Resistivo:** quando  $V_P < V_{GS} < 0V$  e  $V_{DS} \leq V_P - V_{GS}$ . A relação entre  $I_D$  e  $V_{DS}$  tem comportamento de resistência, ou seja, se  $V_{DS}$  aumentar,  $I_D$  também aumenta proporcionalmente através da resistência dinâmica  $r_d$ . A resistência dinâmica é controlada pela tensão  $V_{GS}$ , tal que:

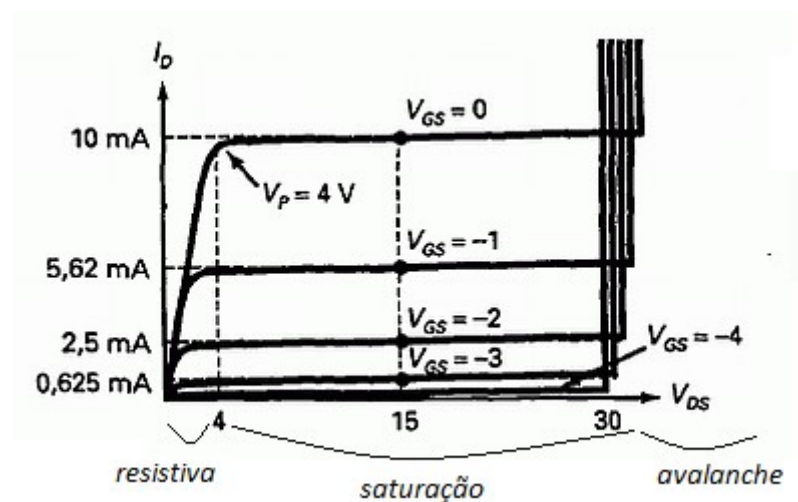
$$r_d = \frac{r_0}{(1 - V_{GS}/V_P)^2} \quad (III)$$

Na equação (III)  $r_0$  é a resistência do JFET para  $V_{DS} < V_P$  com  $V_{GS} = 0V$ . Quando  $V_{GS} = 0V$ ,  $r_d = r_0$ , por outro lado quando  $V_{GS} = V_P$ ,  $r_d = \infty \Omega$ . O valor típico de  $r_0$  é da ordem de algumas dezenas de  $k\Omega$ . Em aplicações específicas, quando se deseja controlar uma variável a partir de uma tensão, pode-se usar  $r_d$ .

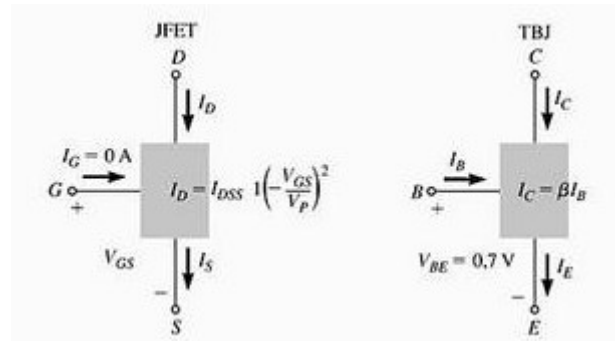
Por analogia pode-se associar o modo resistivo do JFET à região de saturação do TBJ.

**Saturação:** quando  $V_P < V_{GS} < 0V$  e  $V_P - V_{GS} \leq V_{DS} < BV_{DRR}$  o JFET está na região de *pinch off*, ou de corrente constante ou ainda de saturação. Neste caso o JFET atua como um controlador de corrente, sendo a corrente  $I_D$  controlada pela tensão  $V_{GS}$ . Esta região é equivalente à região ativa do TBJ.

**Avalanche:** quando a tensão reversa sobre a junção p-n atinge  $BV_{DRR}$  a junção entra em avalanche, daí  $V_{DS} \geq BV_{DRR} - V_{GS}$ . Esta região deve ser evitada.



## COMPARAÇÃO ENTRE O JFET E O TBJ

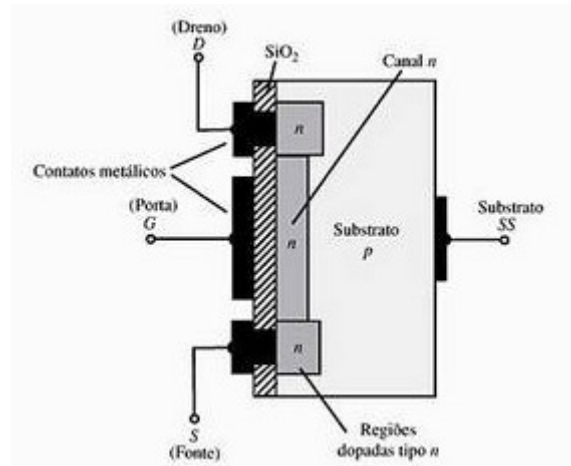


| JFET   | TBJ  |
|--|--|
| <ul style="list-style-type: none"> <li>• TENSÃO CONTROLA CORRENTE;</li> <li>• ALTA IMPEDÂNCIA DE ENTRADA;</li> <li>• MENOR VARIAÇÃO DE CORRENTE NA SAÍDA PARA A MESMA TENSÃO DE ENTRADA;</li> <li>• MAIS ESTÁVEIS EM RELAÇÃO À VARIAÇÃO DE TEMPERATURA;</li> <li>• TAMANHO MENOR MELHOR PARA INTEGRAÇÃO;</li> <li>• MAIS RÁPIDOS NA RESPOSTA EM FREQUÊNCIA, SENDO APROPRIADOS PARA APLICAÇÃO EM CIRCUITO DIGITAIS QUE EXIJAM FREQUÊNCIAS ALTAS.</li> </ul> | <ul style="list-style-type: none"> <li>• CORRENTE CONTROLA CORRENTE;</li> <li>• IMPEDÂNCIA DE ENTRADA MENOR;</li> <li>• MAIOR VARIAÇÃO DE CORRENTE NA SAÍDA PARA A MESMA TENSÃO DE ENTRADA;</li> <li>• MENOS ESTÁVEIS EM RELAÇÃO À VARIAÇÃO DE TEMPERATURA;</li> <li>• TAMANHO MAIOR.</li> </ul> |

## TRANSÍSTOR DE EFEITO DE CAMPO METAL ÓXIDO SEMICONDUTOR – MOSFET

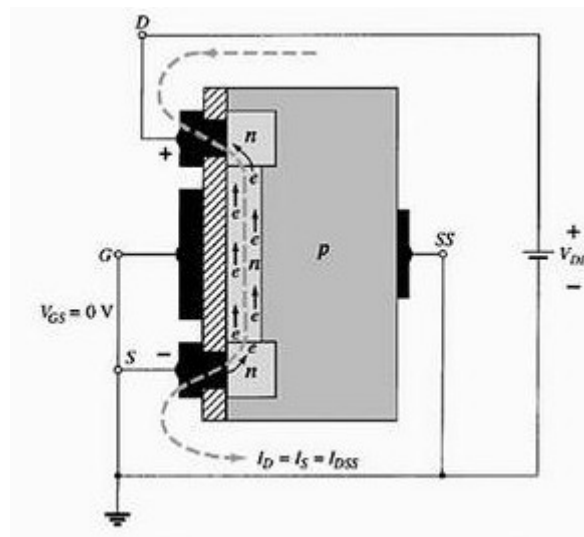
São FETs cujo terminal de gate não é ligado a uma junção p-n. O terminal de gate é ligado a uma camada de óxido de Silício,  $\text{SiO}_2$ , de forma que a corrente que fluirá pelo gate será nula e a impedância de entrada infinita. O fato de o terminal de gate ser isolado eletricamente do componente deu origem a outra denominação para o transistor: MOSFET de porta isolada, ou IGFET, mas este termo está em desuso atualmente. O potencial aplicado ao gate criará um campo elétrico dentro do transistor que será responsável pelo controle da corrente entre dreno e fonte. Há dois tipos de MOSFET: depleção e intensificação, podendo cada tipo ser de canal n ou de canal p.

## MOSFET TIPO DEPLEÇÃO CANAL N



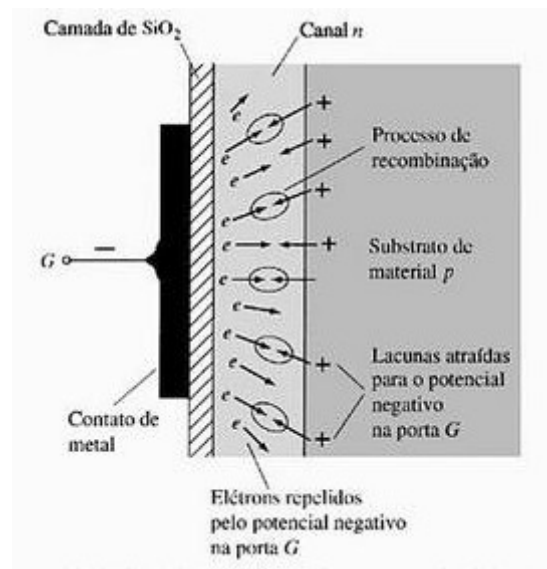
Sobre um substrato tipo p se difunde um canal tipo n que une os terminais de dreno e de fonte. O terminal de gate não possui contato elétrico com o componente, sendo isolado por uma camada de óxido de Silício. Normalmente os terminais de substrato e de fonte são conectados entre si.

O princípio de funcionamento é bastante similar ao do JFET. Conforme a polaridade do gate, atrair-se-ão ou repelir-se-ão elétrons para o canal, aumentando-se ou diminuindo-se a corrente que fluirá entre dreno e fonte, imposta pela tensão  $V_{DS}$ .

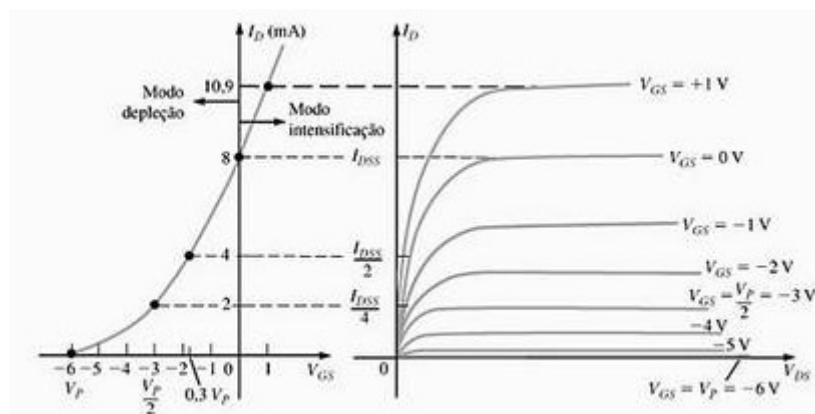


Se  $V_{GS}$  for negativa os elétrons serão repelidos do canal para dentro do substrato diminuindo a corrente entre dreno e fonte. Se  $V_{GS}$  for positiva mais elétrons serão atraídos para o canal aumentando a corrente entre dreno e fonte. A figura abaixo mostra o comportamento do canal para um  $V_{GS}$  negativo:

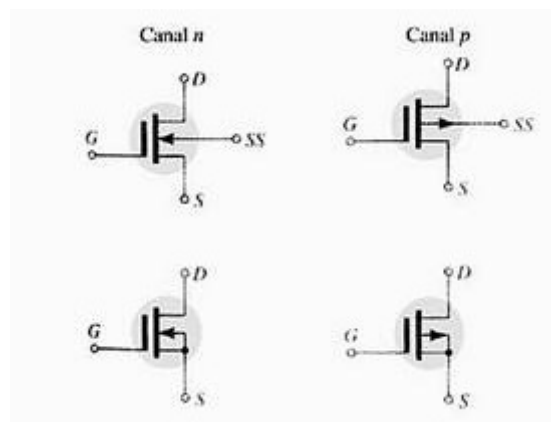




A tensão  $V_{GS}$  controlará a corrente entre dreno e fonte, conforme evidenciam as curvas abaixo para um MOSFET tipo depleção canal n:

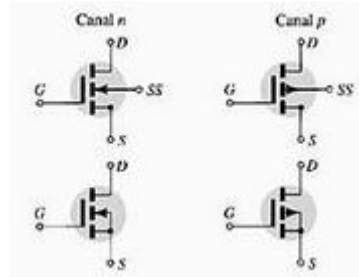


### SÍMBOLOS MOSFET DEPLEÇÃO



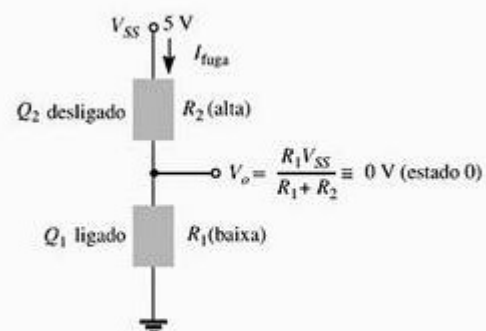
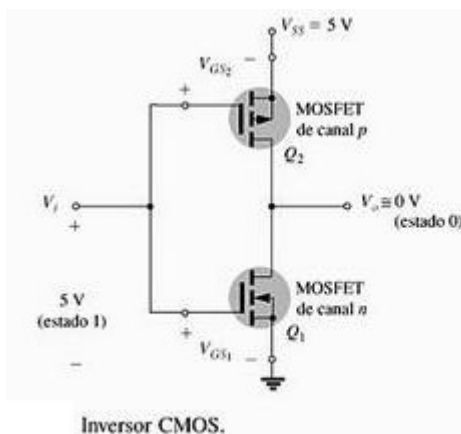
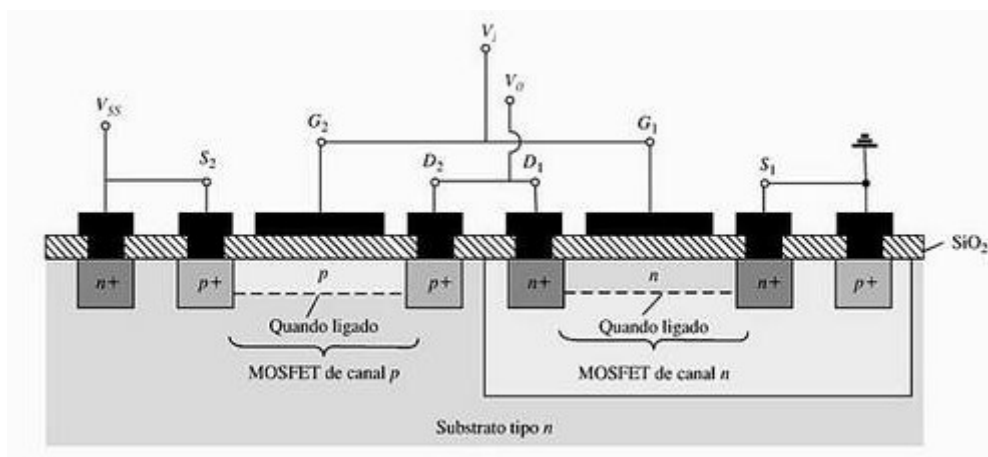


## SÍMBOLOS MOSFET TIPO INTENSIFICAÇÃO



## MOSFET COMPLEMENTAR – CMOS

É uma tecnologia de construção de circuitos integrados onde dois MOSFETs complementares (um canal n e outro canal p) são construídos sobre o mesmo substrato, criando um bloco básico muito utilizado na eletrônica digital. Na figura abaixo os dois MOSFETs estão conectados para executar a função de porta inversora.



## POLARIZAÇÃO DOS TRANSISTORES DE EFEITO DE CAMPO

Será tratada neste curso a polarização do JFET, sendo que a polarização do MOSFET é bastante similar à polarização do JFET.

### POLARIZAÇÃO NOS MODOS DE CORTE E RESISTIVO

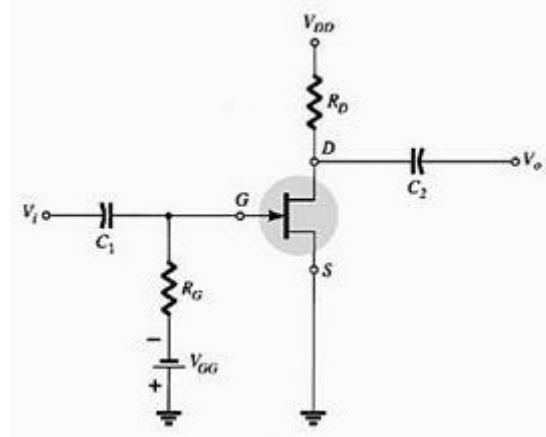
Polarizar um JFET como chave eletrônica aberta (modo de corte) implica em fazer  $V_{GS}=V_P$  que o canal estará constricto para  $V_{DS}=0V$ , e consequentemente a corrente  $I_D$  será nula. Por outro lado o canal estará aberto, permitindo a passagem de corrente, para  $V_{GS}=0V$ , desde que  $V_{DS}$  seja menor do que  $V_P$ , caracterizando a chave eletrônica fechada (modo resistivo), sendo constituída apenas pela resistência associada ao canal, que normalmente é pequena.

### POLARIZAÇÃO NO MODO SATURAÇÃO

Para atuar como amplificador, de modo similar ao que acontece com o TBJ, o JFET deverá ser polarizado no modo saturação, que corresponde à região ativa do TBJ. As curvas  $I_D \times V_{DS}$  de um FET têm semelhança com as curvas  $I_C \times V_{CE}$  de um TBJ. Nas primeiras há a dependência de  $I_D$  com a variação de  $V_{GS}$ , enquanto que nas segundas há a dependência de  $I_C$  com a variação de  $I_B$ .

### POLARIZAÇÃO FIXA

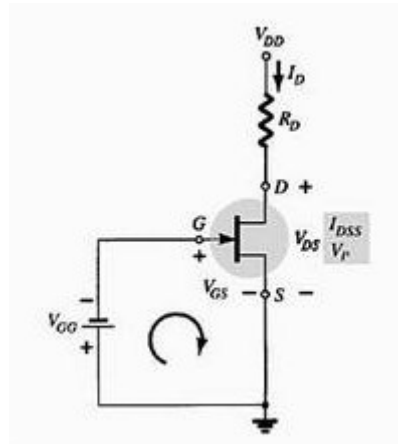
O circuito mais simples de polarização de JFET é o que segue:



Neste circuito o resistor  $R_G$  está presente somente para que o sinal a ser amplificado possa

ser inserido no transistor. Os capacitores  $C_1$  e  $C_2$  são capacitores de desacoplamento e possuem a mesma função dos capacitores de desacoplamento dos amplificadores implementados com TBJ.

Em corrente contínua não circulará corrente por  $R_G$  de forma que ele pode ser substituído por um curto circuito:

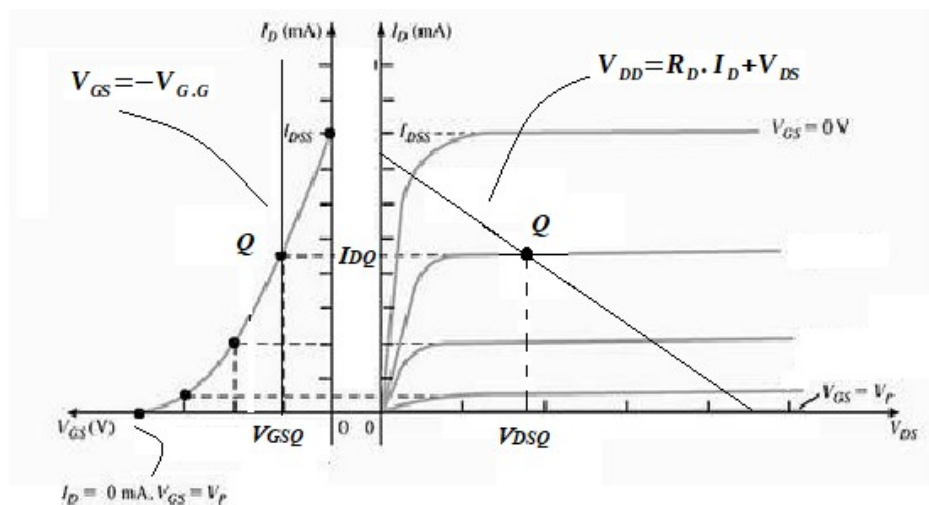


dessa forma:

$$V_{GS} = -V_{G.G} \quad (IV) \quad e$$

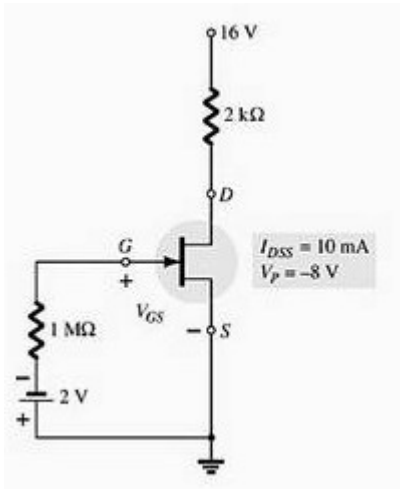
$$V_{DD} = R_D \cdot I_D + V_{DS} \quad (V)$$

As equações acima são as retas de carga em corrente contínua do amplificador, traçadas nos planos  $I_D \times V_{GS}$  e  $I_D \times V_{DS}$  respectivamente. A intersecção destas retas com as curvas características do transistor definirão o ponto quiescente  $Q$  ( $V_{DSQ}$ ;  $I_{DQ}$  ou  $V_{GSQ}$ ;  $I_{DQ}$ ). A curva  $I_D \times V_{GS}$  pode ser obtida a partir de equação (II). Muitas vezes o fabricante fornece a curva  $I_D \times V_{GS}$ . As curvas  $I_D \times V_{DS}$  são fornecidas pelo fabricante.



Exemplo: Dado o circuito abaixo, determine:

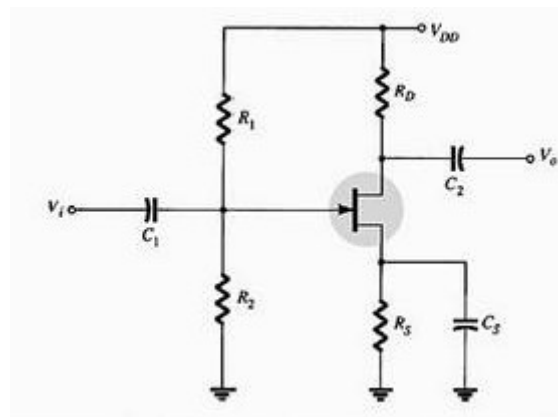
- As coordenadas do ponto quiescente;
- A curva  $I_D \times V_{GS}$ ;
- Sobre a curva do item b) trace a reta de carga cc e indique a posição do ponto quiescente.



- Estime a curva  $I_D \times V_{DS}$  e desenhe sobre esta curva a reta de carga, indicando o ponto quiescente.

## POLARIZAÇÃO POR DIVISOR DE TENSÃO

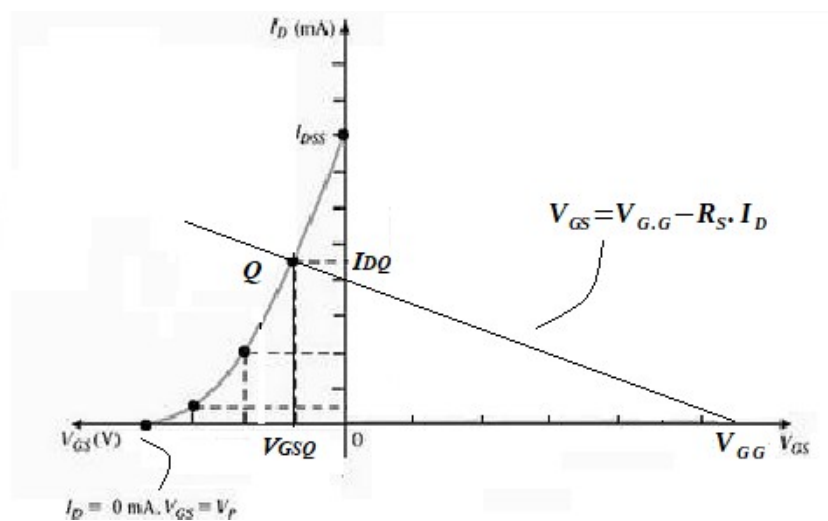
O circuito de polarização fixa apresenta a desvantagem de utilizar duas fontes de tensão, dessa forma o circuito autopolarizante é o mais utilizado. Além disso o circuito autopolarizante compensa variações em parâmetros internos do JFET pela inserção do resistor  $R_S$ , de maneira similar ao resistor  $R_E$  no circuito autopolarizante dos amplificadores com TBJ. A tensão a ser aplicada entre os terminais de porta e de fonte será determinada pelo divisor resistivo formado por  $R_1$  e  $R_2$ .



A reta de carga cc a ser traçada sobre a curva  $I_D \times V_{GS}$  pode ser definida como:

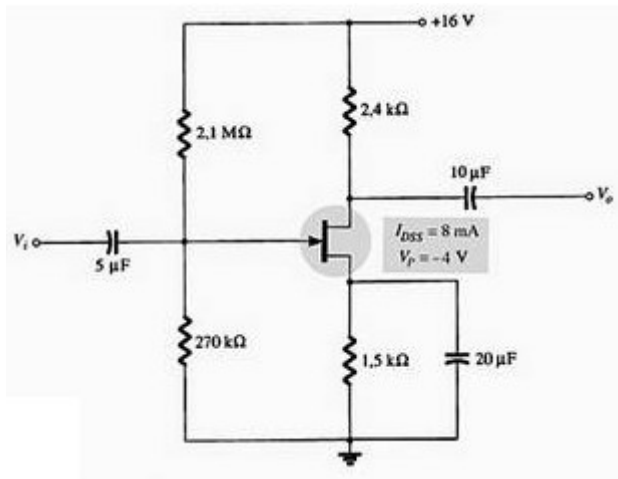
$$V_{GS} = V_{G.G} - R_S \cdot I_D \quad (\text{VI}) \quad \text{onde}$$

$$V_{G.G} = \frac{R_2}{R_1 + R_2} \cdot V_{DD} \quad (\text{VII})$$



Exemplo: Dado o circuito abaixo, determine:

- A curva  $I_D \times V_{GS}$ ;
- Sobre a curva do item a) trace a reta de carga cc e indique a posição do ponto quiescente ( $V_{GSQ}; I_{DQ}$ ) com suas coordenadas.
- Calcule  $V_{DSQ}$ .





## MODELO EQUIVALENTE EM CORRENTE ALTERNADA PARA O JFET

Para determinação das características ca do amplificador implementado com JFET se faz necessário o desenvolvimento de um modelo do componente em corrente alternada.

Os amplificadores implementados com JFET possuem ampla faixa e atuação em termos de frequência de operação, alta impedância de entrada e alto ganho de tensão.

Enquanto o TBJ controla a corrente de saída  $i_c$  a partir da corrente de entrada  $i_b$ , o JFET controla a corrente da saída  $i_d$  a partir da tensão de controle  $v_{gs}$ . O parâmetro que relaciona as correntes de entrada e de saída no TBJ é o ganho de corrente  $\beta$ , enquanto que no JFET o parâmetro que relaciona a tensão de entrada  $v_{gs}$  à corrente de saída  $i_d$  é a transcondutância  $g_m$ .

A transcondutância pode ser determinada pela derivada da corrente  $i_d$  em relação à tensão  $v_{gs}$  a partir da equação (II) de Shockley, daí:

$$g_m = \frac{\Delta i_d}{\Delta v_{gs}} = \frac{d i_d}{d v_{gs}} = \frac{2 \cdot I_{DSS}}{|V_P|} \cdot \left(1 - \frac{V_{GS}}{V_P}\right) \quad (\text{VIII})$$

A unidade da transcondutância é o Siemens,  $\mathfrak{S}$ , que representa Amperes por Volt. Normalmente  $g_m$  é fornecido pelo fabricante como  $y_{fs}$ .  $Y_{fs}$  é um dos parâmetros admitância do quadripolo associado ao FET, o índice  $f$  indica um parâmetro *forward*, (saída pela entrada) e o índice  $s$  indica que o parâmetro é ligado ao terminal de fonte *source*.

No limite, com  $\Delta$  tendendo a zero na equação (VIII), pode-se escrever:

$$i_d = g_m \cdot v_{gs} \quad (\text{IX})$$

Porém no JFET a corrente de saída  $i_d$  também é influenciada pela tensão  $v_{ds}$ . A relação entre a tensão  $v_{ds}$  e a corrente  $i_d$  pode ser obtida a partir do gráfico  $I_D \times V_{DS}$  na região de saturação. O parâmetro que relaciona as duas grandezas é denominado de impedância de saída do FET,  $Z_o$ , tal que

$$Z_o = \frac{v_{ds}}{i_d} = r_d = \frac{1}{y_{os}} \quad (\text{X})$$

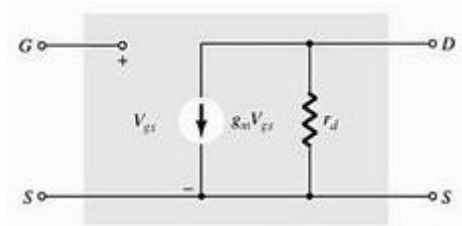
$Y_{os}$  é o parâmetro admitância de saída do quadripolo que representa o JFET, e é fornecido pelo fabricante. A unidade de  $y_{os}$  é o  $\mathfrak{S}$ .  $Y_{os}$  é fornecido pelo fabricante e seu valor normalmente é baixo, devido à baixa inclinação das curvas  $I_D \times V_{DS}$  na região de saturação. Portanto  $v_{ds}$  influencia  $i_d$  através de  $Z_o$ , tal que

$$i_d = \frac{v_{ds}}{Z_o} \quad (\text{XI})$$

Levando em conta as influências que  $i_d$  sofre a partir de  $v_{gs}$  (equação IX) e de  $v_{ds}$  (equação X), vem

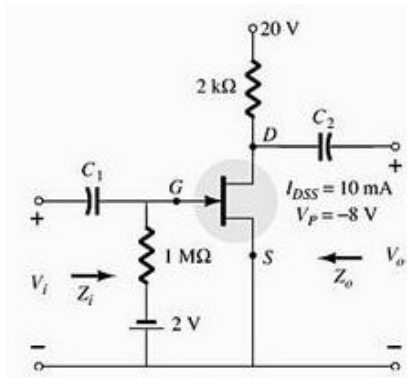
$$i_d = g_m \cdot v_{gs} + \frac{v_{ds}}{r_d} \quad (\text{XII})$$

A equação (XII) define o modelo CA do JFET:



Deve-se observar que a equação (XII) é a Lei de Kirchhoff das Correntes aplicada ao nó de dreno no modelo CA do JFET.

Exemplo: Considere o circuito abaixo cujo transístor foi polarizado em  $V_{GSQ} = -2V$  e  $I_{DQ} = 5,625mA$ . Sabendo que o transístor possui as seguintes características:  $I_{DSS} = 10mA$ ;  $V_P = -8V$  e  $y_{os} = 40\mu S$ , determine:

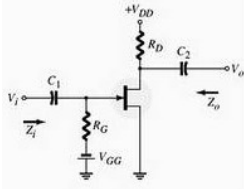
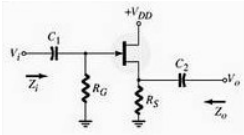
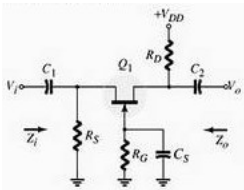


- A transcondutância  $g_m$ ;
- A impedância de saída do transístor,  $r_d$ ;
- O modelo CA do transístor;
- O ganho de tensão do amplificador,  $A_v$ ;
- A impedância de entrada do amplificador,  $Z_i$ ;
- A impedância de saída do amplificador,  $Z_o$ ;
- O ganho de tensão do amplificador desprezando os efeitos de  $r_d$ .

## CONFIGURAÇÕES DOS AMPLIFICADORES COM JFET

Assim como dos amplificadores implementados com TBJ, que podem ser configurados em emissor comum, coletor comum ou base comum, também os amplificadores com FET poderão ser configurados como fonte comum, dreno comum ou porta comum.

A tabela abaixo apresenta circuitos nas três configurações com suas características.

| <b>Configuração</b>              | <b>Circuito</b>  | <b><math>Z_I</math></b>   | <b><math>Z_O</math></b>                              | <b><math>A_V</math></b>   |
|----------------------------------|--|---|--|---|
| Fonte Comum                      |   | Alta<br>$R_G$   | Média<br>$R_D \parallel r_d$                         | Médio<br>$-g_m \cdot (R_D \parallel r_d)$   |
| Dreno Comum ou Seguidor de Fonte |   | Alta<br>$R_G$   | Baixa<br>$R_D \parallel R_S \parallel \frac{1}{g_m}$ | Baixo<br>$\frac{-g_m \cdot (r_d \parallel R_S)}{1 + g_m \cdot (r_d \parallel R_S)}$ |
| Porta Comum                      |  | Baixa<br>$R_S \parallel \left[ \frac{r_d + R_D}{1 + g_m \cdot r_d} \right]$ | Média<br>$R_D \parallel r_d$                         | Médio<br>$\frac{g_m \cdot R_D + \frac{R_D}{r_d}}{1 + \frac{R_D}{r_d}}$              |

## REFERÊNCIA BIBLIOGRÁFICA

BOYLESTAD, R. L. , NASHELSKY, L. **Dispositivos Eletrônicos e Teoria de Circuitos**. 8ª. ed.  
São Paulo: Prentice Hall, 2004.