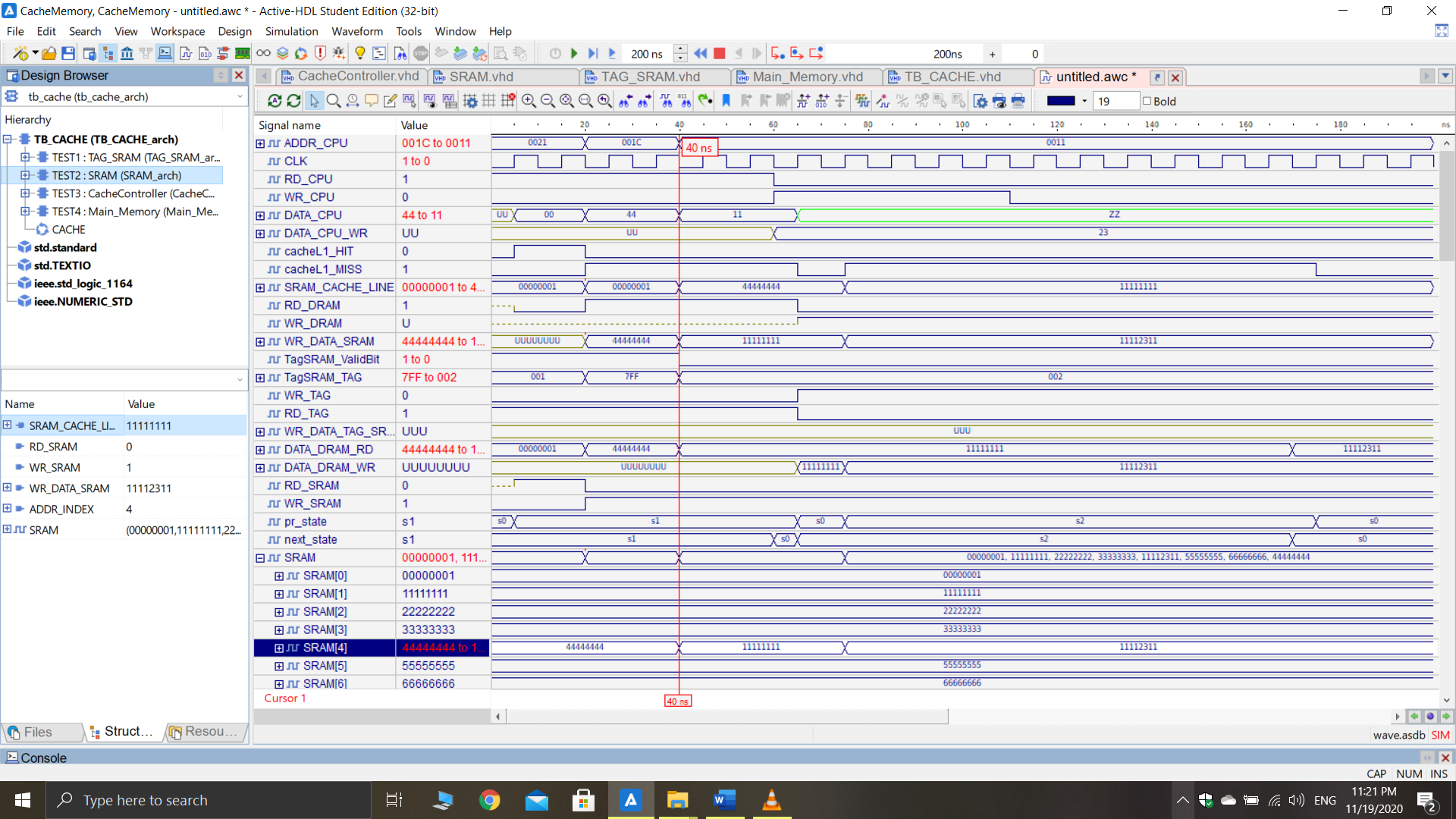
Update fata de saptamana trecuta: - in MainMemory se dupa 10 clock-uri

* Atribuire corecta a semanlelor cache\_HIT si cache\_MISS
* starile se mentin pana la schimbarea semnalelor de rd sau wr( se sta in s1 cat timp avem semnal de rd, respectiv s2 pentru semnal wr)
* implementare diagrama starilor



* Primul front urcator:

RD\_CPU <= '1';

WR\_CPU <= '0';

ADDR\_CPU <= "0000000000100001";

* S1

Tag ul din tag\_sram este egal cu tagul din adresa si bit ul de validare este 1 => pe magistrala de DATA\_CPU se transmite, in functie de index si offset un byte din SRAM

* La al doilea front urcator nu se schimba nimic, deoarece ADDR\_CPU nu s-a schimbat, iar semnalul activ este in continuare cel de RD => s1
* Al 3-lea front urcator =>s1

ADDR\_CPU <= "0000000000011100";

ADDR\_CPU este modificata (din TB), iar tag-ul numai este acelasi cu cel din TAG\_SRAM=> pe magistrala DATA\_CPU este trimis byte ul corespunzator preluat din MainMemory, de asemenea continutul acestei adrese este scris si in SRAM

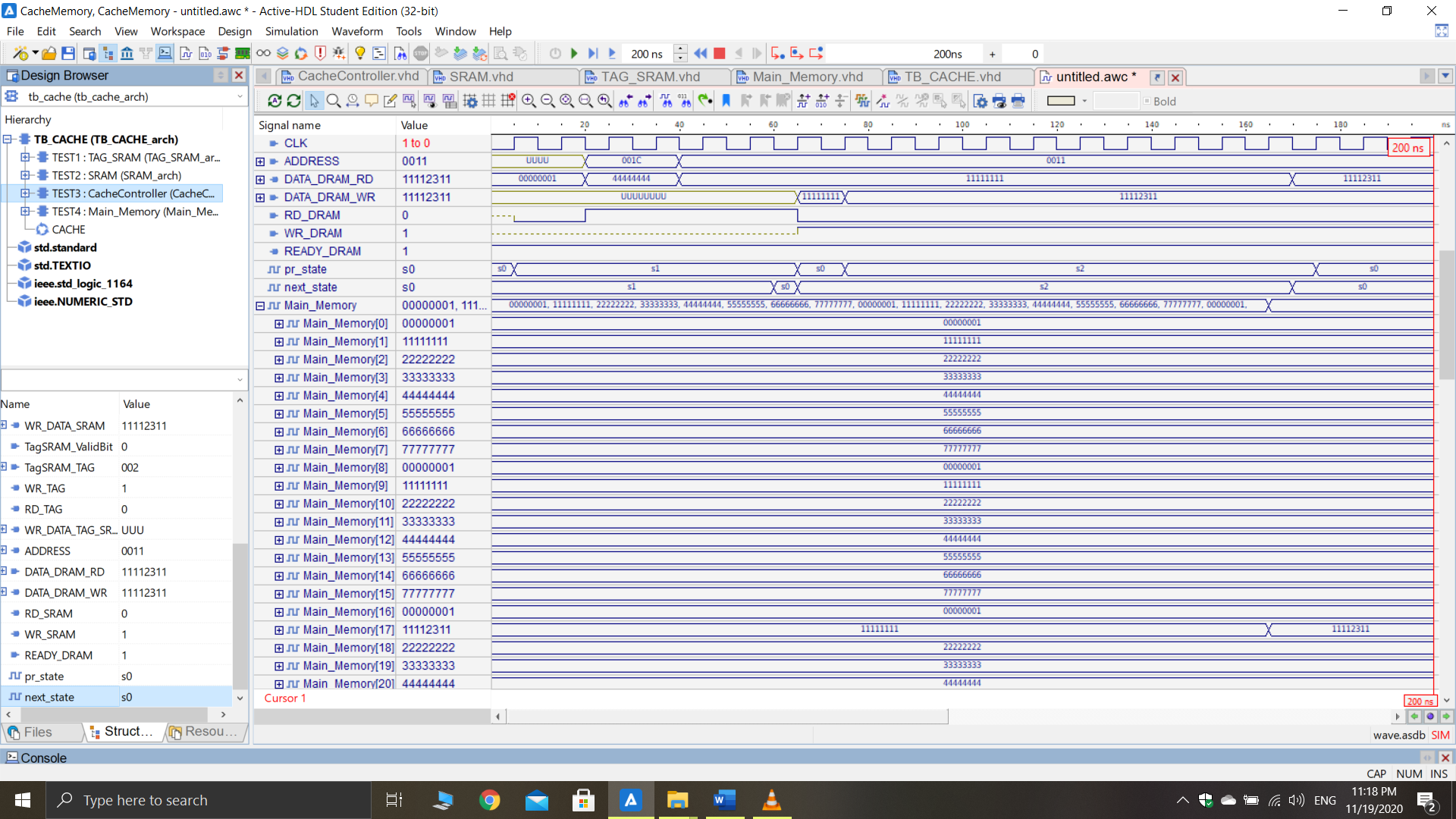
* La al 4-lea front crescator nu se schimba nimic =>s1
* La al 5-lea front crescator => S1

ADDR\_CPU <= " 0000000000010001";

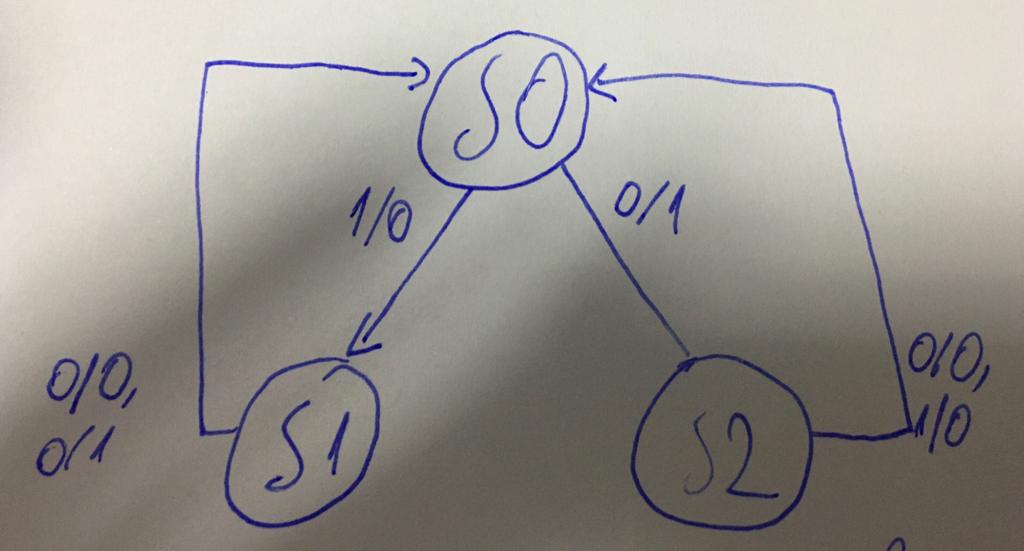
Am abordat exemplul cu o adresa ce are tag-ul acelasi cu cel din TAG\_SRAM, doar ca bit-ul de validare este 0, iar logica este aceasi cu cea de la al 3-lea front urcator

* Al 6-lea front urcator, nu se schimba nimic = s1
* Al 7-lea front urcator

Avem semnal de WR activ => Ce se gaseste pe DATA\_CPU\_WR se scrie in SRAM, apoi dupa un delay de 10 clock-uri se scrie in Main\_memory



* Diagrama starilor



S-a implementat urmatorul scenariu de test:

S0-S1-S0-S2-S0

* Tabel de stare

