

利用 FAN 算法进行组合电路的等价性检验^{*}

曾 琼^{1 2}

(1 中国科学院 成都计算机应用 研究所, 四川 成都 610041; 2 成都信息 工程学院 计算机基础教学部, 四川 成都 610041)

摘 要: 讨论了组合电路的等价性检验方法, 分析了 FAN 算法的关键技术。利用该算法进行了组合电路的等价性检验, 实验结果表明了该方法的有效性。
关键词: 等价性检验; ATPG; D-算法; PODEM 算法; FAN 算法
中图法分类号: TP301 **文献标识码:** A **文章编号:** 1001-3695(2006)12-0025-03

Equivalence Checking for Combinational Circuits with FUN Algorithm

ZENG Qing^{1 2}

(1. Chengdu Institute of Computer Application, Chinese Academy of Sciences, Chengdu, Sichuan 610041, China; 2. Fundamental Teaching Dept. of Computer, Chengdu University of Information Technology, Chengdu, Sichuan 610041, China)

Abstract This paper discusses equivalence checking for combinational circuits and analyzes the key techniques of FAN algorithm. We check equivalence of combinational circuits with FUN algorithm, and experimental results show that FAN algorithm is efficient.
Key words Equivalence Checking; ATPG (Automated Test Pattern Generation); D-algorithm; PODEM Algorithm; FAN Algorithm

等价性检验是数字电路形式化验证技术的主要验证方法之一。它的主要目的是在一个设计经过变换之后, 穷尽地检验变化前后功能的一致性, 即证明设计的变换没有产生功能的变化。其基本原理是建立被比较的两个模型之间的关系。通常等价性检验程序能自动比较两个设计, 而不需要用户的输入, 其优点是使用简单, 且很容易被集成到设计流程中。组合电路等价性检验方法主要有 BDD (Binary Decision Diagram, 二叉判定图), SAT (布尔可满足性) 和 ATPG (Automated Test Pattern Generation 自动测试向量产生)。BDD 方法是用组合电路表示的布尔函数, 用 BDD 作为规范表达形式, 通过比较 BDD 来比较组合电路; SAT 和 ATPG 方法是将等价性检验问题转换为判断 Miter (积自动机) 输出是否为 1 的问题。ATPG 方法是组合电路等价性检验中的一种有用的方法。

从 20 世纪 60 年代开始, 就有布尔差分法、D 算法、随机测试产生等方法问世, 特别是 Roth 提出的 D 算法^[1]从理论上给出了组合电路测试产生的一个完全算法, 并且具有实用性。事实证明, 这些方法对规模比较小的电路是行之有效的, 然而随着电路规模的增大, 这些研究成果均面临着重重困难和挑战。此后, Goel 在 1981 年提出了 PODEM (Path Oriented Decision Making) 算法^[2], 第一次把测试产生问题归结为一个输入向量空间的搜索问题, 并采用分支限界的方法实现对 n 维空间的一个子空间的搜索。理论和实践均证明了该算法比 D 算法的测试产生更有效, 然而, 它在测试产生过程中利用的启发式信息和电路的结构信息较少, 仍然有较大潜力, 大有改进的可能。H. Fujiwara 在 1983 年提出的 FAN (Fanout Oriented Test Generation)

算法^[3]对 PODEM 算法作了重大改进, 在该算法中提出并采用了许多新的措施和技术, 有效地提高了测试产生的效率。

FAN 算法是目前国际上公认的比较有效的测试产生方法。在此之后的许多改进方法都是基于 FAN 算法产生的或是改进推广了 FAN 技术。因此, 研究 FAN 算法在理论上和实际上都是很有意义的。本文利用 FAN 算法进行了组合电路的等价性检验的实验, 该工作对深刻理解测试产生的规律和实质提供了极大的帮助, 为下一步研究提供了实验和理论依据。

1 积自动机与 ATPG

传统的组合电路功能等价性验证是通过构造两个电路的规范表示形式, 如真值表或 BDD^[4], 当且仅当它们的规范形式同构时, 这两个电路功能等价。为了验证两个时序电路的等价性, 通常需要将它们当成有限状态机, 并构造这两者的积自动机, 如图 1 所示。

Brand^[5]将这种计算模型称为 Miter。它是通过将两个状态机相应的每一对原始输入连接到一起, 同时将相应的每一对原始输出连接到一个异或门, 而这些异或门就构成了积自动机的输出。如果对于每一个输入序列, 积自动机的每个原始输出恒为 0 那么这两个时序电路就是等价的。换句话说, 就是对于任何输入向量和可达状态, 积自动机的原始输出响应总是为 0。通常, 证明状态机等价性的第一步是从初始状态开始, 计算所有可达状态, 这就是典型的基于有限状态机的遍历算法^[4]。尽管最近十多年中, 由于 BDD 方法的研究进展使得基于有限状态机遍历算法有了很大进步, 但面对实际的大型设计仍然可能会因构造 BDD 的表示而导致内存爆炸。

试 Miter 固定为 0 是否可测。如果不可测, 则原来两个电路等价; 否则就不等价。在 Justify() 过程中, 我们需要保存当前还没有判断的门的输出信号, 这个集合就被称为 J frontier 而过程 Implication() 是通过蕴涵关系计算所有能唯一确定赋值的信号线的值。

ATPG 算法如下:

```

Justify()
if implication() = failure
    return failure
if J frontier is the empty set
    return success
select a gate g from frontier
repeat
    select one untried assignment of the inputs of g
    and update J frontier
    if Justify() = success
        return success
    restore J frontier
until no untried assignment of the inputs of g exists
return failure
end
  
```

这里举一个应用 ATPG 算法的例子。如图 2 所示, 为了判断 $k=1$ 先判断 $i=1$ 且 $j=0$ 。由 $j=0$ 通过向后蕴涵可以得到 $h=1$ 这样不断向后蕴涵计算可以得到 $e=1$ $g=1$ $a=0$ $f=0$ 由 $f=0$ 可以得到 b 或 c 至少有一个为 0 那么 $d=0$ 由 $a=0$ 和 $d=0$ 得到 $i=0$ 这与 $i=1$ 矛盾。同样如果 $i=0$ 且 $j=1$ 也会产生矛盾, 这意味着对任何输入 k 都固定为 0 即这两个电路等价。

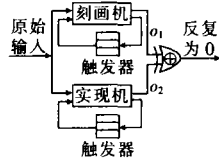


图1 积自动机(Miter)

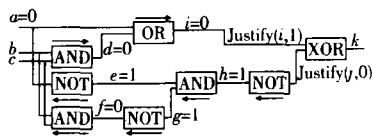


图2 一个 Miter 的例子

2 FAN 算法

H. Fujiwara 在 1983 年提出的 FAN 算法是目前世界上公认的比较有效的组合电路测试产生算法^[6]。1981 年 P. Goel 提出的 PODEM 算法有效地克服了 D 算法的弊端, 减少了测试产生过程中回溯的次数, 并且第一次将对一个固定型故障产生测试码的问题归结为输入向量空间的搜索问题, 采用分支限界法的办法来解决。然而, PODEM 算法所用到的启发式信息和电路拓扑结构信息较少, 仍存在许多可改进之处。FAN 算法对 PODEM 作了重大改进, 从而大大提高了算法的测试产生效率。

提高测试产生效率关键要解决两个问题, 即减少回溯次数和缩短两次回溯之间的处理时间。为此, 在 FAN 算法中采用了几项新的策略来加速测试产生:

(1) 充分蕴涵。在算法执行的每一步尽可能多地确定那些能被唯一决定的信号值, 这样可以减少盲目选择, 尽早发现矛盾。

(2) 唯一敏化。当 D 前沿 (D -frontier) 集合只包含一个门时, 标记从该 D 前沿到原始输出的必经路段, 然后赋予必要的值敏化这些路段。测试产生过程中的这种部分敏化称为唯一敏化。例如, 考虑图 3 的电路, 假设 G_2 是当前唯一的一个 D 前沿, G_2 到原始输出的每一条路径都经过 $F-H$ 和 $K-M$ 路段, 为了将故障信号 D 从 E 传到原始输出, $F-H$ 和 $K-M$ 是必经路段。如果存在一个测试码, 则 $F-H$ 和 $K-M$ 必须被敏化, 为此, 必须

取 $C=1$ $G=1$ $J=1$ 和 $L=1$ 蕴涵之后, 有 $A=1$ $B=0$ 反之, 如果不采用唯一敏化策略, 要使 $C=1$ 可能挑选 $A=0$ 蕴涵的结果 $J=0$ 因为 $J=0$ 不可能把 D 敏化到输出, 故势必产生矛盾, 引起回溯。

(3) 当遇到头线时停止回退。在 FAN 算法中将信号线分成两类: 如果一根信号线 L 是从某个扇出源可达的, 即存在一条从扇出源到 L 的路径, 则 L 称为约束线 (Bound Line); 否则, 称为自由线 (Free Line)。与约束线相邻的自由线称为头线 (Head Line)。例如, 在图 4 中, A B C E F G H 和 J 是自由线, K L 和 M 是约束线, 在自由线中, J 和 H 是头线。FAN 算法回退遇到头线停止, 对头线的线相容性运算在测试产生过程的结尾来做。从原始输入到头线之间没有扇出, 所以对头线的相容性运算不会出现矛盾。因为头线的数目比原始输入数目要少, 这样可以避免回退到原始输入带来的许多不必要的回溯。

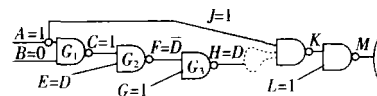


图3 唯一敏化

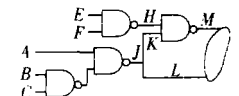


图4 头线

(4) 多路回退。FAN 算法采用多路并行回退, 这种策略比单路回退要有效得多。具体做法是, 把一个回退目标定义为一个三元组 $(s, n_0(s), n_1(s))$, 其中, s 是一个目标线; $n_0(s)$ 是要求目标线 S 取值为 0 的次数; $n_1(s)$ 是要求 S 取值为 1 的次数。多路回退可以从多个初始目标 (Initial Objective) 开始, 即从一个初始目标集合开始。回退过程中得到的目标集合称为当前目标 (Current Objective) 集合; 回退到头线得到的目标集合称为最终目标 (Final Objective) 集合。例如一个初始目标要求线 S 取值为 0 则 $(s, n_0(s), n_1(s)) = (s, 1, 0)$ 。从初始目标到头线的回退采用广度优先策略, 并遵循以下原则:

① 与门。设 x 是与门最容易控制为 0 的输入, 则 $n_0(X) = n_0(Y)$, $n_1(X) = n_1(Y)$, 对其他输入 X_i , $n_0(X_i) = 0$, $n_1(X_i) = n_1(Y)$, 其中, Y 是与门的输出。

② 或门。设 x 是或门最容易控制为 1 的输入, 则 $n_0(X) = n_0(Y)$, $n_1(X) = n_1(Y)$, 对其他输入 X_i , $n_0(X_i) = n_0(Y)$, $n_1(X_i) = 0$ 。

③ 非门。 $n_0(X) = n_1(Y)$, $n_1(X) = n_0(Y)$ 。

④ 扇出源。 $n_0(X) = \sum_{i=1}^k n_0(X_i)$, $n_1(X) = \sum_{i=1}^k n_1(X_i)$, 其中, 线 X 扇出到 X_1, \dots, X_k 。

回退过程直到遇到头线结束。如果 $n_0(P) \geq n_1(P)$, 则目标值取 0 否则, 目标值取 1。

以上是 FAN 算法中采用的主要技术, 这些技术有效地提高了算法的效率, 构成了 FAN 算法的主要特色。

FAN 算法在本质上与 PODEM 算法一样, 也是一个面向故障产生测试的算法, 它同样把测试产生的问题归结为空间搜索问题, 采用分支限界法的办法来解决。图 5 给出了 FAN 算法的流程图。在 FAN 算法中, 多路回退和回溯是算法的核心。

(1) 多路回退和输入赋值。多路回退时, 为了传播一个故障信号或进行线相容性运算, 首先需设置一组初始目标。多路回退过程按前面给出的原则寻找最终目标。从最终目标集合中, 选择一个目标, 如 (K, L) , 使得线 L 赋值 V 有较大的可能满足初始目标; 然后给线 L 赋值 V 进行蕴涵, 剩余的最终目标在进一步蕴涵时仍会有效。只有当初始目标是传播 D 或 \bar{D} 并且 D 前沿在蕴涵之后已经改变, 或者初始目标是进行线相容性运算并且所有的末相容性赋值线均已赋值时, 剩余的最终目标无

效。

(2)回溯。FAN算法在产生测试码的过程中,一直保留着一棵判决树,即一个有序的节点表,表中的每一个节点都是一个已赋值的头线,表中节点的顺序反映了赋值的相对顺序。如果某个节点的第一次赋值已导致矛盾并被第二次赋值,则该节点被标记;如果该节点的两次赋值都被拒绝,则从表中删除该节点,并且前一个节点的当前赋值也被拒绝。

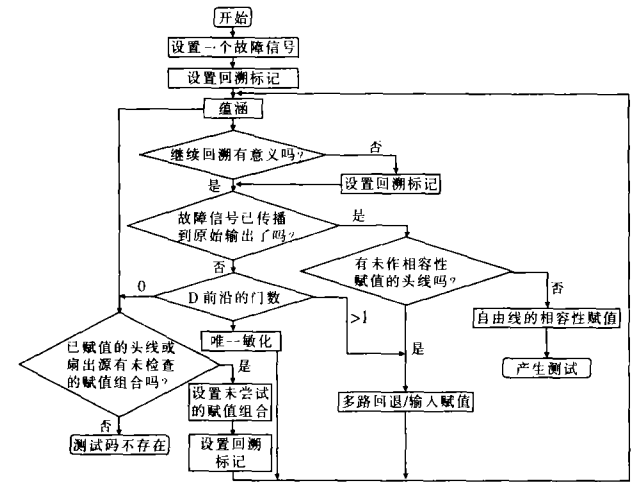


图 5 FAN 算法流程图

3 结束语

我们对 ISCAS' 85 的大部分电路实现了两种程序: PODEM 和 FAN 测试产生算法。由于 PODEM 算法和 FAN 算法都是完全的算法,如果给予足够的时间,对每个可测试的故障,它们都会产生一个测试。然而,在实际的测试产生过程中,受到计算时间的限制,我们放弃对最大回溯次数超过 1 000 次的测试产生。表 1 给出了最大回溯次数为 10 次的实验结果。其中,门数是两个被检验电路的逻辑门总数。

表 1 三种算法的计算时间比较

电路名	原始输入	原始输出数	门数	PODEM (s)	FAN (s)
C432 C432nr	36	7	316	15.7	13.8
C499 C499nr	41	32	403	65.1	63.5
C1355 C1355nr	41	32	1 091	80.2	78.3
C1908 C1908nr	33	25	1 757	81.7	80.9
C2670 C2670nr	233	140	2 153	84.0*	81.1*
C3540 C3540nr	50	22	3 288	131.4	125.3
C5315 C5315nr	178	123	4 604	198.9	197.6
C7552 C7552nr	207	108	6 908	434.5	430.1

从表 1 中可以看出 FAN 算法运行时间大多数是最少的。验证电路 C2670 和 C2670nr 时发现不等价,其时间为第一次发现不等价时的时间。

FAN 算法是国际上公认的比较成熟有效的组合电路测试产生算法。FAN 算法对 PODEM 算法作了重要的改进,丰富和发展了测试产生算法的基本思想。该算法引入了唯一蕴涵、唯一敏化、多路回退和头线等概念,充分利用了电路的结构信息,及早发现解的不存在性,减少了回溯次数。目前,虽然 ATPG 方法与 BDD 方法相比使用比例还比较小,但是它也是一种有效的验证方法。人们通常结合 BDD 与 ATPG 或 SAT 随机模拟等手段来进行系统的验证,以产生更强健的引擎。因此,为了提高算法的效率,有必要进一步缩小搜索空间,优化搜索过程,尽早发现矛盾,减少回溯次数。

参考文献:

[1] J P Roth. Diagnosis of Automata Failures: A Calculus and Method[J]. IBM Journal of Research & Development, 1966, 10(4): 278-291.

[2] P G oel. An Implicit Enumeration Algorithm to Generate Tests for Combinational Logic Circuits[J]. IEEE Transactions on Computers, 1981, C-30(3): 215-222.

[3] H Fujiwara, T Shinonaka. On the Acceleration of Test Generation Algorithms[J]. IEEE Transactions on Computers, 1983, C-32(12): 1137-1144.

[4] Shi Yu Huang, Kwang Ting(Tin) Cheng. Formal Equivalence Checking and Design Debugging[M]. Boston, Dordrecht, London: Kluwer Academic Publisher, 1998.

[5] D Brand. Verification of Large Synthesized Designs[C]. Proceedings of International Conference of Computer Aided Design, 1993, 534-537.

[6] 李忠诚, 闵应骅. 基于 FAN 算法的测试产生系统及实验研究[J]. 计算机辅助设计与图形学学报, 1990, 2(2): 59-68.

[7] H Fujiwara. FAN: A Fanout Oriented Test Pattern Generation Algorithm[C]. International Symposium on Circuits and Systems, 1985, 671-674.

[8] 李晓维, 吕涛, 李光辉, 等. 集成电路设计验证[J]. 信息技术快报, 2004(9): 1-9.

[9] 颜学龙, 刘棕南. 组合电路测试生成的 PODEM 算法及实现[J]. 桂林电子工业学院学报, 1998, 18(3): 1-3.

[10] 魏小芬, 邱继顺. FAN 算法在瞬态电流测试产生中的应用[J]. 同济大学学报, 2002, 30(10): 1239-1243.

[11] 潘榆奇, 张保定, 李忠诚, 等. 一个实用化的测试产生系统 COMPA-ATPG[J]. 计算机辅助设计与图形学学报, 1992, 4(2): 1-7.

作者简介:

曾琼(1976),女,四川人,讲师,硕士研究生,主要研究方向为形式化刻画与验证、软件工程。

(上接第 24 页)

[5] 罗海鹏, 苏文龙, 李乔. 经典 Ramsey 数 $R(6, 12)$, $R(6, 14)$ 和 $R(6, 15)$ 的新下界[J]. 科学通报, 1998, 43(12): 1336-1337.

[6] 苏文龙, 罗海鹏, 李乔. 七个经典 Ramsey 数 $R(k, l)$ 的新下界[J]. 系统科学与数学, 2000, 20(1): 55-57.

[7] SU Wenlong, LUO Haipeng, ZHANG Zhengyou, et al. New Lower Bounds of Fifteen Classical Ramsey Numbers[J]. Australasian Journal of Combinatorics, 1999, 19: 91-99.

[8] SU Wenlong, LUO Haipeng, SHEN Yanqiu. New Lower Bounds for Classical Ramsey Numbers $R(5, 13)$ and $R(5, 14)$ [J]. Applied Mathematics Letters, 1999, 12: 121-122.

[9] LUO Haipeng, SU Wenlong, SHEN Yunqiu. New Lower Bounds of Ten Classical Ramsey Numbers[J]. Australasian Journal of Combinatorics, 2001, 24: 81-90.

[10] LUO Haipeng, SU Wenlong, LI Zhenchong. The Properties of Self-complementary Graphs and New Lower Bounds for Diagonal Ramsey Numbers[J]. Australasian Journal of Combinatorics, 2002, 25: 103-

116.

[11] SU Wenlong, LI Qiao, LUO Haipeng, et al. Lower Bounds of Ramsey Numbers Based on Cubic Residues[J]. Discrete Mathematics, 2002, 250(1-3): 197-209.

[12] LI Guiling, SU Wenlong, LUO Haipeng. Edge Colorings of the Complete Graph K_{149} and the Lower Bounds of Three Ramsey Numbers[J]. Discrete Applied Mathematics, 2003, 126(2-3): 167-179.

[13] LUO Haipeng, SU Wenlong, SHEN Yunqiu. New Lower Bounds for Two Multicolor Classical Ramsey Numbers[J]. Radii Mathematici, 2004, 13: 15-21.

作者简介:

吴康(1958),男,副教授,硕士,主要研究方向为组合数学、数学奥林匹克竞赛;苏文龙(1947),男,研究员,硕士生导师,主要研究方向为组合数学、计算机算法;罗海鹏(1947),男,研究员,硕士生导师,主要研究方向为组合数学、计算机算法;许晓东(1974),副研究员,硕士,主要研究方向为组合数学。