

TD n° 2 : cache associatif - correction

Exercice 1

Un ordinateur a une mémoire principale constituée de 2 Mo. Il possède un cache associatif par ensemble de 16 lignes, avec 2 entrées par ensemble. La taille d'un bloc est de 32 octets. On suppose que l'algorithme LRU est utilisé pour le remplacement d'un bloc, et que le temps d'accès au cache est de 1 ns alors que le temps d'accès à la RAM est de 10 ns.

- Quelle est la capacité du cache ? Quel est le nombre de bits nécessaires pour décrire une adresse de la mémoire principale ?

Capacité = $16 \times 2 \times 32 = 1024$ Octets.

Mémoire principale = 2Mo = 2^{21} Octets, il faut donc 21 bits pour représenter une adresse

- Calculer le nombre de bits pour les champs Etiquette, Ligne et Déplacement de l'adresse d'un mot de la mémoire principale

Taille d'un bloc = 32 octets = 2^5 octets. Le déplacement dans un bloc est sur 5 bits

Nombre de lignes du cache = 16 = 2^4 octets. Le numéro de ligne est sur 4 bits

L'étiquette est stockée sur "ce qui reste" donc $21 - 4 - 5 = 12$ bits.

- Le cache est initialement vide. Le processeur lit 64 octets à partir des adresses 0, 1, 2...63 dans cet ordre.

➤ Décrire le contenu du cache après lecture des 64 octets.

0..31	
32..63	

➤ Donner le temps nécessaire à la lecture des 64 octets.

Lecture de l'octet 0 : échec pour l'accès au cache, temps=10ns et le bloc 0 est chargé dans le cache

Lecture des octets 1 à 31 : succès pour l'accès au cache, temps = $1 \times 31 = 31$ ns car le bloc 0 est déjà chargé dans le cache

Pour l'accès aux octets du bloc 0, cela fait donc $10 + 31 = 41$ ns.

On fait de même pour le bloc suivant et on obtient donc au total $41 \times 2 = 82$ ns comme temps d'accès total et donc $82/64 = 1,28125$ ns de temps d'accès moyen

- Le cache est initialement vide. Le processeur lit les octets contenus aux adresses 0, 512, 1024, 512, 0. (Aide : $512 = 16 * 32$)
 - Décrire l'évolution du cache lors de la lecture de ces 5 octets

0	1024	0	512

- Donner le temps nécessaire à la lecture de ces 5 octets.

Lecture de l'octet 0 : échec pour l'accès au cache, temps=10ns et le bloc 0 est chargé dans le cache

Lecture de l'octet 512 : échec pour l'accès au cache, temps=10ns et le bloc 16 est chargé dans le cache

Lecture de l'octet 1024 : échec pour l'accès au cache, temps=10ns et le bloc 32 est chargé dans le cache à la place du bloc 0 (le moins récemment utilisé)

Lecture de l'octet 512 : succès pour l'accès au cache, temps=1ns

Lecture de l'octet 0 : échec pour l'accès au cache, temps=10ns et le bloc 0 est chargé dans le cache à la place du bloc 32 (le moins récemment utilisé)

Temps d'accès total $10 \times 4 + 1 = 41$ ns comme temps d'accès total et donc $41/5 = 8,2$ ns de temps d'accès moyen

Exercice 2

Un ordinateur a une mémoire principale constituée de 1 Mo. Il a aussi un cache de 4 Ko associatif par ensemble, avec 4 entrées par ensemble. La taille d'un bloc est de 64 octets.

- Déterminer le nombre de lignes du cache

Capacité = 4Ko = (nb_lignes) \times 4 \times 64 octets. Donc nb_lignes = $4\text{Ko} / (4 \times 64 \text{ octets}) = 16$
- Calculer le nombre de bits pour les champs Etiquette, Ligne et Déplacement de l'adresse d'un mot de la mémoire principale

Mémoire principale = 1Mo = 2^{20} Octets, il faut donc 20 bits pour représenter une adresse

Taille d'un bloc = 64 octets = 2^6 octets. Le déplacement dans un bloc est sur 6 bits

Nombre de lignes du cache = 16 = 2^4 octets. Le numéro de ligne est sur 4 bits

L'étiquette est stockée sur "ce qui reste" donc $20 - 4 - 6 = 10$ bits.
- On suppose que l'algorithme LRU est utilisé pour le remplacement d'un bloc, et que le temps d'accès au cache est de 1 ns alors que le temps d'accès à la RAM est de 10 ns. Le cache est

initialement vide. Le processeur lit 4352 octets à partir des adresses 0, 1, 2...4351 dans cet ordre. (4352=64x68)

- Décrire le contenu du cache après lecture des 4352 octets.

Comme un bloc est de taille 64 octets, cela revient donc à lire les 68 premiers blocs

Bloc 0	Bloc64	Bloc 16	Bloc32	Bloc48
Bloc 1	Bloc65	Bloc 17	Bloc33	Bloc49
Bloc 2	Bloc66	Bloc 18	Bloc34	Bloc50
Bloc 3	Bloc67	Bloc 19	Bloc35	Bloc51
Bloc 4		Bloc 20	Bloc36	Bloc52
...		...		
...		...		
Bloc 15		Bloc 31	Bloc47	Bloc63

- Donner le temps nécessaire à la lecture des 4352 octets.

Pour la lecture des 68 blocs : le premier octet est un échec pour l'accès au cache, temps=10ns, puis succès pour l'accès aux 63 autres octets du bloc. Donc le temps nécessaire est $68 \times (10 + 63 \times 1) = 4964$ ns et donc $4964/4352 = 1,140625$ ns de temps d'accès moyen

- Le processeur répète ensuite cette séquence (lecture des 4352 octets) 9 fois.

- Décrire le contenu du cache obtenu.

Seules les 4 premières lignes du cache sont affectées. A chaque lecture de cette séquence, il y a 20 blocs qui sont rechargés (blocs 0 à 3, 16 à 19, 32 à 35, 48 à 51 et 64 à 67). Donc $20 \times (10 + 63 \times 1) = 1460$ ns pour ces blocs.

Pour les 48 blocs restants il n'y a que des succès donc $48 \times (64) = 3072$ ns

Au total pour 9 relectures, on obtient : $(1460 + 3072) \times 9 = 40788$ ns

- Déterminer l'accélération obtenue grâce à l'utilisation du cache.

L'accélération obtenue est donc $(4352 \times 10 \times 10) / (40788 + 4964) = 9,51$

Exercice 3

On considère un ordinateur avec le cache associatif ci-dessous.

La taille d'un bloc est de 8 octets.

Dans chaque case, on met les 3 indications suivantes :

- le bit de validité (BitV) qui vaut 1 lorsque la case est valide
- l'étiquette du bloc (Eti) écrite en base 10
- le champ LRU : 1 signifie le plus récemment utilisé, 4 le moins récemment utilisé

BitV=1, Eti=1, LRU=3 BitV=1, Eti=1, LRU=4 BitV=1, Eti=1, LRU=4 BitV=1, Eti=1, LRU=1	BitV=1, Eti=2, LRU=1 BitV=1, Eti=2, LRU=2 BitV=1, Eti=2, LRU=1 BitV=1, Eti=2, LRU=2	BitV=1, Eti=5, LRU=2 BitV=1, Eti=5, LRU=3 BitV=1, Eti=5, LRU=3 BitV=1, Eti=5, LRU=4	BitV=1, Eti=3, LRU=4 BitV=1, Eti=0, LRU=1 BitV=1, Eti=0, LRU=2 BitV=1, Eti=0, LRU=3
BitV=1, Eti=0, LRU=3	BitV=1, Eti=1, LRU=1	BitV=1, Eti=12, LRU=2	BitV=1, Eti=2, LRU=4
BitV=1, Eti=0, LRU=1 BitV=1, Eti=0, LRU=2 BitV=1, Eti=0, LRU=3 BitV=1, Eti=0, LRU=3	BitV=1, Eti=2, LRU=2 BitV=1, Eti=2, LRU=3 BitV=1, Eti=2, LRU=1 BitV=1, Eti=2, LRU=2	BitV=1, Eti=4, LRU=3 BitV=1, Eti=4, LRU=4 BitV=1, Eti=4, LRU=4 BitV=1, Eti=4, LRU=4	BitV=0, Eti=3, LRU=4 BitV=0, Eti=0, LRU=1 BitV=0, Eti=0, LRU=2 BitV=0, Eti=0, LRU=1
BitV=1, Eti=1, LRU=4 BitV=1, Eti=1, LRU=4	BitV=1, Eti=2, LRU=2 BitV=1, Eti=2, LRU=3	BitV=1, Eti=0, LRU=2 BitV=1, Eti=0, LRU=1	BitV=1, Eti=6, LRU=1 BitV=1, Eti=6, LRU=2

1. Dans le cache ci-dessus, une case contient des informations impossibles. Laquelle ?

LRU de la 2eme et 3eme colonne, 4ème ligne

2. Décrire comment le cache est modifié lorsque l'on accède successivement aux octets ci-dessous dont l'adresse est écrite en base 10 (vous pouvez écrire les modifications sur le tableau ci-dessus),

- 0, 67, 33, 16, 49, 81, 19, 12

0 : bloc 0, donc ligne 0 : étiquette=0, donc échec...

67 = 1000101 : bloc 8, donc ligne 0, étiquette=(10)₂=2, Succès on change juste le LRU

33 = 100001 : bloc 4, donc ligne 0, étiquette=(1)₂=1, Succès on change juste le LRU

16 = 10000 : bloc 2, donc ligne 2, étiquette=(0)₂=0, Succès on ne change rien LRU vaut déjà 1

49 = 110001 : bloc 6, donc ligne 2, étiquette=(1)₂=1, Echec

81 = 1010001 : bloc 10, donc ligne 2, étiquette = $(10)_2 = 2$, Succès on change juste le LRU

19 = 10011 : bloc 2, donc ligne 2, étiquette = $(0)_2 = 0$, Succès on change juste le LRU

12 = 11000 : bloc 3, donc ligne 3, étiquette = $(0)_2 = 0$, Succès on change juste le LRU

3. Comptez le nombre de succès et d'échecs obtenus

2 échecs, 6 succès