

实验 2：组合逻辑电路设计实验

姓名：孙文博 学号：201830210

一、实验目的

1. 掌握组合逻辑电路的设计方法和步骤，实现译码器、编码器、ALU 等基本组合逻辑电路。
2. 掌握全加器的设计方法和原理，在全加器基础上实现一个 4 位串行进位加法器。
3. 掌握 Logisim 输入和输出组件的使用。

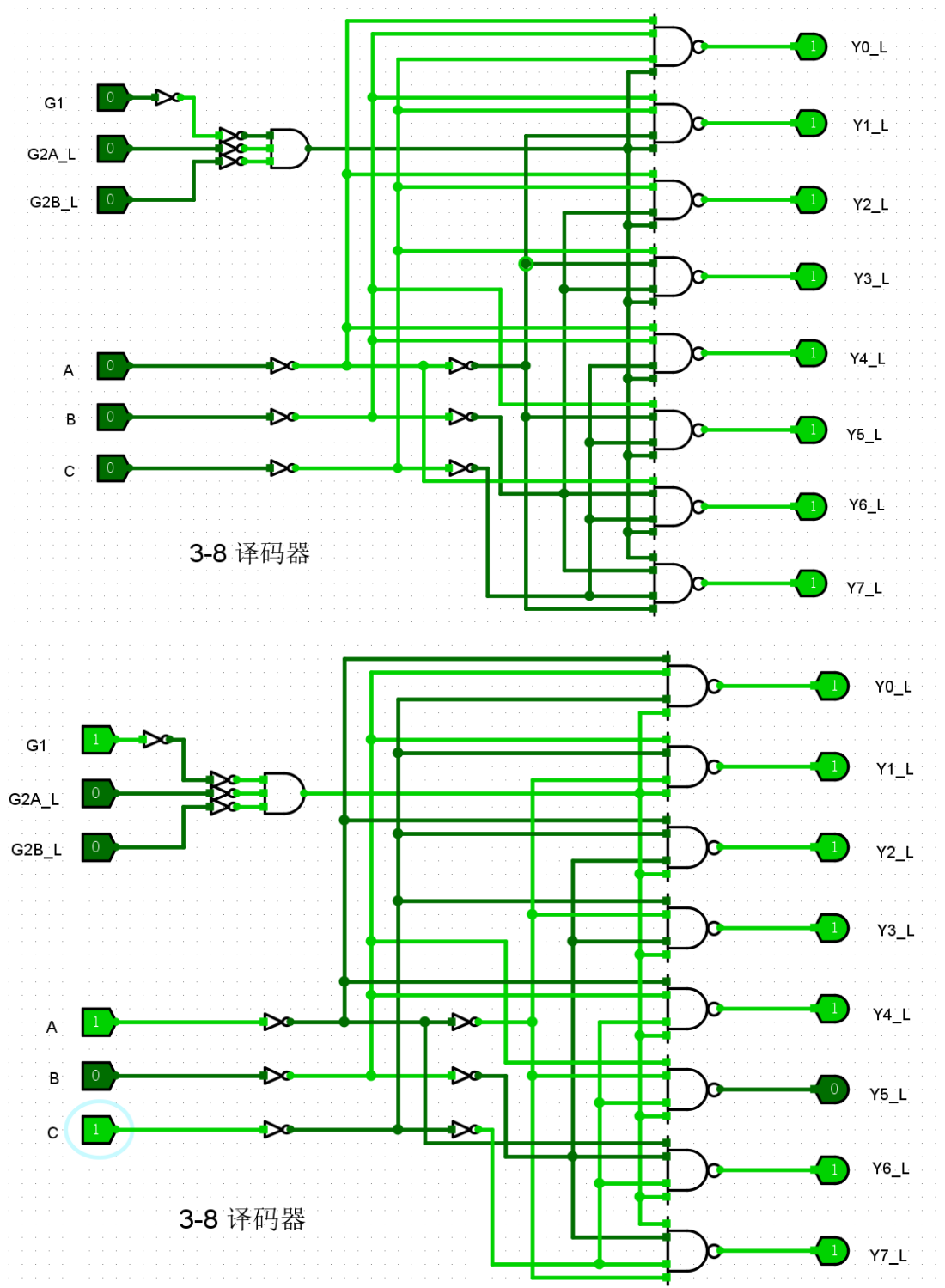
二、实验环境

Logisim 2.16.1.0

三、实验步骤

1. 设计一个由逻辑门电路构成的 3-8 译码器。

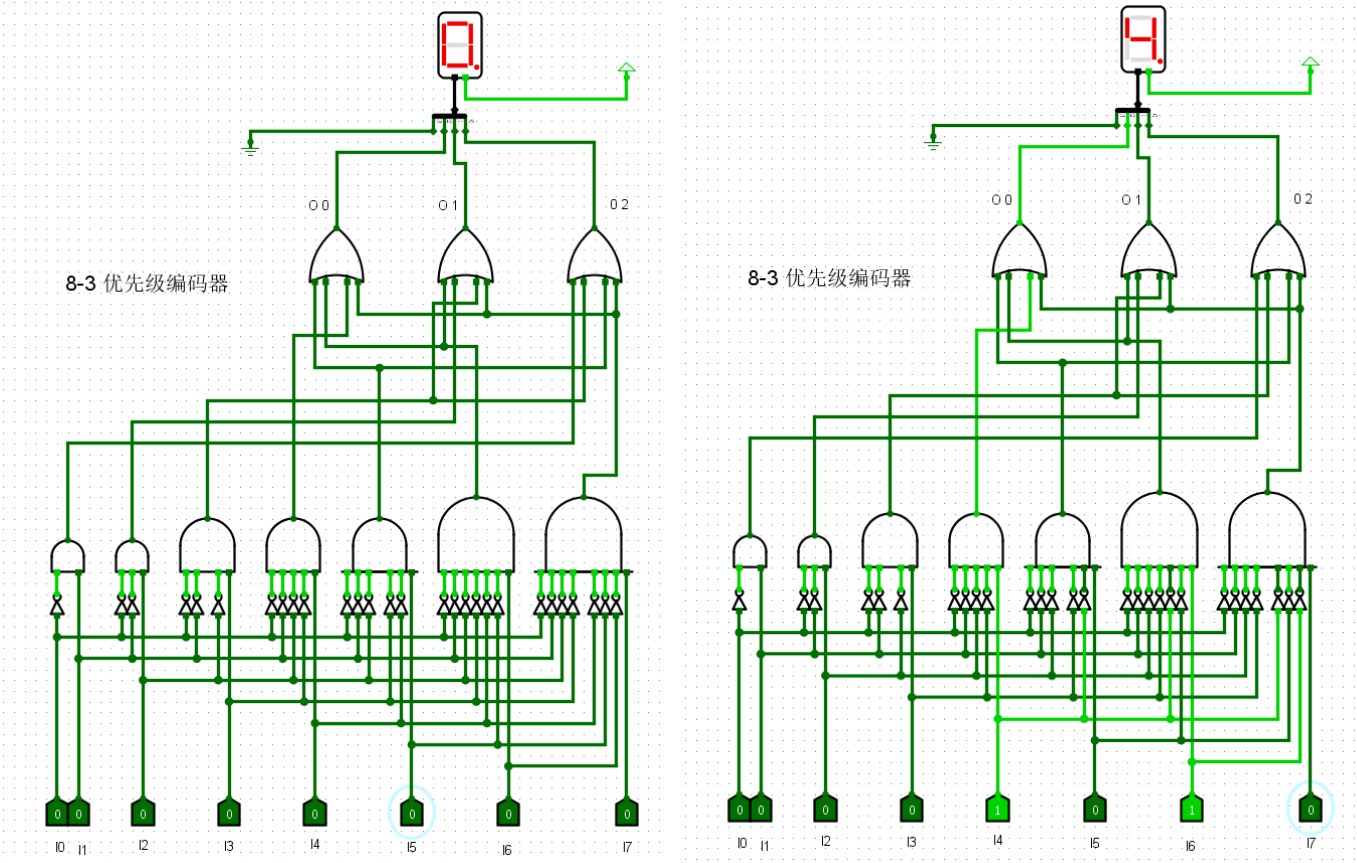
由课本第三章组合逻辑电路相关内容得知，一个 3-8 译码器的功能是将给定的三位宽数据转换为对应的门电路序号并输出，如输入为 101 时对应六号输出端输出为 1，其余为 0；此外有三个使能控制端，当且仅当使能端输入 100 时译码器工作。电路图及仿真检测图如下：



2. 设计一个由逻辑门电路构成的 8-3 优先级编码器，并将编码器连接到一个十六进制数码管，通过数码管的输出显示验证和测试电路。

8-3 优先级编码器的原理和 3-8 译码器恰好相反，是将输入端为 1 的对应

序号以三位宽二进制表示输出，其中优先级是指若同时有多个输入端为 1，取较小的数字输出。例如第 4 和第 6 位输入为 1，其余输入为 0 时，输出 100，数码显示管显示 4。电路图和仿真测试图如下：

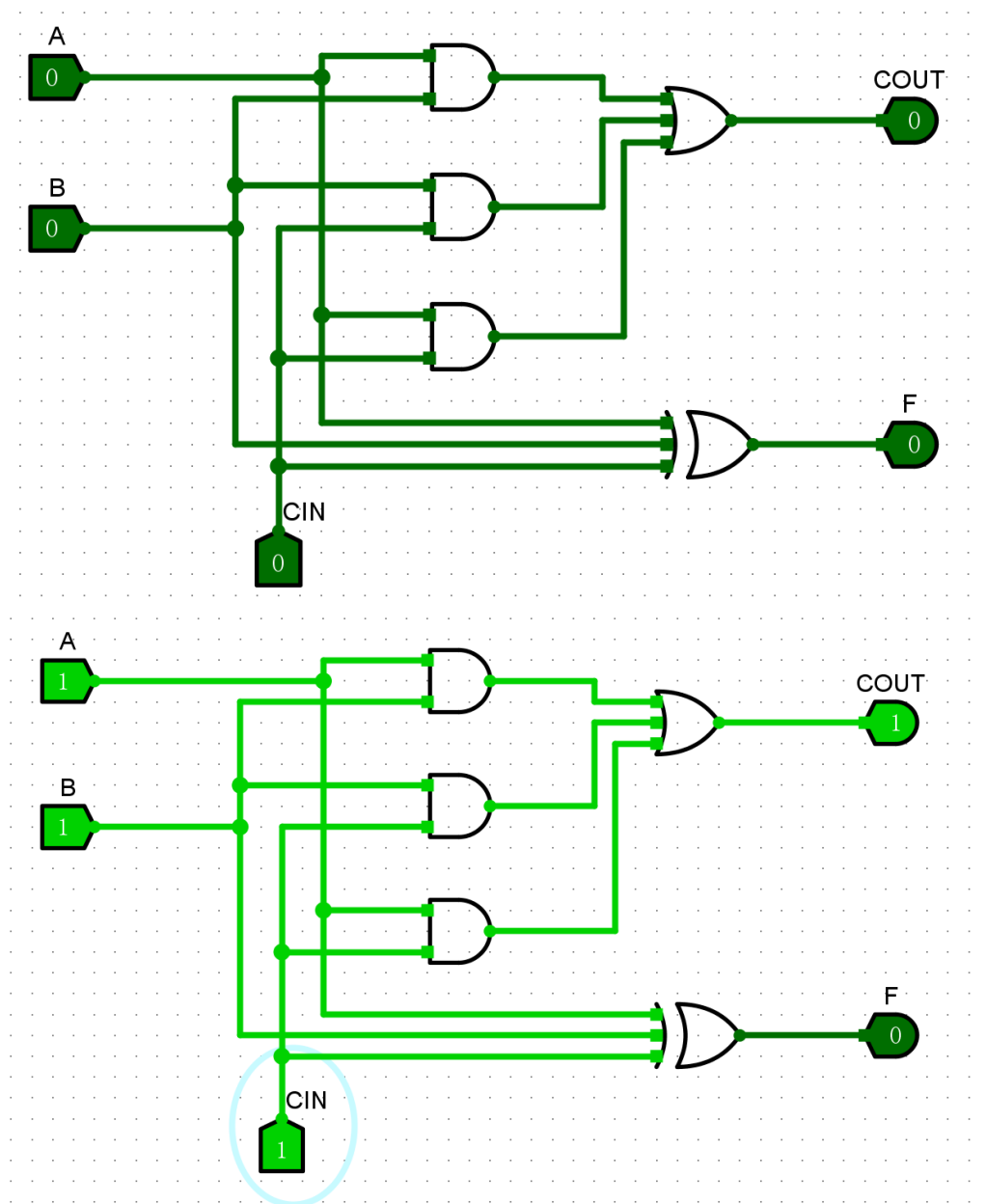


本实验中用到了十六进制数码显示管，它的功能是将给定的四位宽二进制数以数码形式显示出来，需要一个分线器；同时另一个接口用于控制小数点的显示，在本实验中可以直接连接到电源上。

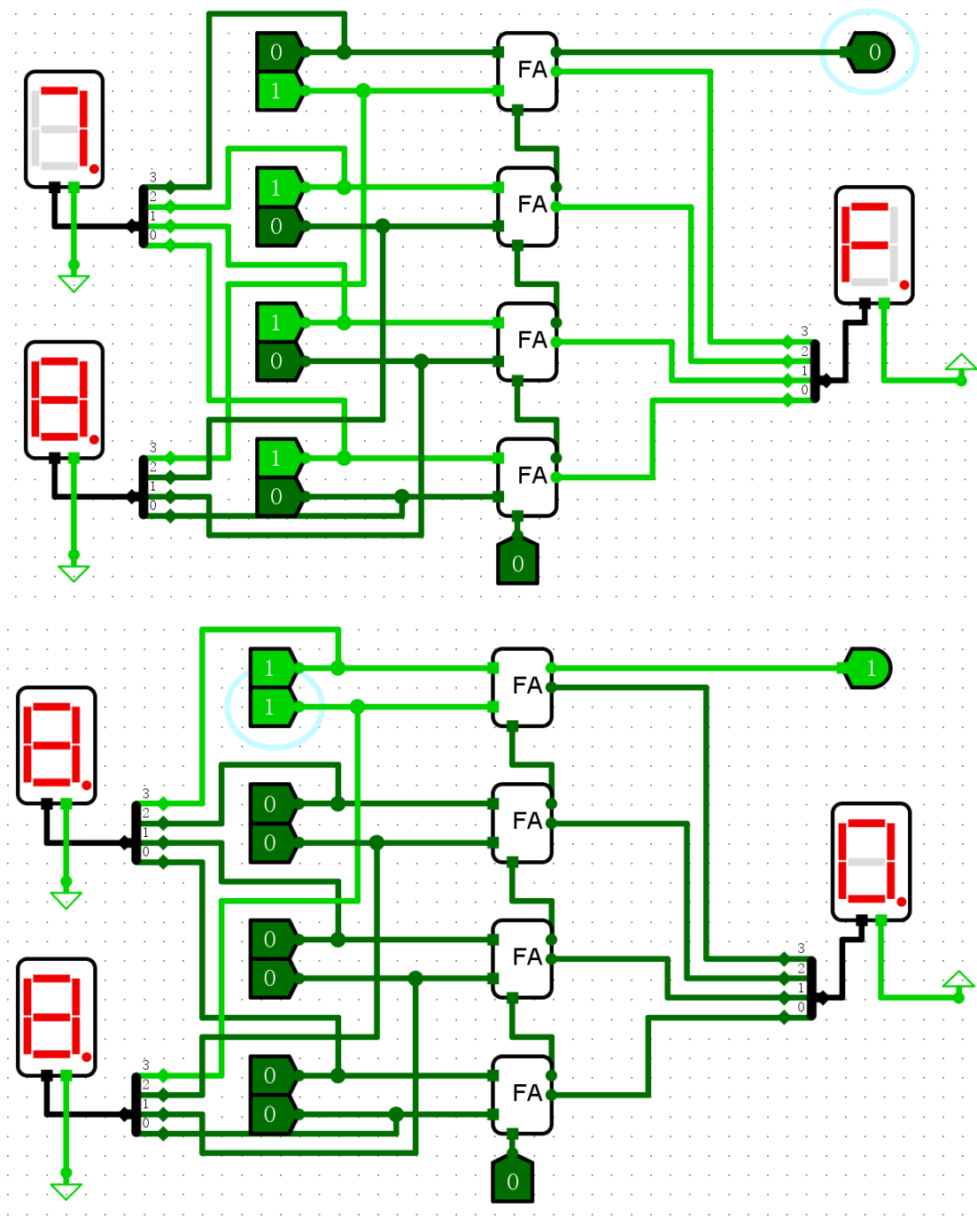
3. 设计一个全加器（FA），并在此基础上将 4 个全加器串联成一个 4 位串行进位加法器。将输入、输出分别连接到 16 进制数码显示管（Hex Digital Display）进行验证。

根据课本第三章相关内容，一位全加器用于计算两个数该位对应相加的

结果，输入端为两个数和上一位的进位，输出端 F 表示结果，Cout 表示是否向下一位进位。全加器的电路图及仿真电路测试如下：



将四个全加器 FA 级联起来便可以得到四位串行进位加法器，同时将输入和输出端连接到 16 进制数码显示管上进行验证。电路图以及仿真检测图如下：

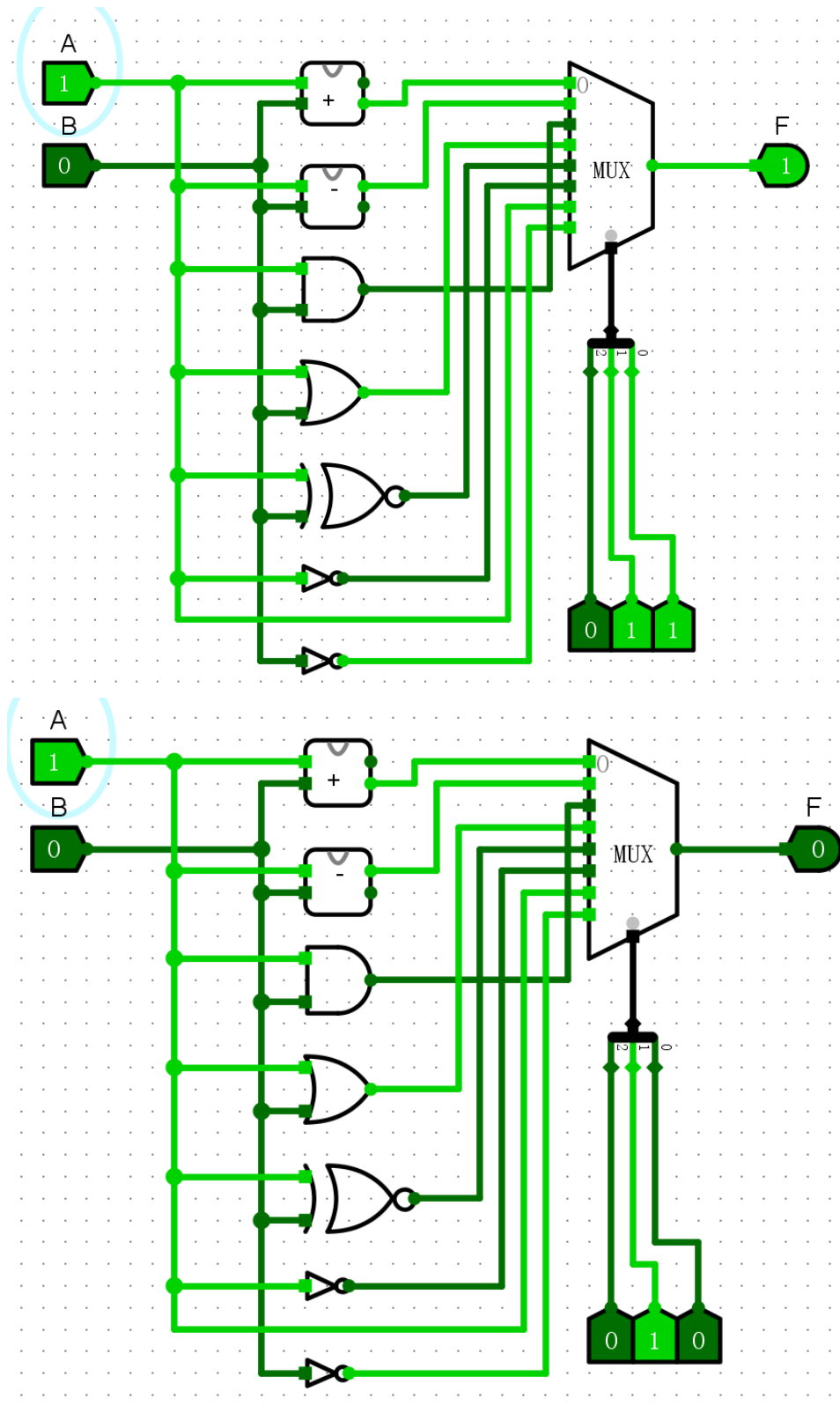


其中十六进制数码显示管以 a,b,C,d,E,F 来表示 10, 11, 12, 13, 14,

15, 结果满 16 进 1, 输出端 cout 会变为 1。

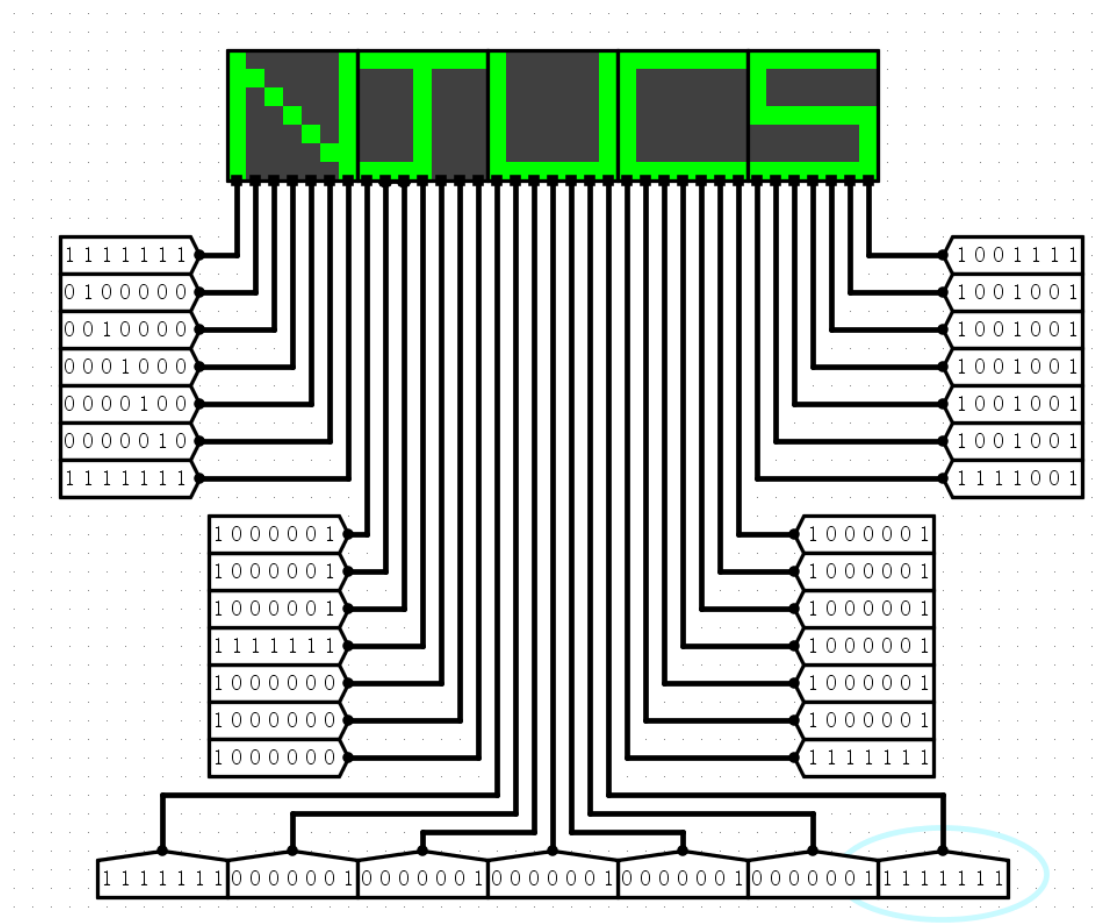
4. 设计一个一位 ALU 电路 (不考虑来自低位的进位或借位), 并对电路进行仿真测试, 以验证电路的功能。

该电路由逻辑门电路、一位加法器、一位减法器 and 八选一多路选择器构成，
可以计算一位宽数 A 和 B 之间的加减、与或、异或非、非等操作，电路图及
仿真检测图如下：



四、 思考题

1. 答：组合逻辑电路的一般设计步骤是：a.分析电路要求，根据相应要求得到真值表和逻辑表达式；b.化简逻辑表达式，分析需要用到的电路器件；c.绘制电路图并进行仿真检测验证电路功能是否正确；d.总结分析。
2. 答：适合我们目前接触到的简单电路，可以采用输出引脚观察电路中的数据，也可以将输入和输出端接入十六进制数码显示管检测结果。
3. 答：使用 LED 矩阵显示“NJUCS”的电路图如下：



答：利用 C_s 表示符号位的进位， C_p 表示最高数值位进位，在电路中增加一个异或门。若 $C_s \oplus C_p = 0$ ，无溢出；若 $C_s \oplus C_p = 1$ ，有溢出。

五、 实验总结

第二次实验与第一次相比，对课内知识的掌握和对 logisim 软件的熟悉程度

都有很大程度的提升，对组合逻辑电路设计也有了一个大概的思路，希望可以继续保持，继续时序逻辑电路的实验💪！