

第 4 章 时序逻辑电路

作业：习题 4、5、6、9、11、12

4. 假设 SR 锁存器的输入端 S 、 R 的波形如图 4.27 所示，图中信号的上升延迟和下降延迟设为 0，要求画出图 4.27 中输出端 Q 和 \overline{Q} 的输出波形。

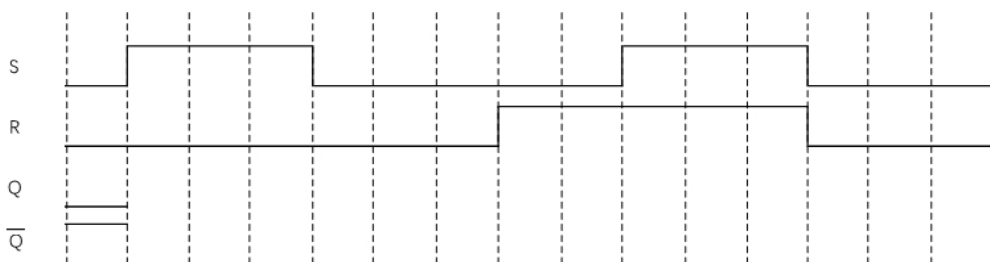
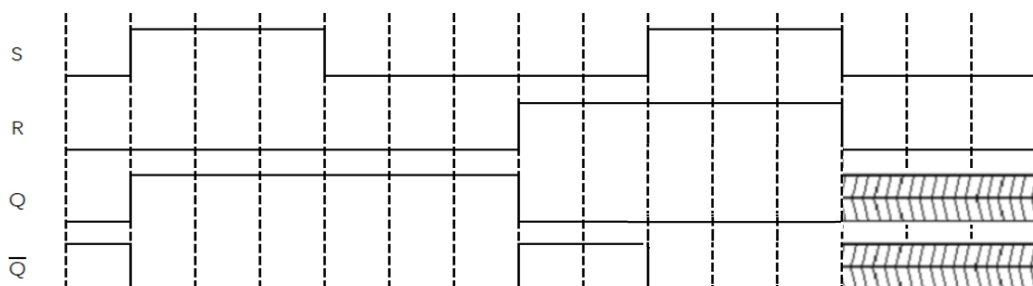


图 4.27 SR 锁存器的波形图

【分析解答】

根据 S 和 R 端的输入情况，输出端 Q 和 \overline{Q} 的输出波形如下图所示（不考虑门延迟）：



5. 假设 D 锁存器和 D 触发器的各输入端波形分别如图 4.28a 和 b 所示，图中信号的上升延迟和下降延迟设为 0，并且不考虑逻辑门的传输延迟，要求画出图 4.28a 和 b 中输出端 Q 和 \overline{Q} 的输出波形。

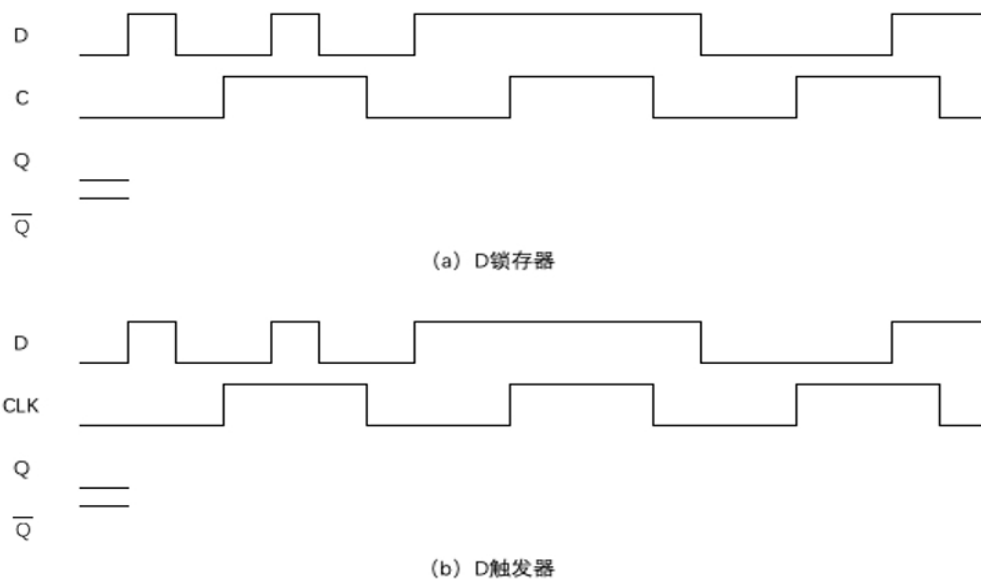
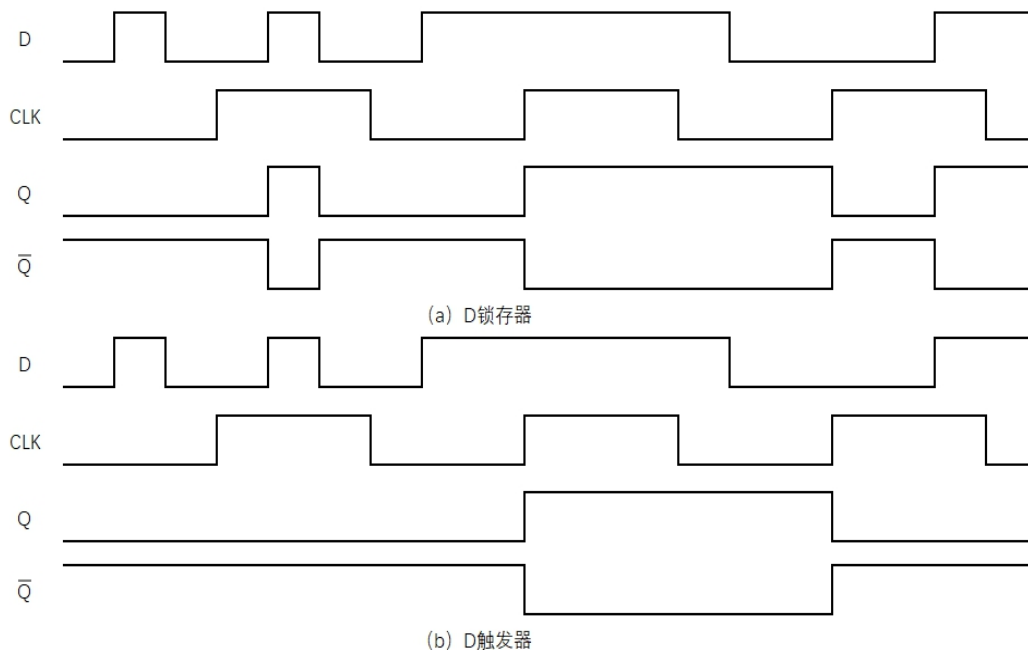


图 4.28 D 锁存器和 D 触发器的波形图

【分析解答】

假设 D 锁存器的控制端 C 为高电平有效，D 触发器是上升沿触发，则它们的输出波形图如下：



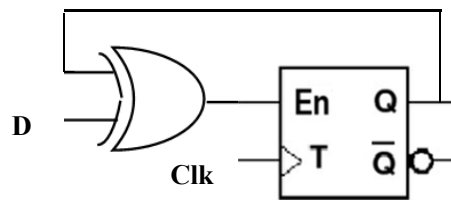
6. 请用带使能端的 T 触发器和组合逻辑构造 D 触发器。

【分析解答】

D 触发器的次态方程 $Q^* = D$ ；使能 T 触发器的次态方程为： $Q^* = \overline{EN} \cdot Q + EN \cdot \overline{Q}$ 。

根据这两个次态方程得到以下表中的结果：

Q	D	Q*	EN
0	0	0	0
0	1	1	1
1	0	0	1
1	1	1	0



由此可以推得： $EN = \bar{D} \cdot Q + D \cdot \bar{Q}$ 。（也可以由 $z = x \oplus y \rightarrow x = z \oplus y \rightarrow y = z \oplus x$ 推出）

9. 请用尽量少的 D 触发器实现一个能检测输入信号 X 中是否出现“110”序列的电路。

若出现“110”序列，则输出 Z 为 1，否则 Z 为 0。请分析你实现的电路是否能够自启动。如果 D 触发器的个数没有限制，你是否有更简洁的实现方案？

【分析解答】

根据题意设计如下状态表：

现态 Y	次态 Y^* /输出 Z	
	$X=0$	$X=1$
S_0 （初态）	$S_0 / Z=0$	$S_1 / Z=0$
S_1 （检测到第一位 1）	$S_0 / Z=0$	$S_2 / Z=0$
S_2 （检测到两位 11）	$S_0 / Z=1$	$S_2 / Z=0$

根据次优状态分配策略，三个状态都有编码相邻的需求，设置 S_0 为 $Y_0Y_1=00$ ， S_1 为 01， S_2 为 10 编码。得到如下状态转换表：

状态转移表			
Y_0	Y_1	X	$Y_0^*Y_1^*Z$
0	0	0	0 0 0
0	0	1	0 1 0
0	1	0	0 0 0
0	1	1	1 0 0
1	0	0	0 0 1
1	0	1	1 0 0
1	1	0	d d d
1	1	1	d d d

利用无关项进行化简，可得如下次态函数：

$$Y0^* = X \cdot Y1 + X \cdot Y0 = X \cdot (Y1 + Y0)$$

$$Y1^* = X \cdot \overline{Y0} \cdot \overline{Y1}$$

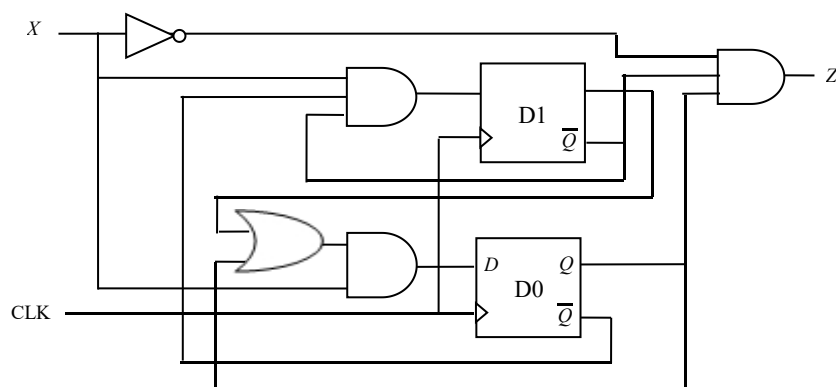
$$Z = \overline{X} \cdot Y0$$

考察状态变化情况：当电路处于 11 状态时，若 $X=0$ ，则经过一个时钟周期，电路状态回到初态 00。若 $X=1$ ，则经过一个时钟周期，电路变成 10（S2）状态，此时若再输入 $X=1$ ，则出现两个连续的 1，变成 S2 状态，状态变化正确；若再输入 $X=0$ ，则经过一个时钟周期，回到初态 00。

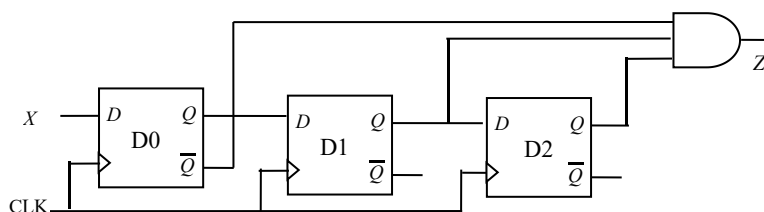
考察输出 Z 的情况：当电路处于 11 状态时，若 $X=0$ ，则输出 $Z=1$ ，输出错误。因此，输出逻辑应调整为：

$$Z = \overline{X} \cdot Y0 \cdot \overline{Y1}$$

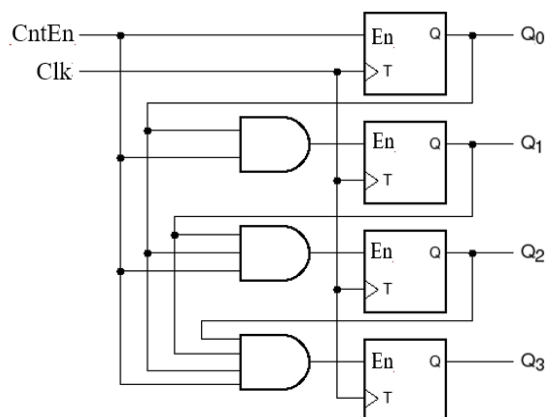
得到电路图如下所示：



如果触发器数目没有限制，可以通过增加一个触发器来简化组合逻辑设计。其实现如下所示：



11. 假设图 4.20 所示的 4 位同步并行加法计数器中 T 触发器的信号传输延迟是 T_{tq} ，与



门的传输延迟为 T_{and} ，T 触发器 En 信号的建立时间是 T_{setup} ，请计算该计数器外部时钟 Clk 的最大工作频率。

【分析解答】

由时序逻辑电路的时序分析可知：

时钟周期 $t_{\text{clk}} > \text{触发器锁存延迟 } t_{\text{fipd}} + \text{次态激励延迟 } t_{\text{nspd}} + \text{触发器建立时间 } t_{\text{setup}}$

根据题意可知： $t_{\text{fipd}} = T_{\text{tq}}$ ， $t_{\text{nspd}} = T_{\text{and}}$ ， $t_{\text{setup}} = T_{\text{setup}}$ 。

因此可知，该计数器最大工作频率为：

$$1 / (T_{\text{tq}} + T_{\text{and}} + T_{\text{setup}})$$

12. 将图 4.25 所示的右移一位寄存器中 Q_3 和 Q_2 异或后送入输入端 X ，可构成一个线性反馈移位寄存器计数器。请分析该设计中 $Q_3Q_2Q_1Q_0$ 构成的状态编码转移情况，并分析总结其特点。

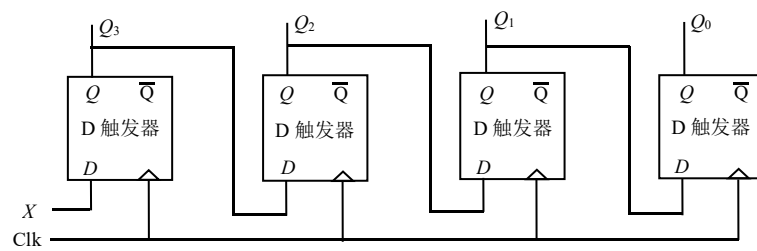


图 4.25 右移一位寄存器

【分析解答】

$Q_3Q_2Q_1Q_0$ 编码状态转移的情况如下：

0000 → 0000;

0001 → 0000;

0010 → 0001 → 0000;

0011 → 0001 → 0000;

0100 → 1010 → 1101 → 0110 → 1011 → 1101

0101 → 1010

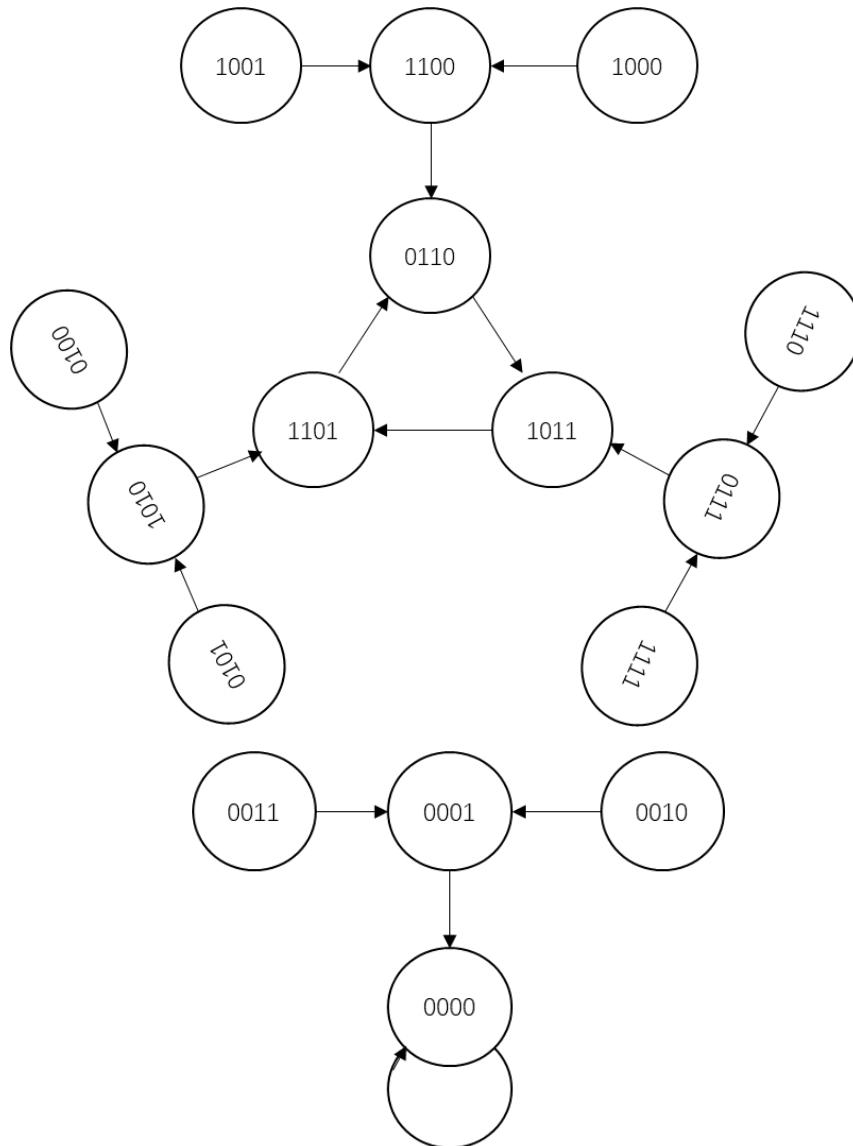
1000 → 1100 → 0110

1111 → 0111 → 1011

1001→1100

1110→0111

用编码对应的数字表示状态符号，其状态图如下所示：



图中有两个工作循环，一个是三状态，一个单状态。其它状态都会在有限个时钟周期后，进入工作循环中。