

实验 3：同步时序电路设计实验

姓名：孙文博 学号：201830210

一、实验目的

- 1、掌握时序逻辑电路设计的基本方法；
- 2、学会利用锁存器和触发器构建计数器和移位寄存器的方法；
- 3、熟悉计数器和移位寄存器的应用；
- 4、掌握寄存器堆的设计方法。

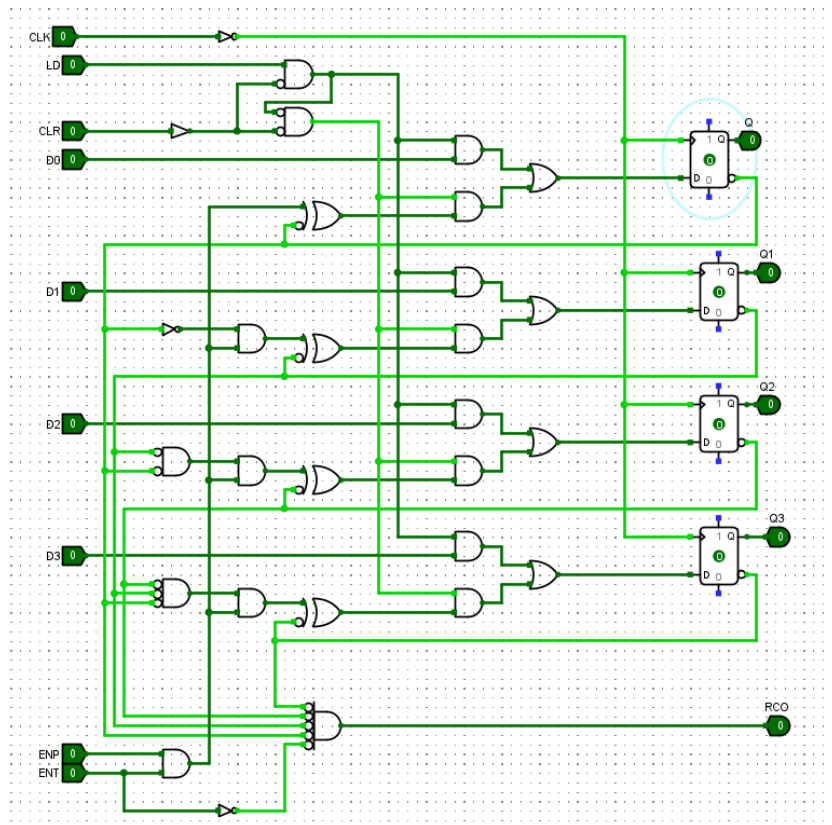
二、实验环境

Logisim 2.16.1.0

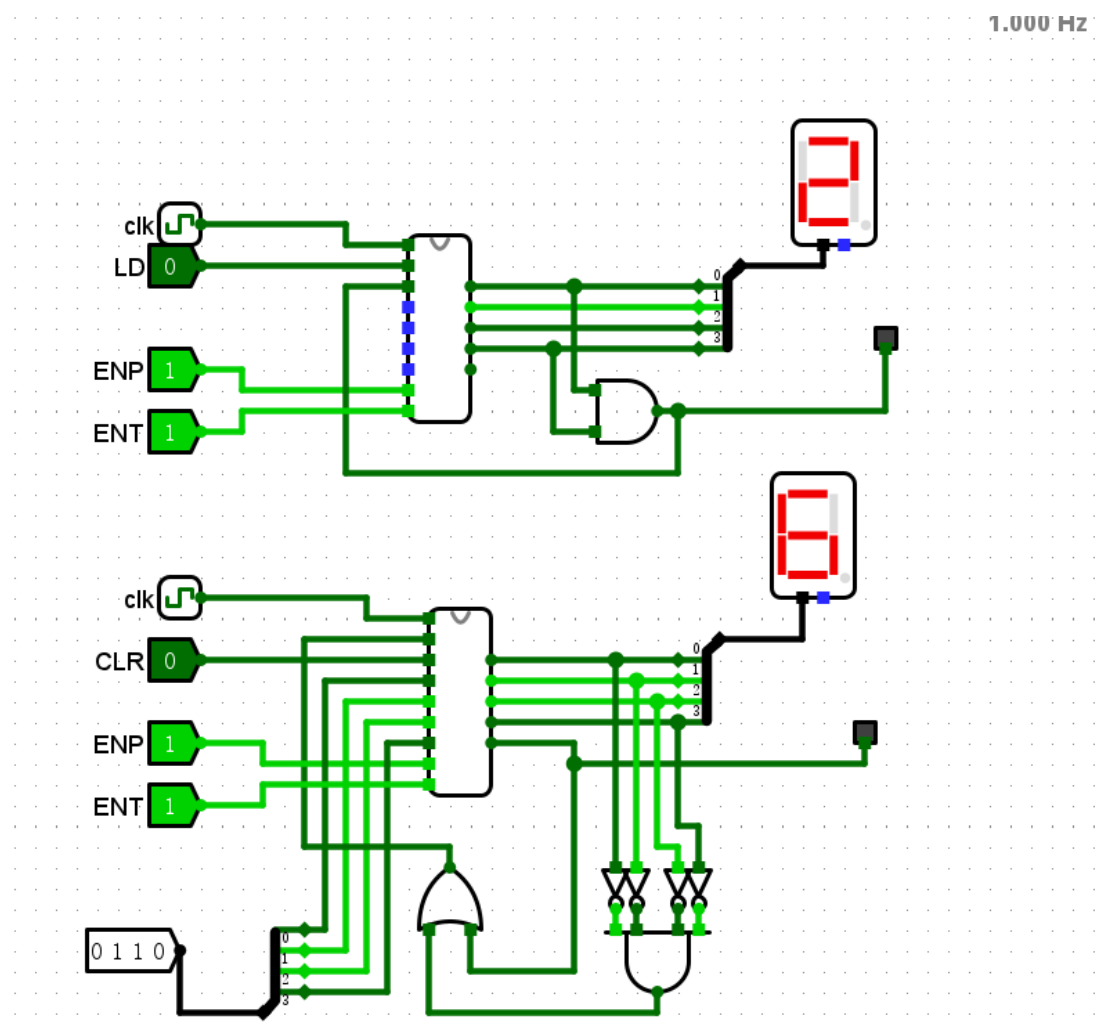
三、实验步骤

1. 构建一个四位同步二进制计数器 CNTR4U 子电路，利用该子电路和少量门电路，分别通过清零和置位端各设计一个十进制计数器。

四位同步二进制计数器由四个 D 触发器串联而成，根据课本设计的电路图如右图所示，其中 CLR 是清零端，LD 是置位端，可将输出置为当前 D3D2D1D0 的值，ENT 和 ENP 是使能端，同为 1 时可实现计数功能（在每个时钟上升沿触发）：



根据该计数器设计的十进制计数器，其中第一个计数器在输出为 9（二进制表示为 1001）时触发清零端 CLR 为 1，当下一个时钟周期到来时清零，从而实现 0~9 的计数；第二个计数器在输出为 0 或 15（1111）时会触发置位端 LD，将输出置为 6（0110），从而实现 6~15 的计数，设计的电路图及仿真测试如下：

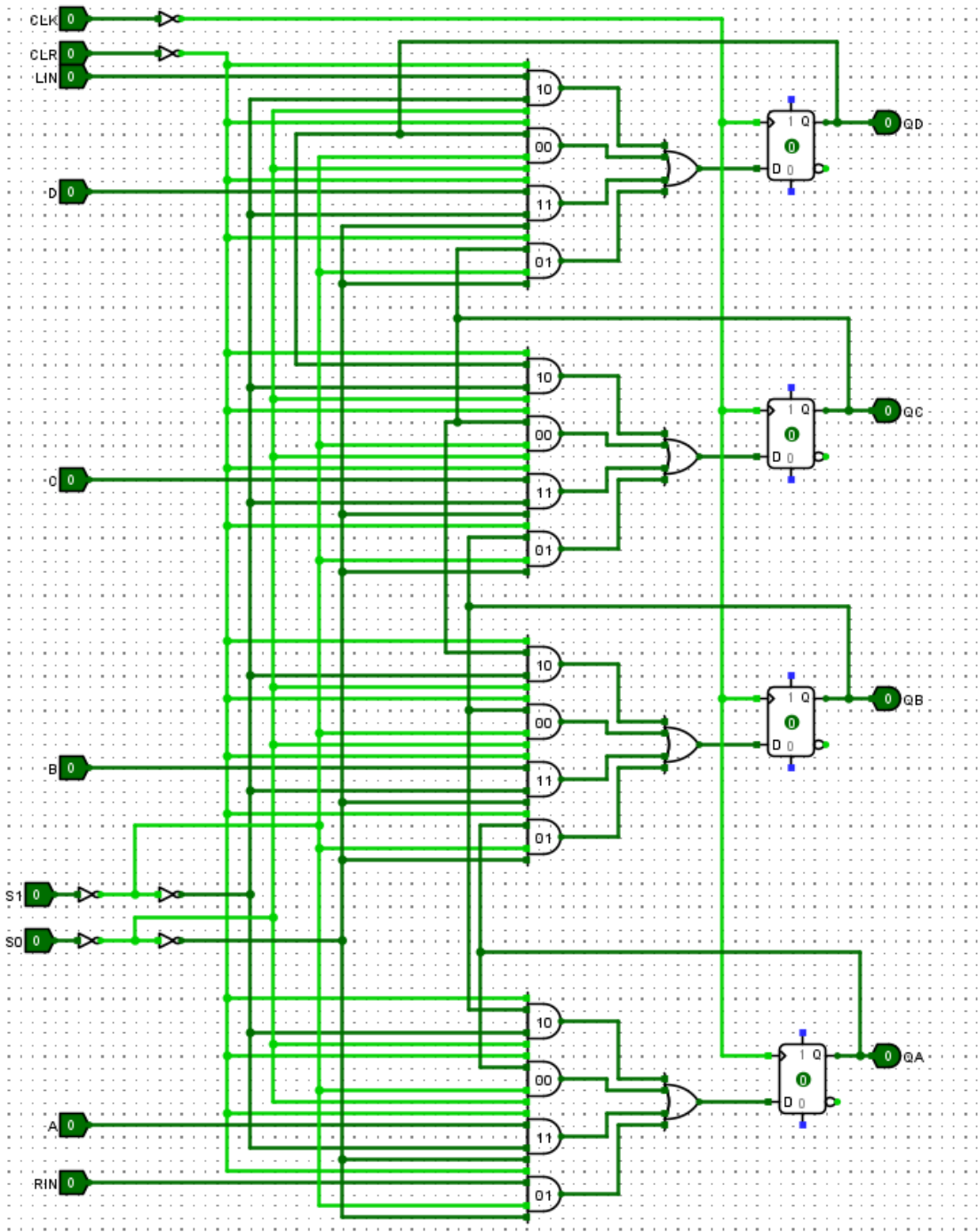


值得一提的是，在完成这个任务时发现了 logisim 软件的时钟连续功能，可以在设定频率下自动进行仿真模拟。

2. 构建 4 位通用移位寄存器 SHRG4U 子电路，利用该子电路和少量门电路重生成二进制序列 “000100110101111”。

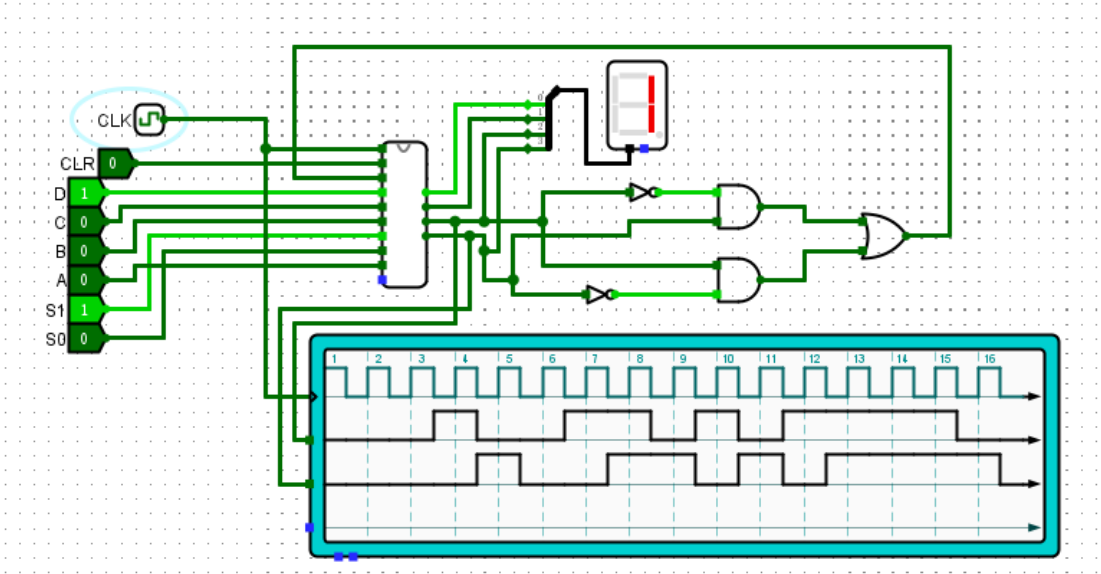
根据电路图不难设计出一个四位移位寄存器，其中 CLR 端是清零端，S1 和 S0 两个开关分别控制保持（00）、左移（10）、右移（01）、存储（11）四个功

能，ABCD 是存储时输入的四位二进制数，LIN 和 RIN 分别是左移和右移时输入的数，设计电路图如下：



为了重复生成给定序列，需要先装载（Load 功能）一个初始值，如起始四位数 0001，接着设置为左移或右移模式（给出了实现左移的演示电路图），将输出信号作为左移输入端重复进行即可得到二进制序列“000100110101111”,对应的伪

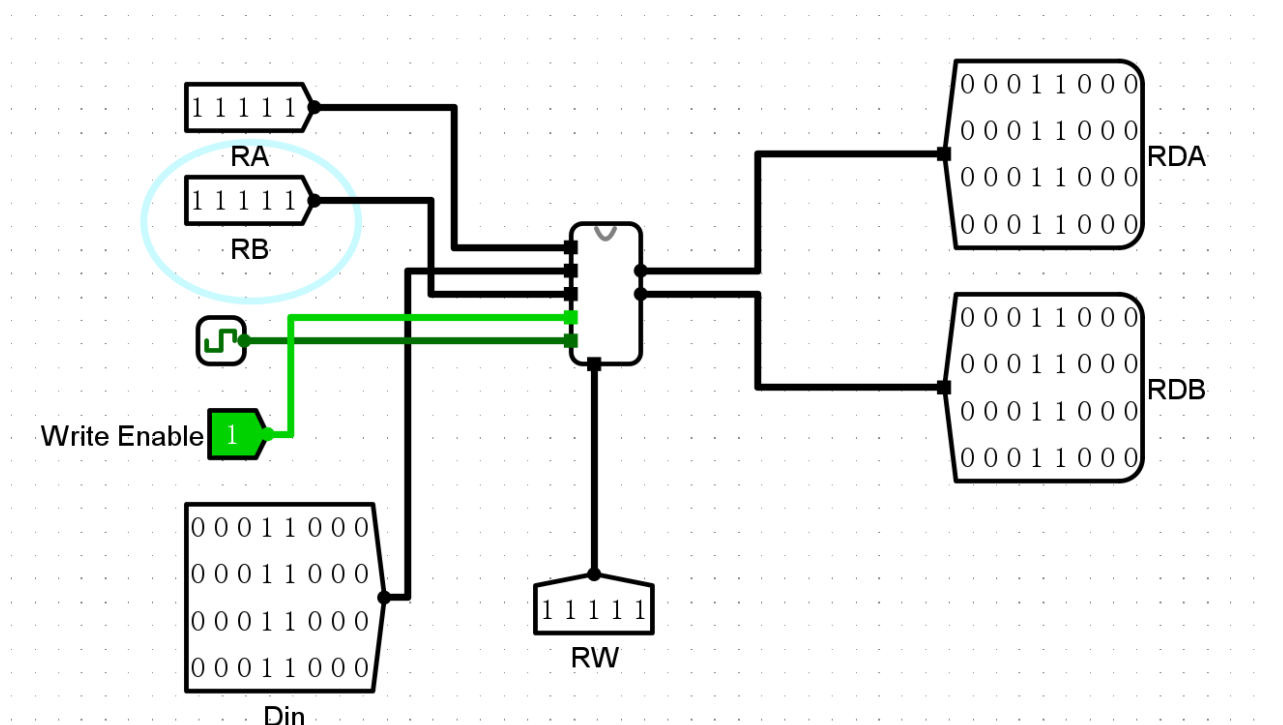
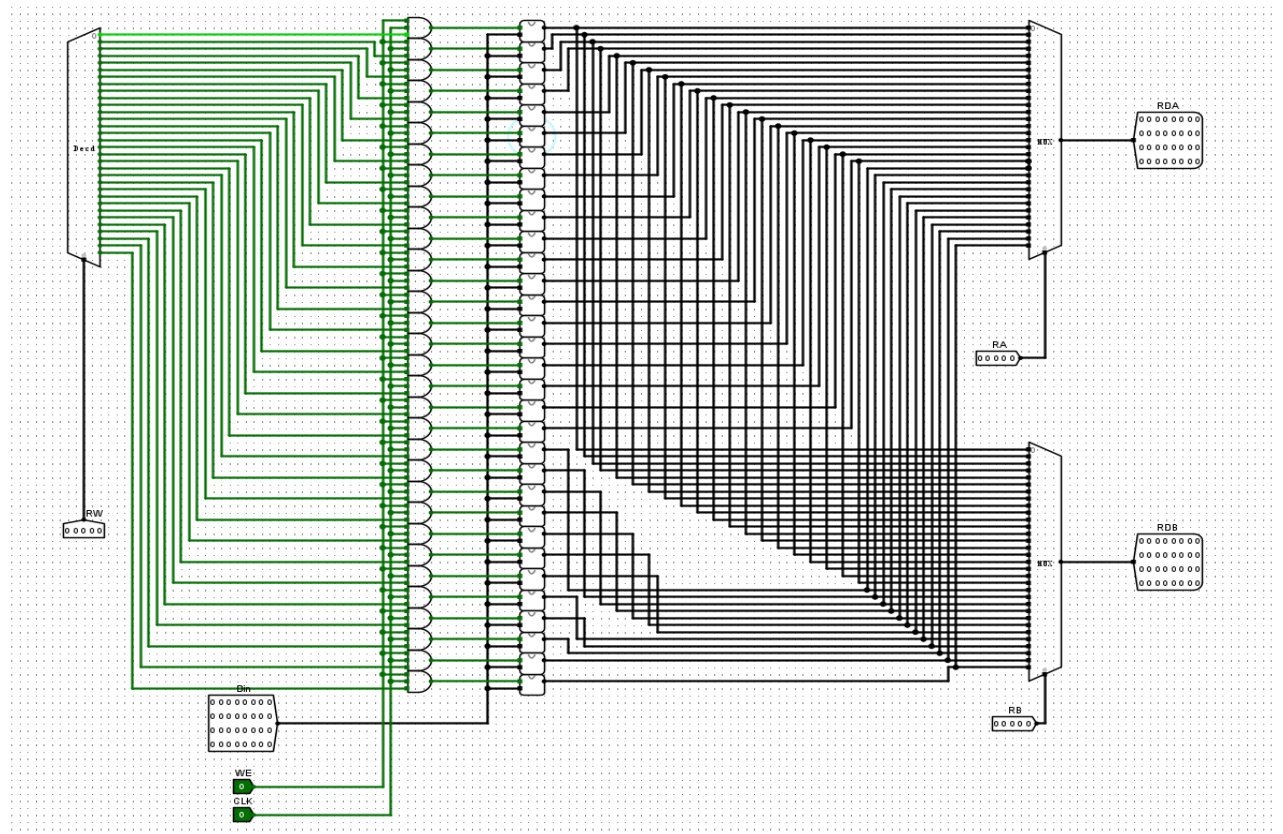
随机数为 124936da5b7f，仿真电路测试图如下：



3. 构建一个至少含有 8 个 32 位寄存器堆 Regfile 的读写电路，要求有两个读口，一个写口，能够在时钟信号有效时写入数据到指定寄存器，能够随时读取任何一个寄存器的数据。

单个寄存器由已有寄存器器件实现，通过两个 MUX 多路选择器（用于根据读入的地址 RA,RB 输出对应编号的寄存器）和一个译码器（用于根据读入的写入地址 RW 写入对应编号的寄存器）将 32 个寄存器连接起来，通过 WE（write enable 写使能端口）和时钟控制写入端，实现的寄存器堆电路图和仿真检测图

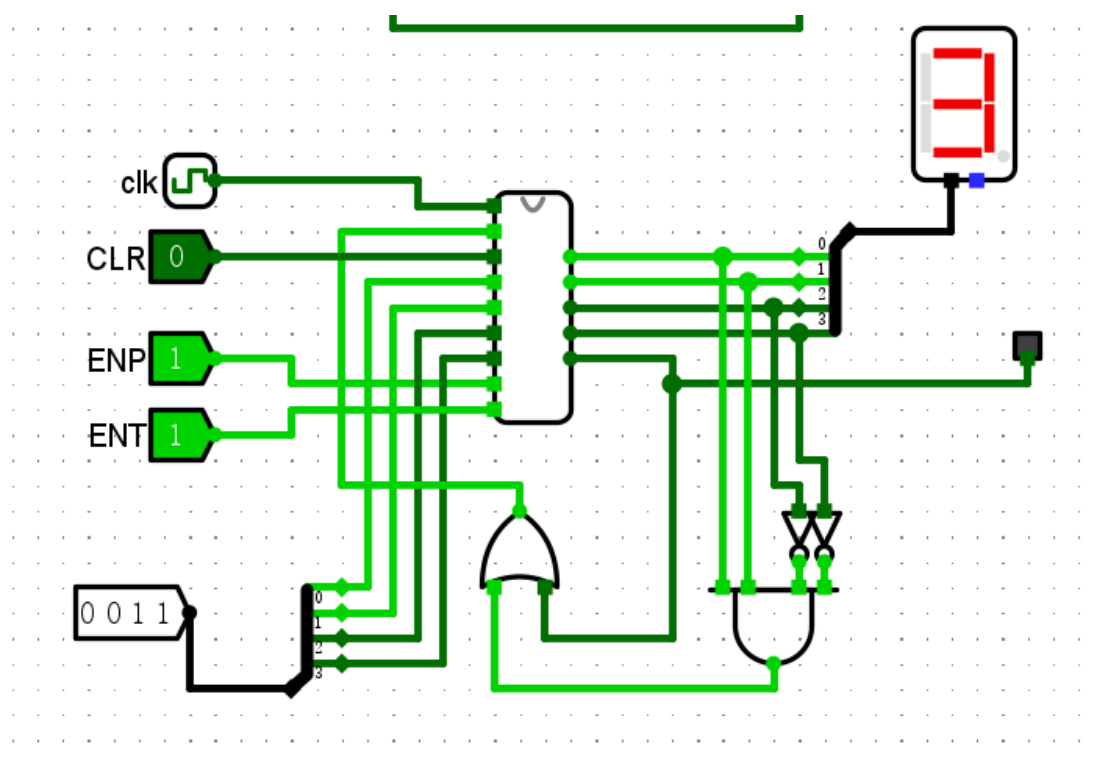
如下：



四、 思考题

1. 答： 任务一中演示的 6~15 计数器已经可以实现任意初始值开始的十进制

计数器，只需将置位端修改为指定起始值、置位端的触发改为对应结束值即可，如改为 3~12 计数器,电路图如下：



2. 答：利用两片 CNTR4U 分别作为六十进制计数器的高位和低位，分别与数码管连接。把其中的一个通过一个与门器件构成一个十进制计数器，另一个芯片构成六进制计数器。十进制计数器（个位）和六进制计数器（十位）均采用反馈清零法利用两个 CNTR4U 芯片构成。
3. 答：在读入写入地址 RW 之后加入一个判断电路，若地址为 00000（0 号寄存器）则不进行写入操作，即可保持 0 号寄存器一直为 0。
4. 答：可利用 74LS194 芯片实现。

五、实验总结

第三次实验的任务量和难度都有很大提升，要求对课内知识的掌握的基础上加入自己的理解和设计。做完之后对时序逻辑电路有了更加清晰的认识，今后的实验需要再接再厉！