



数电实验一: 选择器

课程名称: 数字逻辑与计算机组成实验

姓名: 孙文博

学号: 201830210

班级: 数电一班

邮箱: \_\_\_\_201830210@smail.nju.edu.cn\_\_

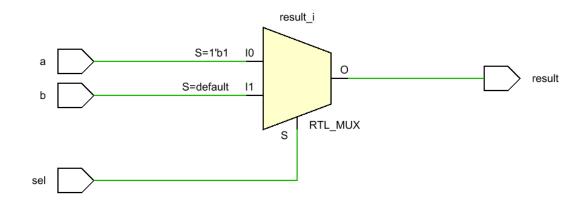
2022年3月3日

## 一、实验目的

本实验中使用 Verilog 语言依次模拟实现二选一多路选择器、四选一多路选择器和二位四选一多路选择器,并通过 Quartus 软件进行仿真模拟,最后上板验收,从而达到熟悉 Quartus 的使用和电路设计的基本流程的目的。

### 二、实验原理

选择器是数字逻辑系统的常用电路,是组合逻辑电路中的主要组成元件之一,它是由多路数据输入、一位或多位的选择控制端和一路数据输出所组成的。多路选择器从多路输入中,选取其中一路将其传送到输出端,并由选择控制信号决定输出的是第几路输入信号。例如,一个二选一选择器的 RTL 电路如下图:



# 三、实验环境

### 1. 软件环境:

设计\编译环境: Quartus (Quartus Prime 17.1) Lite Edition

### 2. 硬件环境:

开发平台: DE10-Standard.

FPGA 芯片: Cyclone II 5CSXFC6D6.

# 四、实验过程

#### 1. 二选一多路选择器

首先我们考虑设计一个 2-1 MUX 电路,有 3 个输入端 a,b,s,一个输出端 y。其中 s 是选择端,选择两个输入中的其中一个输出。当 s 为 0 时, y 的输出值为 a; 当 s 为 1 时, y 的输出值为 b。

利用 Verilog 语言实现的 2-1 MUX 逻辑电路如下图:

图 1: 2-1MUX

设计激励代码,对我们设计的选择器进行仿真模拟,使用 ModelSim 软件得到的仿真波形图如下:

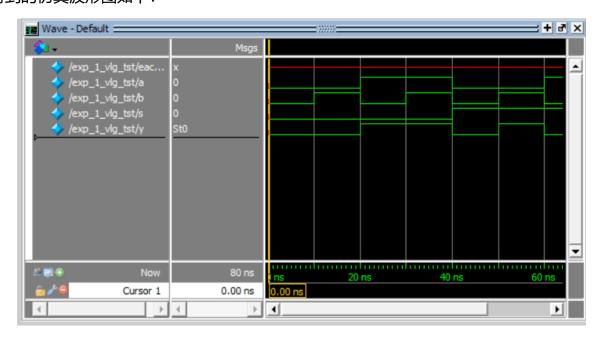


图 2: 2-1 MUX 仿真

由图中可以看出, 当 s=0 时, y=a, 即 y 随着 a 的值改变而改变, 此时的 b 值无论如何改变都不影响 y 的值。当 s=1 时, y=b, 即 y 随着 b 值的改变而改变, 此时的 a 值无论如何改变都不影响 y 的值。这样的电路即达到了我们的要求。

#### 2. 四选一多路选择器

仿照二选一选择器的设计过程,我们可以进一步设计出四选一多路选择器。 4-1 MUX 增加了两个输入端和一个选择端,我们使用 Verilog 中的 case 语法 模拟实现 4-1 MUX 的电路如下:

```
// 4选1选择器
 2
 3
      module exp_1(a,s,y);
 4
         input [3:0] a;
 5
         input [1:0] s;
 6
         output reg y;
 7
 8
         always @ (*)
 9
             case(s)
    0: y=a[0];
10
                1: y=a[1];
11
                2: y=a[2];
3: y=a[3];
12
13
                default: y=1'b0;
14
15
             endcase
16
      endmodule
17
```

图 3: 4-1MUX

同样地,我们添加仿真测试,使用 ModelSim 软件进行仿真模拟如下:

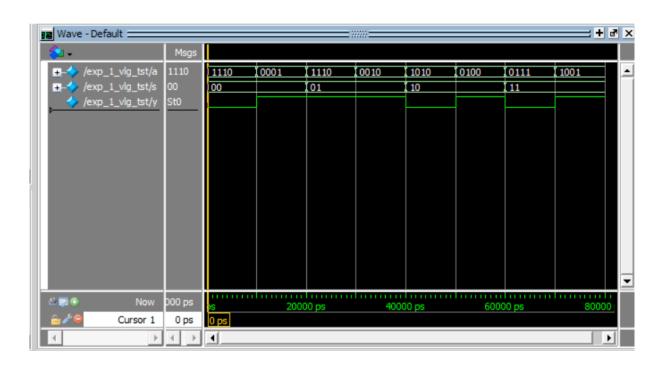


图 4: 4-1MUX 仿真

从图上可以清楚的看出当选择端选定某一输入端时,其他输入端的值不改变输出端的值。有了以上基础,我们便可以进行头歌平台测试及上板验收了。

# 五、实验结果

### 1. 头歌平台

接下来我们要实现一个两位的 4-1MUX, 在之前的一位选择器的 Verilog 代码上进行修改, 并在头歌平台上检测:

### 

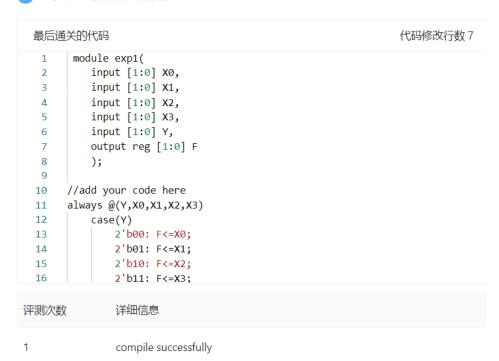


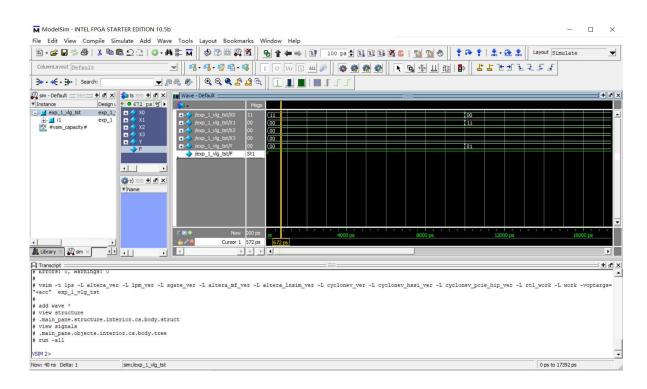
图 5: 头歌平台检测

### 2. 上板验收

我们将 Verilog 设计语言导入 Quartus 工程中,并使用 ModelSim 进行仿真模拟,得到的结果如下:

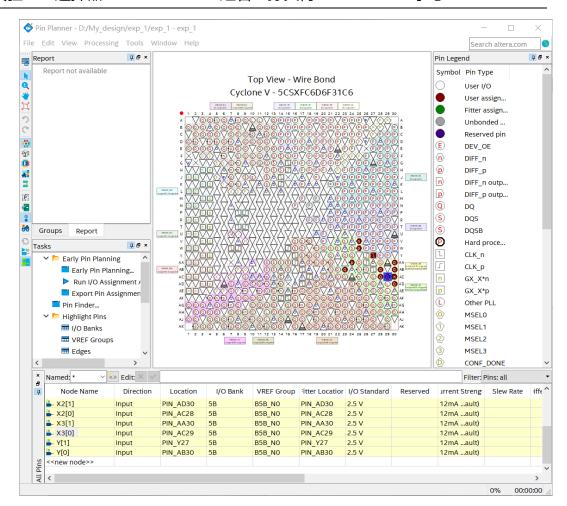
```
// 4选1选择器
1
2
3
     module exp_1(X0,X1,X2,X3,Y,F);
         input [1:0] X0;
4
5
6
7
8
9
L0
         input [1:0] X1;
         input [1:0] X2;
         input [1:0] X3;
         input [1:0] Y;
         output reg F;
1
         always @ (*)
L2
             case(Y)
    L3
                0: F=X0;
                1: F=X1;
L4
L5
                2: F=X2;
L6
L7
                3: F=X3;
default: F=2'b00;
L8
             endcase
L9
20
     endmodule
```

图表 6: 2 位 4-1MUX



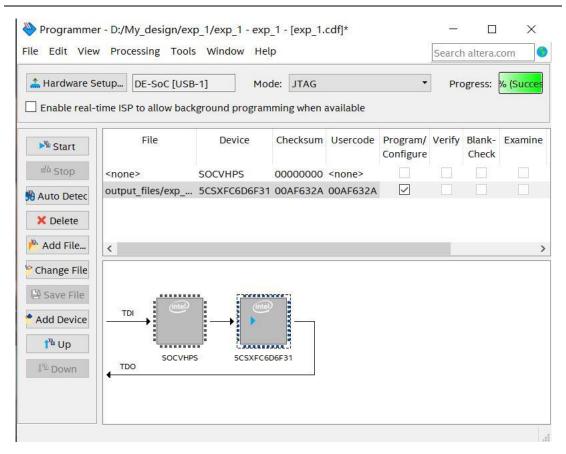
图表 7: 仿真测试

然后根据实验手册要求分配引脚,其中开发板上的 SW0 和 SW1 作为控制端 Y,SW2—SW9 作为四个两位数据输入端 X0-X3,而两位的输出端 F 接到发光二极管 LEDR0 和 LEDR1 上显示输出,查阅用户手册分配结果如下:



图表 8: 引脚分配

最后将我们烧录好的电路文件下载到 FPGA 实验芯片上,使用开发板验证电路:



图表 9: 配置芯片

最后上板验收,实验成功!

# 六、总结与反思

本次实验是我们第一次上板验收实验,目的在于帮助我们熟悉 Verilog 语法及 Quartus 环境的搭建,同时学会如何利用开发板测试结果,实验过程中并没有遇到太大问题,希望接下来的实验可以再接再厉!