

## 第3章 组合逻辑电路

作业：习题 3、4、6、7、9、11

3. 写出图 3.34 所示电路对应的逻辑表达式。

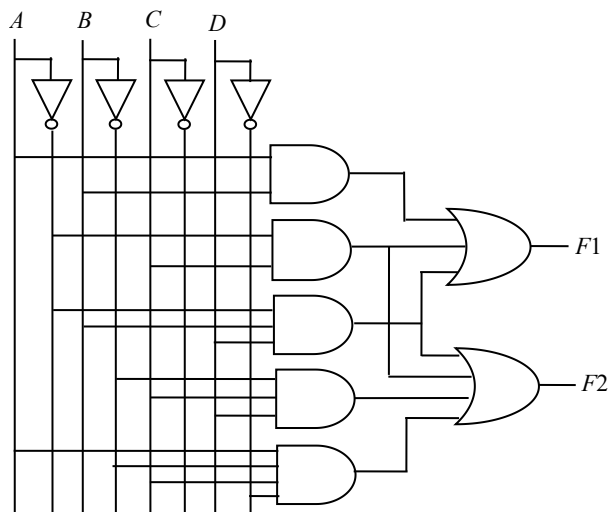


图 3.34 习题 3 所用组合逻辑电路

【分析解答】

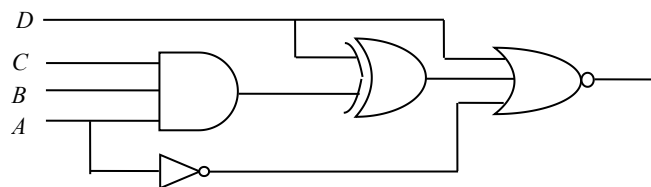
$$F1 = A \cdot B + \overline{A} \cdot C + \overline{A} \cdot B \cdot D$$

$$F2 = \overline{A} \cdot B \cdot D + \overline{A} \cdot C + \overline{B} \cdot C \cdot D + A \cdot \overline{B} \cdot C \cdot \overline{D}$$

4. 假定输出  $F$  的逻辑表达式为  $\overline{A \cdot B \cdot C \oplus D + \overline{A} + D}$ ，画出对应的逻辑电路图，并将该逻辑表达式转换成与-或表达式后，画出对应的两级组合逻辑电路图。

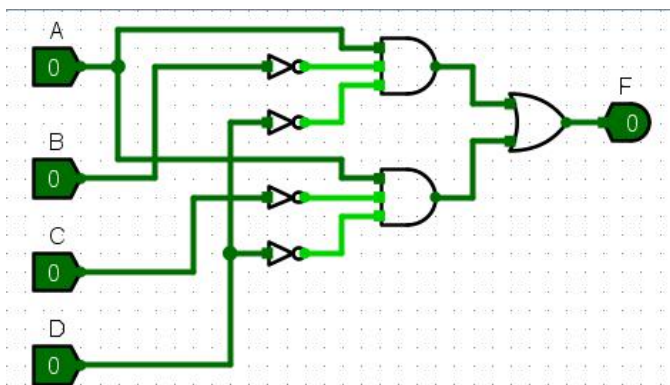
【分析解答】

异或运算的优先级高于或运算，但低于与运算。输出  $F$  对应的逻辑电路图如下。



输出  $F$  转换为与-或表达式为： $F = A \cdot \overline{B} \cdot \overline{D} + A \cdot \overline{C} \cdot \overline{D}$

与-或表达式对应的逻辑电路图如下：



6. 假定一个优先权编码器的输入端为  $I_0, I_1, \dots, I_7$ , 输出端为  $O_0, O_1, O_2$  和  $Z$ , 8 个输入端构成一个 8 位二进制数  $I_0I_1I_2I_3I_4I_5I_6I_7$ , 3 个输出端  $O_0, O_1, O_2$  构成一个 3 位二进制数  $O_0O_1O_2$ . 若输入二进制数  $I_0I_1I_2I_3I_4I_5I_6I_7$  为 0, 则输出二进制数  $O_0O_1O_2$  为 0,  $Z$  为 1; 否则, 若输入二进制数  $I_0I_1I_2I_3I_4I_5I_6I_7$  中最左边的 1 所在位为  $I_i$ , 则输出二进制数  $O_0O_1O_2$  的值为  $i$ ,  $Z$  为 0。请用与非门设计该优先权编码器电路, 并说明优先级顺序是什么。

### 【分析解答】

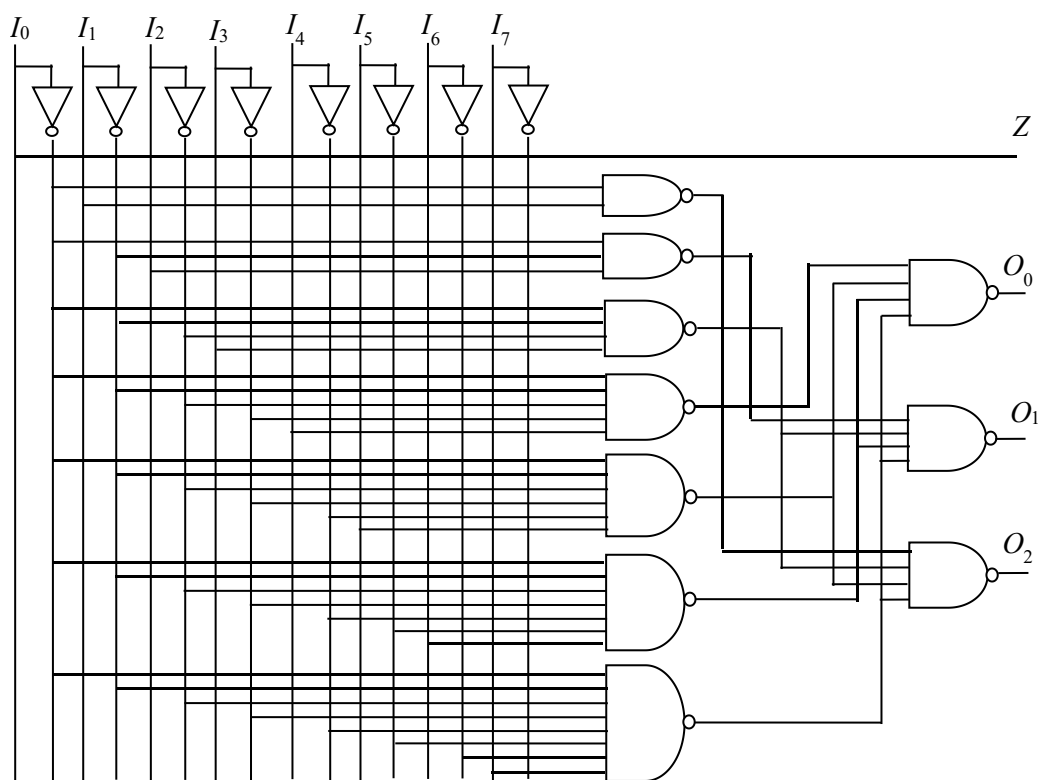
根据题意, 可画出真值表如下:

$I_0$	$I_1$	$I_2$	$I_3$	$I_4$	$I_5$	$I_6$	$I_7$	$O_0$	$O_1$	$O_2$	$Z$
1	x	x	x	x	x	x	x	0	0	0	1
0	1	x	x	x	x	x	x	0	0	1	0
0	0	1	x	x	x	x	x	0	1	0	0
0	0	0	1	x	x	x	x	0	1	1	0
0	0	0	0	1	x	x	x	1	0	0	0
0	0	0	0	0	1	x	x	1	0	1	0
0	0	0	0	0	0	1	x	1	1	0	0
0	0	0	0	0	0	0	1	1	1	1	0

根据上述真值表, 可以写出各个输出端的逻辑表达式如下:

$$\begin{aligned}
 O_0 &= \overline{I_0} \cdot \overline{I_1} \cdot \overline{I_2} \cdot \overline{I_3} \cdot I_4 + \overline{I_0} \cdot \overline{I_1} \cdot \overline{I_2} \cdot \overline{I_3} \cdot \overline{I_4} \cdot I_5 + \overline{I_0} \cdot \overline{I_1} \cdot \overline{I_2} \cdot \overline{I_3} \cdot \overline{I_4} \cdot \overline{I_5} \cdot I_6 + \overline{I_0} \cdot \overline{I_1} \cdot \overline{I_2} \cdot \overline{I_3} \cdot \overline{I_4} \cdot \overline{I_5} \cdot \overline{I_6} \cdot I_7 \\
 &= \overline{\overline{I_0} \cdot \overline{I_1} \cdot \overline{I_2} \cdot \overline{I_3} \cdot I_4} \cdot \overline{\overline{I_0} \cdot \overline{I_1} \cdot \overline{I_2} \cdot \overline{I_3} \cdot \overline{I_4} \cdot I_5} \cdot \overline{\overline{I_0} \cdot \overline{I_1} \cdot \overline{I_2} \cdot \overline{I_3} \cdot \overline{I_4} \cdot \overline{I_5} \cdot I_6} \cdot \overline{\overline{I_0} \cdot \overline{I_1} \cdot \overline{I_2} \cdot \overline{I_3} \cdot \overline{I_4} \cdot \overline{I_5} \cdot \overline{I_6} \cdot I_7} \\
 O_1 &= \overline{\overline{I_0} \cdot \overline{I_1} \cdot \overline{I_2} \cdot \overline{I_3} \cdot I_4} \cdot \overline{\overline{I_0} \cdot \overline{I_1} \cdot \overline{I_2} \cdot \overline{I_3} \cdot \overline{I_4} \cdot I_5} \cdot \overline{\overline{I_0} \cdot \overline{I_1} \cdot \overline{I_2} \cdot \overline{I_3} \cdot \overline{I_4} \cdot \overline{I_5} \cdot I_6} \cdot \overline{\overline{I_0} \cdot \overline{I_1} \cdot \overline{I_2} \cdot \overline{I_3} \cdot \overline{I_4} \cdot \overline{I_5} \cdot \overline{I_6} \cdot I_7} \\
 O_2 &= \overline{\overline{I_0} \cdot \overline{I_1} \cdot \overline{I_2} \cdot \overline{I_3} \cdot I_4} \cdot \overline{\overline{I_0} \cdot \overline{I_1} \cdot \overline{I_2} \cdot \overline{I_3} \cdot \overline{I_4} \cdot I_5} \cdot \overline{\overline{I_0} \cdot \overline{I_1} \cdot \overline{I_2} \cdot \overline{I_3} \cdot \overline{I_4} \cdot \overline{I_5} \cdot I_6} \cdot \overline{\overline{I_0} \cdot \overline{I_1} \cdot \overline{I_2} \cdot \overline{I_3} \cdot \overline{I_4} \cdot \overline{I_5} \cdot \overline{I_6} \cdot I_7} \\
 Z &= I_0
 \end{aligned}$$

根据上述表达式, 画出对应的逻辑电路图 (用与非门实现) 如下:



优先权编码器的优先级顺序为： $I_0 > I_1 > I_2 > I_3 > I_4 > I_5 > I_6 > I_7$

7. 已知一个组合逻辑电路的功能可用如图 3.35 所示的真值表来描述。分别用下列器件实现该电路。

- (1) 一个 8 路选择器。
- (2) 一个 4 路选择器和一个非门。
- (3) 一个 2 路选择器和两个逻辑门。

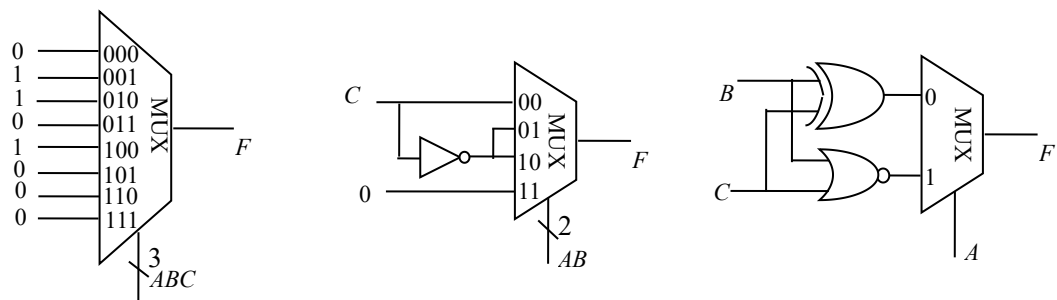
$A$	$B$	$C$	$F$
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0

图 3.35 题 7 真值表

**【分析解答】**

用一个 8 路选择器、一个 4 路选择器和一个非门、一个 2 路选择器和两个逻辑

门分别实现如下：



9. 已知一个组合逻辑电路的功能可用如图 3.36 所示的真值表来描述。要求完成以下任务。

- (1) 利用无关项进行化简，并写出函数  $F$  的最简逻辑表达式。
- (2) 根据最简逻辑表达式，画出函数  $F$  对应的逻辑电路图。
- (3) 对于 (2) 中的逻辑电路，请判断是否存在竞争冒险？若存在竞争冒险，则解释在什么情况下会出现毛刺，并画出发生毛刺时的时序图；若不存在竞争冒险，则分析说明其不存在竞争冒险的理由。

$A$	$B$	$C$	$D$	$F$
0	0	0	0	d
0	0	0	1	d
0	0	1	0	d
0	0	1	1	0
0	1	0	0	0
0	1	0	1	d
0	1	1	0	0
0	1	1	1	d
1	0	0	0	
1	0	0	1	0
1	0	1	0	d
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	d
1	1	1	1	1

【分析解答】

$CD \backslash AB$	00	01	11	10
00	d		1	1
01	d	d	1	
11		d	1	1
10	d		d	d

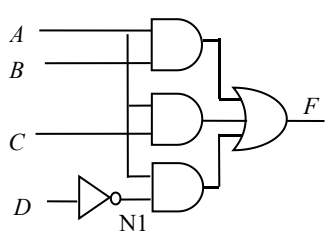
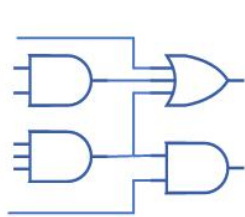


图 3.36 题 9 真值表

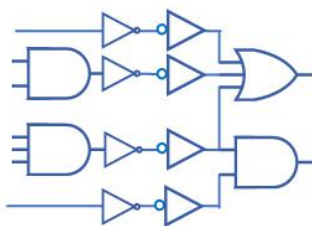
$$F = A \cdot B + A \cdot C + A \cdot \bar{D}$$

上面的逻辑电路不存在竞争冒险，因为得到的最简逻辑表达式是积之和（即与-或）表达式，各乘积项中不存在逻辑相反的变量（这个是必要但非充分条件）。

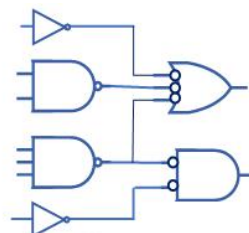
11. 根据图 3.37 中给出的逻辑门的传输延迟  $T_{pd}$  和最小延迟  $T_{cd}$ ，计算 2.4.3 节中图 2.30a、2.30b 和 2.30c 中所示组合逻辑电路的传输延迟和最小延迟，并比较哪个电路的传输延迟最长，哪个电路的传输延迟最短。



(a)初始电路



(b)加入反相器对的电路



(c)使用反相输出端和反向输入端的电路

### 【分析解答】

电路(a)的传输延迟为  $40+55=95\text{ps}$ ；最小延迟为  $25\text{ps}$ 。

电路(b)的传输延迟为  $40+15+15+55=125\text{ps}$ ；最小延迟为  $10+10+25=45\text{ps}$ 。

电路(c)中，反向输入端与门是或非门的等效电路，反向输入端或门是与非门的等效电路，因此，传输延迟为  $30+30=60\text{ps}$ ；最小延迟为  $10+30=40\text{ps}$ 。