

实验 3：同步时序电路设计

一、实验目的

- 1、掌握时序逻辑电路设计的基本方法；
- 2、学会利用锁存器和触发器构建计数器和移位寄存器的方法；
- 3、熟悉计数器和移位寄存器的应用；
- 4、掌握寄存器堆的设计方法；

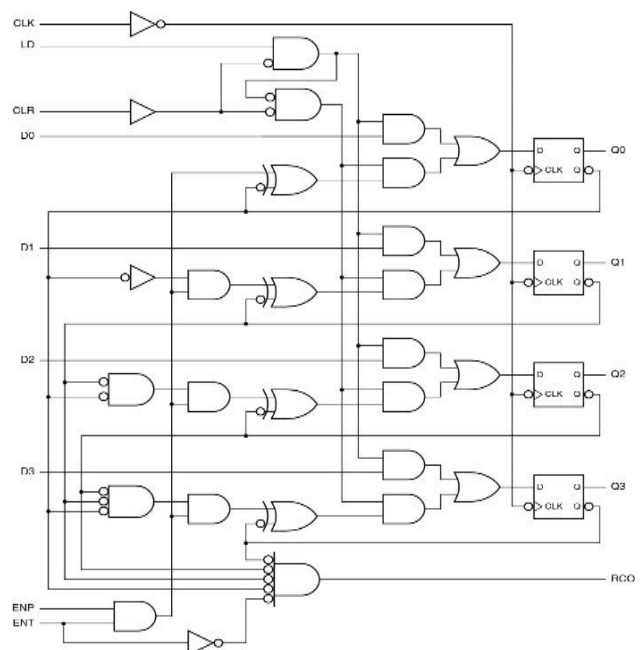
二、实验环境

实验室计算机启动时,进入 Digital Design 平台,该平台下已经安装了 Logisim 软件,或者下载安装 Logisim-ITA V2.16.1.0: <https://sourceforge.net/p/logisimit>。

三、实验内容

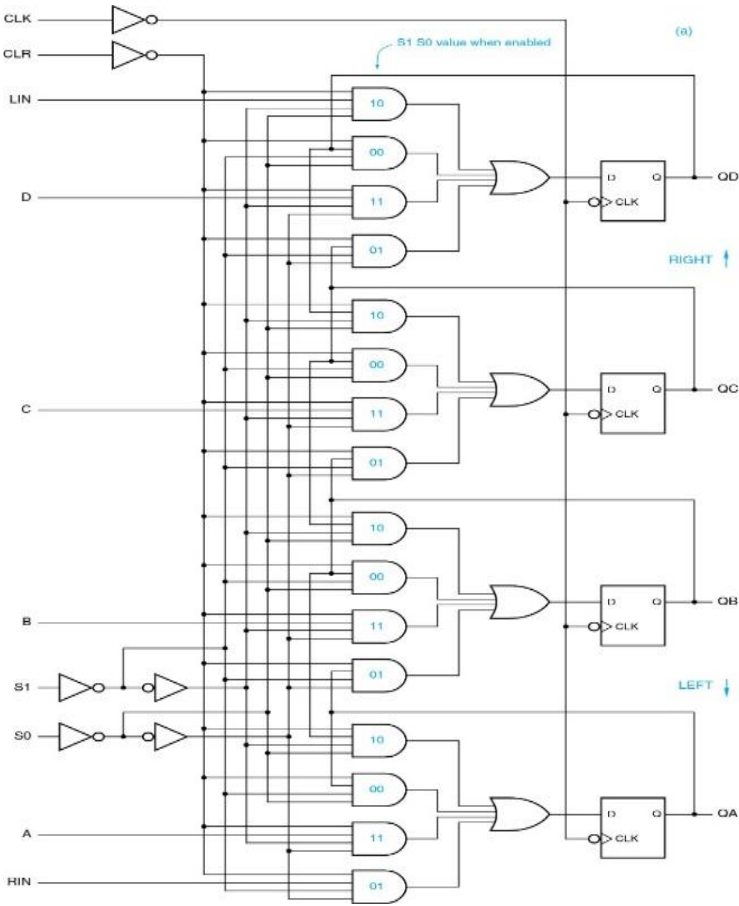
- 1、根据以下所给出的功能表和电路原理图构建 4 位同步二进制计数器 CNTR4U 子电路,利用该子电路和少量门电路,分别通过清零和置位端各设计一个 10 进制计数器。要求:清零计数从 0 到 9 循环,置位计数从 6 到 15 循环,将 4 位输出位通过分线器连接到一个十六进制数码管,RCO 输出端连接到一个 LED 指示灯(提示:当计数值为 1111 时,RCO 输出为 1)。

Inputs				Current State				Next State			
CLR	LD	ENT	ENP	Q3	Q2	Q1	Q0	Q3*	Q2*	Q1*	Q0*
1	x	x	x	x	x	x	x	0	0	0	0
0	1	x	x	x	x	x	x	D3	D2	D1	D0
0	0	0	x	x	x	x	x	Q3	Q2	Q1	Q0
0	0	x	0	x	x	x	x	Q3	Q2	Q1	Q0
0	0	1	1	0	0	0	0	0	0	0	1
0	0	1	1	0	0	0	1	0	0	1	0
...											
0	0	1	1	1	1	0	1	1	1	1	0
0	0	1	1	1	1	1	0	1	1	1	1
0	0	1	1	1	1	1	1	0	0	0	0

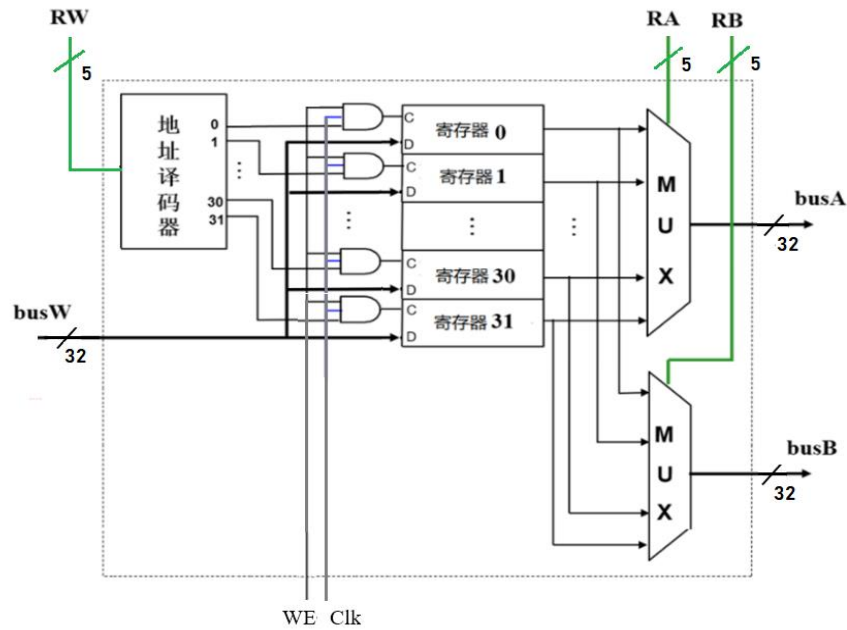


- 2、根据以下所给出的功能表和电路原理图构建 4 位通用移位寄存器 SHRG4U 子电路，利用该 SHRG4U 子电路和少量门电路重复生成二进制序列“000100110101111”。实验时先装载初始数值（如 0001），然后将电路设置为左移或右移模式，通过将 SHRG4U 的状态信号 QD、QC、QB、QA 作为反馈数字电路的输入信号，该电路输出信号再接入到左移输入端（LIN）或右移输入端（RIN），以生成所要求的二进制序列。测试时将 QA、QB 输出信号和时钟信号连接到数字示波器，画出观察到连续 16 个周期的波形；同时将 4 位输出信号通过分线器连接到一个十六进制数码管，写出输出的伪随机数。

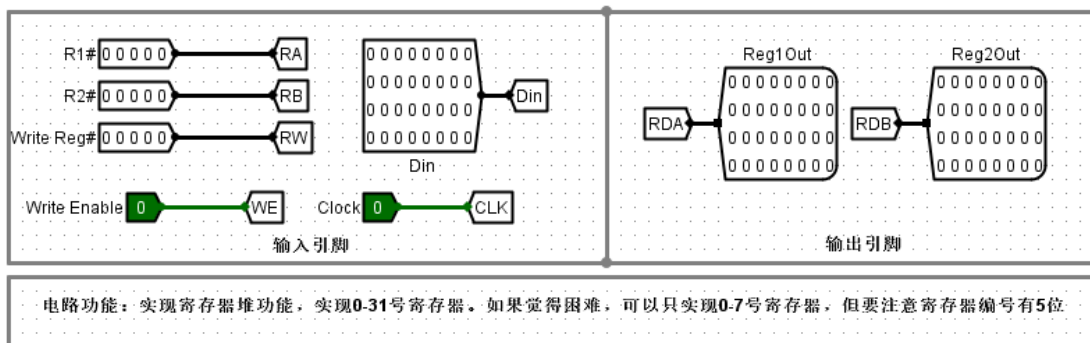
Function	Inputs			Next state			
	CLR	S1	S0	QA*	QB*	QC*	QD*
Clear	1	x	x	0	0	0	0
Hold	0	0	0	QA	QB	QC	QD
Shift right	0	0	1	RIN	QA	QB	QC
Shift left	0	1	0	QB	QC	QD	LIN
Load	0	1	1	A	B	C	D



- 3、根据以下寄存器堆的原理图及给出的引脚图，构建实现至少含有 8 个 32 位寄存器堆 Regfile 的读写电路，写入操作需有时钟信号控制，读取操作是组合电路。
- 要求：1、两个读口、一个写口，并封装成子电路。
- 2、能够在时钟信号有效时写入数据到指定寄存器，能够随时读取任意一个寄存器的数据。
- 3、为了能在后续实验中直接引用该寄存器堆模块，请按照给出的引脚图进行设计，不要改变引脚和隧道的名称。



寄存器堆设计原理图



寄存器堆设计引脚图

四、思考题

- 1、如何利用 CNTR4U 实现从任意初始值开始的 10 进制计数器？
- 2、如何用两片 CNTR4U 子电路设计一个 60 进制计数器？
- 3、在寄存器堆中，如何实现 0 号寄存器始终存储数值 0？
- 4、如何用组合电路实现 4 位移位寄存器？

五、实验报告

- 1、根据本次实验内容的要求，写出实验操作步骤，包括：电路原理图、功能表、仿真检测图、输入输出对应表、错误现象及原因分析、思考题等内容。以 word 或 PDF 格式提交
- 2、将实验报告和电路图.circ 文件打包上传到教学支撑平台的网站中。