

Titre : RISC-V Eirb enrichi d'un co-processeur CORDIC

Code : RE-1 , RE-2



Encadrant: Christophe Jégo (ENSEIRB-MATMECA, 100%)

Mots clefs: jeu d'instructions RISC-V, architecture processeur, langage VHDL, Vivado, circuit FPGA, SoC ZYNQ

Description générale:

Dans le cadre de ce projet S8, il est proposé à quatre élèves-ingénieurs de travailler sur l'architecture matérielle de base d'un processeur RISC-V 32 bits simple cycle. L'architecture de jeu d'instructions (ISA) matérielle open-source RISC-V permet désormais de concevoir, librement et sans redevance, des familles de processeurs très performants. Si l'architecture RISC-V est déjà utilisée pour des applications embarquées à faible performance / basse consommation, il est aussi possible de développer à terme des SoC RISC-V combinant de hautes performances et une consommation raisonnée. Un atout majeur de l'architecture de jeu d'instructions (ISA) matérielle open-source est la possibilité d'ajouter/supprimer/organiser les instructions suivant l'application visée. Dans ce contexte, l'équipe de recherche CSN (<https://www.ims-bordeaux.fr/fr/recherche/groupe-recherche/49-conception/csn/32-csn>) du laboratoire IMS mène des activités de recherche sur ce type d'architecture à jeu d'instructions. Des projets de recherche sur le processeur RISC-V sont en cours au sein de l'équipe CSN avec les partenaires industriels Thales, STMicroelectronics et Stellantis.

Un élève-ingénieur de la filière Electronique possède après trois semestres de formation les connaissances et les compétences nécessaires pour participer à la conception d'un processeur à jeu d'instructions. La Figure 1 détaille l'architecture de base d'un processeur RISC-V 32 bits simple cycle. L'architecture globale et l'unité de mémorisation ont été préalablement décrites dans le langage VHDL. Il est demandé aux élèves-ingénieurs de modifier le processeur en se focalisant sur la partie traitement (Unité Arithmétique et Logique plus des éléments du chemin de données) et la partie contrôle (Logique de contrôle et aiguillage des signaux de contrôle). Afin de faciliter la validation de ces deux parties, un environnement de simulation (cf Figure 2) et une carte FPGA pour le prototypage seront mis à disposition des élèves-ingénieurs. Une communication série associée à un *bootloader* permettent de charger les instructions et les données dans les mémoires de l'unité de mémorisation. L'ensemble est fonctionnel et permet la définition de test unitaire pour valider les différentes instructions au niveau des chemins de données mais également des signaux de contrôle.

Au niveau du support logiciel, il est à noter que des outils libres sont proposés pour le développement sur ce type de processeur. Au niveau assembleur, *GNU Assembler* supporte l'architecture RISC-V 32 et *riscv-assembler* est un assembleur en Python. Dans ce contexte, un travail complémentaire sur l'étude de la

compatibilité du processeur RISC-V Eirb enrichi d'un co-processeur CORDIC avec le compilateur GCC est nécessaire en complément de l'avancement des travaux sur le cœur du CPU.

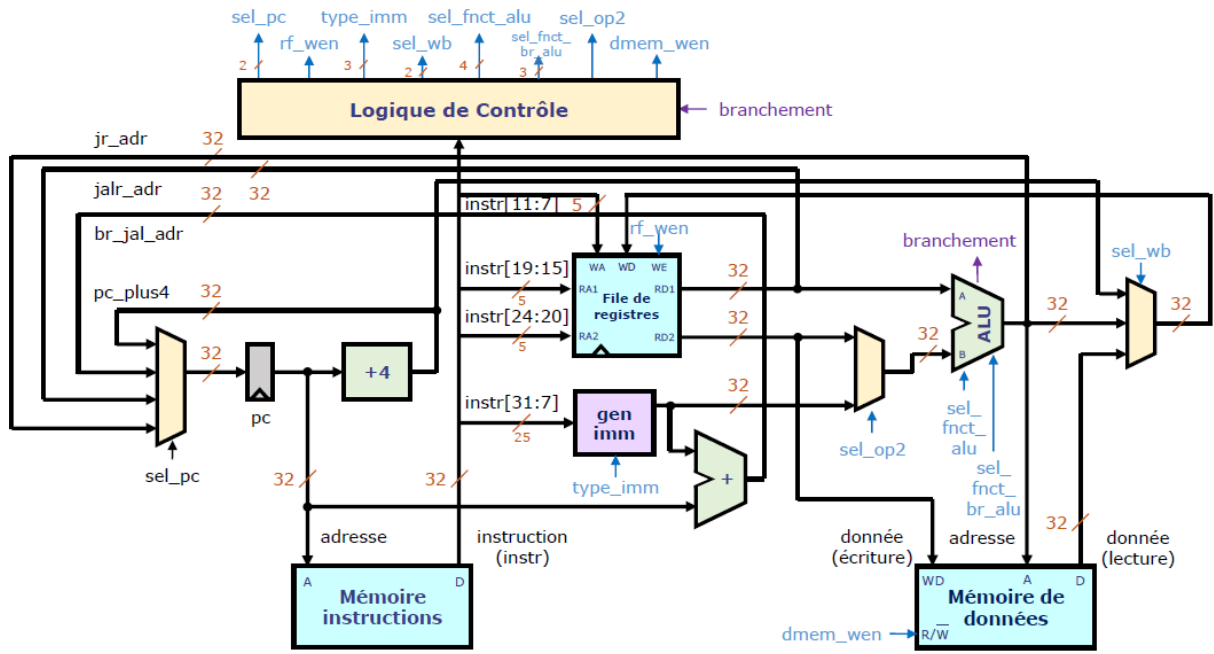


Figure 1 : architecture de base d'un processeur RISC-V simple cycle (ref module EN114 2021 J. Crenne)

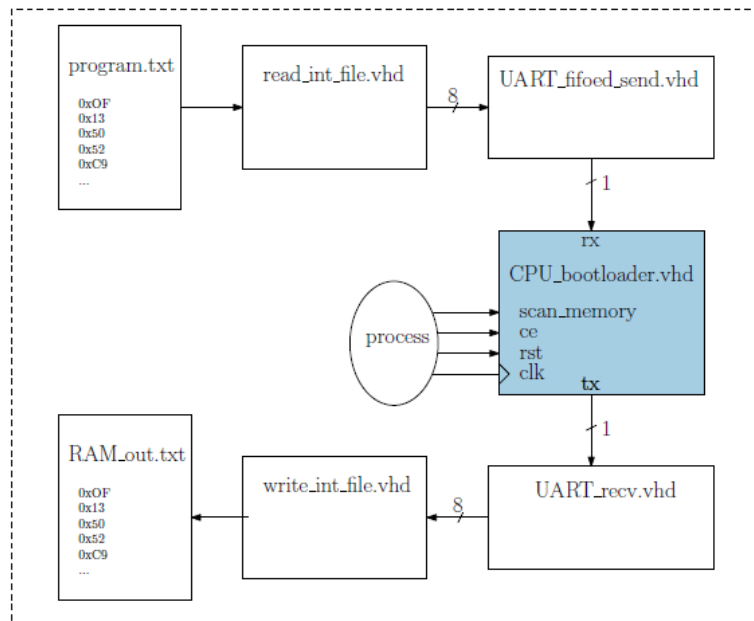


Figure 2 : processus de simulation VHDL du processeur RISC-V (ref module EN210 2021 C. Leroux)

► Tâche binôme 1 / code RE-1 :

Titre : modification du cœur de CPU du RISC-V Eirb afin d'intégrer un co-processeur dédié CORDIC

Description : l'objectif principal de cette tâche est de modifier à l'aide du langage VHDL, le contenu de de l'UT et de l'UC du processeur RISC-V Eirb existant. Ces unités devront pouvoir traiter les opérations de trigonométrie, de logarithme et de racine carrée. Pour ce faire, un bloc co-processeur CORDIC sera développé dans le cadre d'un autre projet encadré par Dominique Dallet. Le binôme devra interagir avec les élèves développant le co-processeur CORDIC afin de permettre son intégration dans le CPU du RISC-V Eirb. Un travail complémentaire sera nécessaire pour la validation des nouveaux chemins de données constituant la nouvelle version du processeur. Une validation par simulation puis un prototypage sur circuit FPGA permettront à l'aide de tests unitaires de vérifier le bon fonctionnement de l'ensemble des nouvelles instructions.

► Tâche binôme 2 / code RE-2 :

Titre : mise en œuvre d'une chaîne de compilation pour la programmation du processeur RISC-V Eirb associé au co-processeur CORDIC

Description : un environnement de prototypage a été développé à l'école afin de compiler, d'assembler et de programmer le processeur RISC-V Eirb. Cet environnement associe la toolchain gcc pour l'ISA RISC-V à une carte de prototypage PynQ Z2. Cette dernière contient un SoC Zynq : (<https://www.tulembedded.com/FPGA/ProductsPYNQ-Z2.html>). Ce SoC est constitué d'un processeur ARM et d'une matrice FPGA. L'environnement développé permet de programmer le CPU RISC-V Eirb. L'objectif de cette tâche sera de modifier et de compléter le compilateur *riscv32-unknown-elf-gcc* afin d'ajouter les nouvelles instructions afin d'exploiter le co-processeur CORDIC. Dans un second temps, il faudra également proposer un jeu de tests visant à valider l'architecture développée par le binôme 1.