

 ESCOLA SUPERIOR DE TECNOLOGIA E GESTÃO	Tipo de Prova Exame da época normal	Ano letivo 2024/2025	Data 12-06-2025
	Curso Licenciatura em Engenharia Informática / Licenciatura em Segurança Informática em Redes de Computadores	Hora 10H00	
	Unidade Curricular Sistemas digitais e arquitetura de computadores	Duração 02:00 horas	

1. Qual das seguintes afirmações é verdadeira sobre os códigos detetores de paridade:
 - a) Nos códigos de paridade par, o número de total de 1's é sempre ímpar
 - b) Nos códigos de paridade ímpar, o número total de 1's deve ser ímpar, incluindo o bit de paridade par
 - c) Os códigos de paridade não podem ser usados com códigos BCD
 - d) Nenhuma das anteriores

2. Qual a principal função de um circuito multiplexer?
 - a) Multiplicar as informações de entrada em várias saídas simultâneas
 - b) Selecionar uma das várias linhas de saída com base em combinações binárias das entradas de controlo
 - c) Transmitir uma das informações presentes nas entradas de informação para a única saída
 - d) Nenhuma das anteriores

3. Qual é o código baseado nas primeiras 16 combinações do código binário e que utiliza as primeiras 10 combinações por ordem crescente:
 - a) Código Gray
 - b) Código BCD Natural
 - c) Código ASCII
 - d) Nenhuma das anteriores

4. Qual é a característica principal dos códigos progressivos Gray:
 - a) São baseados no código BCD Natural
 - b) Cada combinação difere na anterior em dois bits
 - c) Cada combinação difere da anterior e da seguinte em apenas um bit
 - d) Nenhuma das anteriores

5. O que acontece quando as entradas S e R de um latch SR são ambas iguais a 1:
 - a) A saída assume o valor lógico 0
 - b) A saída assume o valor lógico 1
 - c) A saída assume um valor indefinido/indeterminado
 - d) Nenhuma das anteriores

6. Qual a principal diferença entre a arquitetura e organização de um computador:
 - a) Arquitetura refere-se à implementação física, enquanto que a organização refere-se à visão do programador
 - b) Arquitetura refere-se à visão do programador, enquanto que a organização refere-se à implementação física
 - c) Arquitetura e organização são termos idênticos

 ESCOLA SUPERIOR DE TECNOLOGIA E GESTÃO	Tipo de Prova Exame da época normal	Ano letivo 2024/2025	Data 12-06-2025
	Curso Licenciatura em Engenharia Informática / Licenciatura em Segurança Informática em Redes de Computadores	Hora 10H00	
	Unidade Curricular Sistemas digitais e arquitetura de computadores	Duração 02:00 horas	

- d) Nenhuma das anteriores
7. O que é um microprograma em linguagem de transferência de registos:
- a) Um programa desenvolvido em linguagem de alto nível
 - b) Um programa que define as etapas de manipulação de dados e transferência entre registos
 - c) Um programa que interage com o utilizador através de pastas e áreas de trabalho
 - d) Nenhuma das anteriores
8. Qual a função do Program Counter (PC):
- a) Armazenar dados temporariamente
 - b) Contém a instrução que está a ser executada pelo processador
 - c) Contém o endereço da próxima instrução a ser executada
 - d) Nenhuma das anteriores
9. Qual a função dos registos num processador:
- a) Armazenar dados temporariamente
 - b) Realizar operações matemáticas e lógicas
 - c) Controlar o fluxo de dados entre a ALU e a memória
 - d) Nenhuma das anteriores
10. O que é um barramento de endereços:
- a) Um conjunto de ligações físicas que interliga o CPU, a memória e as controladoras I/O
 - b) Um conjunto de ligações físicas que transporta dados entre o CPU e a memória
 - c) Um conjunto de ligações físicas que transporta endereços entre o CPU e a memória
 - d) Nenhuma das anteriores
11. Converta o seguinte número $100_{(10)}$ para a base 2.
12. Construa um código de paridade par baseado no código BCD Natural.
13. Projete a seguinte função lógica, $F = \bar{X} \cdot Z + X \cdot Y$ utilizando um descodificador. Assuma que o valor lógico responsável por ativar as saídas é o valor lógico 0. Utilize a seguinte ordem para as variáveis, X, Y, Z.
14. Implemente a seguinte função lógica, $F = \bar{X} \cdot Z + X \cdot Y$ utilizando um multiplexer de 2 entradas de controlo. Se necessitar de descartar alguma variável, descarte a variável X. Utilize a seguinte ordem para as variáveis, X, Y, Z.

P.PORTO <small>ESCOLA SUPERIOR DE TECNOLOGIA E GESTÃO</small>	Tipo de Prova Exame da época normal	Ano letivo 2024/2025	Data 12-06-2025
	Curso Licenciatura em Engenharia Informática / Licenciatura em Segurança Informática em Redes de Computadores	Hora 10H00	
	Unidade Curricular Sistemas digitais e arquitetura de computadores	Duração 02:00 horas	

15. Complete a seguinte tabela de verdade de um Flip Flop T Edge Triggered com disparo no flanco ascendente.

T	CLOCK	Saída
0	0	?
0	1	?
0	↑	?
0	↓	?
1	0	?
1	1	?
1	↑	?
1	↓	?

16. Adicione o conteúdo de duas posições de memória consecutivas (1040H e 1041H) e guarde o resultado na posição de memória seguinte (1042H).

17. Elabore um programa que carregue os números E2H e 58H nos registos B e C, respetivamente. Guarde o número A2H na posição de memória 1065H, usando o par de registos HL como apontador da memória. Realize a subtração entre E2H – 58H. Ache o complemento do resultado da subtração obtida anteriormente, e some esse valor com o número A2H contido na posição de memória 1065H. Finalmente guarde o resultado na posição de memória 1066H.

18. Elabore um programa que adicione dois números de 16 bits colocados cada um em duas posições sucessivas de memória (1040H e 1042H), sabendo que o byte mais significativo está na posição de memória com endereço superior. Guarde o resultado nas duas posições de memória seguintes.

Cotação:

1. Pergunta de escolha múltipla:
 - Resposta correta 1 valor, resposta errada -0.25 valor, sem resposta 0 valores
2. Pergunta de escolha múltipla:
 - Resposta correta 1 valor, resposta errada -0.25 valor, sem resposta 0 valores
3. Pergunta de escolha múltipla:
 - Resposta correta 1 valor, resposta errada -0.25 valor, sem resposta 0 valores
4. Pergunta de escolha múltipla:
 - Resposta correta 1 valor, resposta errada -0.25 valor, sem resposta 0 valores
5. Pergunta de escolha múltipla:

 ESCOLA SUPERIOR DE TECNOLOGIA E GESTÃO	Tipo de Prova Exame da época normal	Ano letivo 2024/2025	Data 12-06-2025
	Curso Licenciatura em Engenharia Informática / Licenciatura em Segurança Informática em Redes de Computadores	Hora 10H00	
	Unidade Curricular Sistemas digitais e arquitetura de computadores	Duração 02:00 horas	

- Resposta correta 1 valor, resposta errada -0.25 valor, sem resposta 0 valores
6. Pergunta de escolha múltipla:
- Resposta correta 1 valor, resposta errada -0.25 valor, sem resposta 0 valores
7. Pergunta de escolha múltipla:
- Resposta correta 1 valor, resposta errada -0.25 valor, sem resposta 0 valores
8. Pergunta de escolha múltipla:
- Resposta correta 1 valor, resposta errada -0.25 valor, sem resposta 0 valores
9. Pergunta de escolha múltipla:
- Resposta correta 1 valor, resposta errada -0.25 valor, sem resposta 0 valores
10. Pergunta de escolha múltipla:
- Resposta correta 1 valor, resposta errada -0.25 valor, sem resposta 0 valores
11. 1 valores
12. 1 valor
13. 2 valor
14. 2 valor
15. 1 valor
16. 1 valor
17. 1 valor
18. 1 valor

 ESCOLA SUPERIOR DE TECNOLOGIA E GESTÃO	Tipo de Prova Exame da época normal	Ano letivo 2024/2025	Data 12-06-2025
	Curso Licenciatura em Engenharia Informática / Licenciatura em Segurança Informática em Redes de Computadores	Hora 10H00	
	Unidade Curricular Sistemas digitais e arquitetura de computadores	Duração 02:00 horas	

Instruções do microprocessador da INTEL 8085

Nomenclatura:

LEGENDA

pr	Par de registos: HL, BC, DE, SP, PC
reg	Registo: A, B, C, D, E, H, L
M	Posição de memória
addr	Endereço de 16 bits de uma posição de memória
x	O bit do registo de flags é afetado
byte	Constante, ou expressão lógica/aritmética que representa um dado de 8 bits
double	Constante, ou expressão lógica/aritmética que representa um dado de 16 bits
[]	Conteúdo do que se encontra dentro de parênteses retos
[[]]	Conteúdo do conteúdo do que se encontra dentro de parênteses retos
CS	Flag de carry
label	Endereço de uma posição de memória
port	Endereço de um dispositivo I/O

Grupo de transferência de dados

INSTRUÇÃO	OPERANDOS	STATUS DO REGISTO DE FLAGS	OPERAÇÃO REALIZADA					
				CS	AC	Z	S	P
LDAX	pr		[A] \leftarrow [[pr]] Load A using implied addressing by BC (pr=B) or DE (pr=D)					
STAX	pr		[[pr]] \leftarrow [A] Store A using implied addressing by BC (pr=B) or DE (pr=D)					
MOV	r,M		[r] \leftarrow [[HL]] Load any register using implied addressing by HL					
MOV	M,r		[[HL]] \leftarrow [r] Store any register using implied addressing by HL					
LDA	addr		[A] \leftarrow [addr] Load A using direct addressing					
STA	addr		[addr] \leftarrow [A] Store A using direct addressing					
LHLD	addr		[L] \leftarrow [addr] and [H] \leftarrow [addr+1] Load H and L registers using direct addressing					

P.PORTO <small>ESCOLA SUPERIOR DE TECNOLOGIA E GESTÃO</small>	Tipo de Prova Exame da época normal		Ano letivo 2024/2025	Data 12-06-2025
	Curso Licenciatura em Engenharia Informática / Licenciatura em Segurança Informática em Redes de Computadores		Hora 10H00	
	Unidade Curricular Sistemas digitais e arquitetura de computadores		Duração 02:00 horas	

SHLD	addr	[addr] \leftarrow [L] and [addr+1] \leftarrow [H] Store H and L registers using direct addressing
MOV	r,r	[r] \leftarrow [r] Move any register to any register
XCHG		[D] $\leftarrow \rightarrow$ [H] and [E] $\leftarrow \rightarrow$ [L] Exchange DE with HL
SPHL		[HL] \leftarrow [SP] Move HL to SP
LXI	pr,double	[pr] \leftarrow double Load 16 bits immediate data into BC (pr=B), DE (pr=D), HL (pr=H), SP (pr=SP)
MVI	M,byte	[[HL]] \leftarrow byte Load 8 bit immediate data into memory location with implied addressing by HL
MVI	r,byte	[r] \leftarrow byte Load 8 bit immediate data into any register

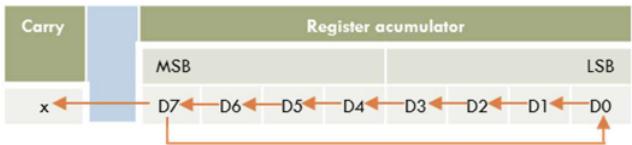
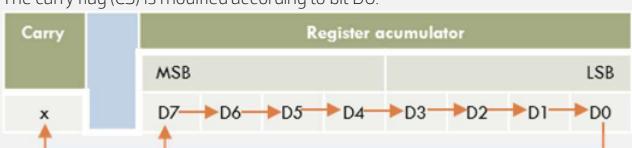
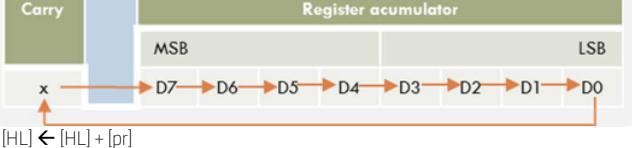
Grupo aritmético, lógico e de rotação

INSTRUÇÃO	OPERANDOS	STATUS DO REGISTRO DE FLAGS					OPERAÇÃO REALIZADA
		CS	AC	Z	S	P	
ADD	M	x	x	x	x	x	[A] \leftarrow [A] + [[HL]] Add register A with implied addressing by HL and store the result in register A
ADC	M	x	x	x	x	x	[A] \leftarrow [A] + [[HL]] + [CS] Add register A with carry with implied addressing by HL and store the result in register A
SUB	M	x	x	x	x	x	[A] \leftarrow [A] - [[HL]] Subtract register A with implied addressing by HL and store the result in register A
SBB	M	x	x	x	x	x	[A] \leftarrow [A] - [[HL]] - [CS] Subtract register A with carry with implied addressing by HL and store the result in register A
ANA	M	0	1	x	x	x	[A] \leftarrow [A] AND [[HL]] AND between register A with implied addressing by HL and store the result in register A
XRA	M	0	0	x	x	x	[A] \leftarrow [A] XOR [[HL]] Exclusive-OR between register A with implied addressing by HL and store the result in register A
ORA	M	0	0	x	x	x	[A] \leftarrow [A] OR [[HL]] OR between register A with implied addressing by HL and store the result in register A
CMP	M	x	x	x	x	x	[A] - [[HL]] Compare register A with implied addressing by HL If register A < [[HL]] than the carry flag is set (1) If register A = [[HL]] than the zero flag is set (1) If register A > [[HL]] than the carry and zero flags are reset (0)
INR	M	x	x	x	x	x	[[HL]] \leftarrow [[HL]] + 1 Increment memory
DCR	M	x	x	x	x	x	[[HL]] \leftarrow [[HL]] - 1 Decrement memory
ADI	byte	x	x	x	x	x	[A] \leftarrow [A] + byte Add register A with 8 bit immediate data and store the result in register A
ACI	byte	x	x	x	x	x	[A] \leftarrow [A] + byte + [CS] Add register A with 8 bit immediate data with carry and store the result in register A

P.PORTO ESCOLA SUPERIOR DE TECNOLOGIA E GESTÃO	Tipo de Prova Exame da época normal							Ano letivo 2024/2025	Data 12-06-2025
	Curso Licenciatura em Engenharia Informática / Licenciatura em Segurança Informática em Redes de Computadores							Hora 10H00	
	Unidade Curricular Sistemas digitais e arquitetura de computadores							Duração 02:00 horas	

SUI	byte	x	x	x	x	x	[A] \leftarrow [A] - byte Subtract register A with 8 bit immediate data and store the result in register A		
SBI	byte	x	x	x	x	x	[A] \leftarrow [A] - byte - [CS] Subtract register A with 8 bit immediate data with carry and store the result in register A		
ANI	byte	0	1	x	x	x	[A] \leftarrow [A] AND byte AND between register A with 8 bit immediate data and store the result in register A		
XRI	byte	0	0	x	x	x	[A] \leftarrow [A] XOR byte Exclusive-OR between register A with 8 bit immediate data and store the result in register A		
ORI	byte	0	0	x	x	x	[A] \leftarrow [A] OR byte OR between register A with 8 bit immediate data and store the result in register A		
CPI	byte	x	x	x	x	x	[A] \leftarrow [A] - byte Compare register A with 8 bit immediate data If register A < byte than the carry flag is set (1) If register A = byte than the zero flag is set (1) If register A > byte than the carry and zero flags are reset (0)		
ADD	r	x	x	x	x	x	[A] \leftarrow [A] + [r] Add register A with any register and store the result in register A		
ADC	r	x	x	x	x	x	[A] \leftarrow [A] + [r] + [CS] Add register A with any register with carry and store the result in register A		
SUB	r	x	x	x	x	x	[A] \leftarrow [A] - [r] Subtract register A with any register and store the result in register A		
SBB	r	x	x	x	x	x	[A] \leftarrow [A] - [r] - [CS] Subtract register A with any register with carry and store the result in register A		
ANA	r	0	1	x	x	x	[A] \leftarrow [A] AND [r] AND between register A with any register and store the result in register A		
XRA	r	0	0	x	x	x	[A] \leftarrow [A] XOR [r] Exclusive-OR between register A with any register and store the result in register A		
ORA	r	0	0	x	x	x	[A] \leftarrow [A] OR [r] OR between register A with any register and store the result in register A		
CMP	r	x	x	x	x	x	[A] \leftarrow [r] Compare register A with any register If register A < r than the carry flag is set (1) If register A = r than the zero flag is set (1) If register A > r than the carry and zero flags are reset (0)		
INR	r	x	x	x	x	x	[r] \leftarrow [r] + 1 Increment any register		
DCR	r	x	x	x	x	x	[r] \leftarrow [r] - 1 Decrement any register		
CMA							[A] \leftarrow [Ā] Complement register A		
DAA		x	x	x	x	x	The contents of the accumulator are changed from a binary value to two 4-bit binary coded decimal (BCD) digits. This is the only instruction that uses the auxiliary flag (AC) to perform the binary to BCD conversion, and the conversion procedure is described below. If the value of the low-order 4-bits in the accumulator is greater than 9 or if AC flag is set (1), the instruction adds 6 to the low-order four bits. If the value of the high-order 4-bits in the accumulator is greater than 9 or if the Carry flag (CS) is set (1), the instruction adds 6 to the high-order four bits.		
RLC		x					Each binary bit of the register accumulator is rotated left by one position. Bit D7 is placed in the position of D0 as well as in the Carry flag. The carry flag (CS) is modified according to bit D7.		

P.PORTO <small>ESCOLA SUPERIOR DE TECNOLOGIA E GESTÃO</small>	Tipo de Prova Exame da época normal		Ano letivo 2024/2025	Data 12-06-2025
	Curso Licenciatura em Engenharia Informática / Licenciatura em Segurança Informática em Redes de Computadores		Hora 10H00	
	Unidade Curricular Sistemas digitais e arquitetura de computadores		Duração 02:00 horas	

RRC	x			Each binary bit of the register accumulator is rotated right by one position. Bit D0 is placed in the position of D7 as well as in the Carry flag. The carry flag (CS) is modified according to bit D0.
RAL	x			Each binary bit of the register accumulator is rotated left by one position through the carry flag. Bit D7 is placed in the carry flag, and the carry flag is placed in the least significant position D0. The carry flag (CS) is modified according to bit D7.
RAR	x			Each binary bit of the register accumulator is rotated right by one position through the carry flag. Bit D0 is placed in the carry flag, and the carry flag is placed in the least significant position D7. The carry flag (CS) is modified according to bit D0.
DAD	pr	x		$[HL] \leftarrow [HL] + [pr]$ Add HL to a register pair BC (pr=B), DE (pr=D), HL (pr=H), SP (pr=SP) and store the result in HL
INX	pr			$[pr] \leftarrow [pr] + 1$ Increment register pair BC (pr=B), DE (pr=D), HL (pr=H), SP (pr=SP) and store the result in a register pair BC (pr=B), DE (pr=D), HL (pr=H), SP (pr=SP)
DCX	pr			$[pr] \leftarrow [pr] - 1$ Decrement register pair BC (pr=B), DE (pr=D), HL (pr=H), SP (pr=SP) and store the result in a register pair BC (pr=B), DE (pr=D), HL (pr=H), SP (pr=SP)

Grupo de controlo e de salto

INSTRUÇÃO	OPERANDOS	STATUS DO REGISTRO DE FLAGS	OPERAÇÃO REALIZADA
		CS AC Z S P	
JMP	label		$[PC] \leftarrow \text{label}$ Jump to instruction at address label
PCHL			$[PC] \leftarrow [HL]$ Jump to instruction at address contained in HL
CALL	label		$[[SP]] \leftarrow [PC], [PC] \leftarrow \text{label}, [SP] \leftarrow [SP] - 2$ Jump to subroutine starting at address label
CC	label		$[[SP]] \leftarrow [PC], [PC] \leftarrow \text{label}, [SP] \leftarrow [SP] - 2$ Jump to subroutine starting at address label if the carry flag (CS) equal to 1
CNC	label		$[[SP]] \leftarrow [PC], [PC] \leftarrow \text{label}, [SP] \leftarrow [SP] - 2$ Jump to subroutine starting at address label if the carry flag (CS) equal to 0

P.PORTO ESCOLA SUPERIOR DE TECNOLOGIA E GESTÃO	Tipo de Prova Exame da época normal		Ano letivo 2024/2025	Data 12-06-2025
	Curso Licenciatura em Engenharia Informática / Licenciatura em Segurança Informática em Redes de Computadores		Hora 10H00	
	Unidade Curricular Sistemas digitais e arquitetura de computadores		Duração 02:00 horas	

CZ	label	$[[SP]] \leftarrow [PC], [PC] \leftarrow \text{label}, [SP] \leftarrow [SP] - 2$ Jump to subroutine starting at address label if the zero flag (Z) equal to 1
CNZ	label	$[[SP]] \leftarrow [PC], [PC] \leftarrow \text{label}, [SP] \leftarrow [SP] - 2$ Jump to subroutine starting at address label if the zero flag (Z) equal to 0
CP	label	$[[SP]] \leftarrow [PC], [PC] \leftarrow \text{label}, [SP] \leftarrow [SP] - 2$ Jump to subroutine starting at address label if the sign flag (S) equal to 0
CM	label	$[[SP]] \leftarrow [PC], [PC] \leftarrow \text{label}, [SP] \leftarrow [SP] - 2$ Jump to subroutine starting at address label if the sign flag (S) equal to 1
CPE	label	$[[SP]] \leftarrow [PC], [PC] \leftarrow \text{label}, [SP] \leftarrow [SP] - 2$ Jump to subroutine starting at address label if the parity flag (P) equal to 1
CPO	label	$[[SP]] \leftarrow [PC], [PC] \leftarrow \text{label}, [SP] \leftarrow [SP] - 2$ Jump to subroutine starting at address label if the parity flag (P) equal to 0
RET		$[PC] \leftarrow [[SP]], [SP] \leftarrow [SP] + 2$ Return from subroutine
RC		$[PC] \leftarrow [[SP]], [SP] \leftarrow [SP] + 2$ Return from subroutine if the carry flag (CS) equal to 1
RNC		$[PC] \leftarrow [[SP]], [SP] \leftarrow [SP] + 2$ Return from subroutine if the carry flag (CS) equal to 0
RZ		$[PC] \leftarrow [[SP]], [SP] \leftarrow [SP] + 2$ Return from subroutine if the zero flag (Z) equal to 1
RNZ		$[PC] \leftarrow [[SP]], [SP] \leftarrow [SP] + 2$ Return from subroutine if the zero flag (Z) equal to 0
RM		$[PC] \leftarrow [[SP]], [SP] \leftarrow [SP] + 2$ Return from subroutine if the sign flag (S) equal to 0
RP		$[PC] \leftarrow [[SP]], [SP] \leftarrow [SP] + 2$ Return from subroutine if the sign flag (S) equal to 1
RPE		$[PC] \leftarrow [[SP]], [SP] \leftarrow [SP] + 2$ Return from subroutine if the parity flag (P) equal to 1
RPO		$[PC] \leftarrow [[SP]], [SP] \leftarrow [SP] + 2$ Return from subroutine if the parity flag (P) equal to 0
JC	label	$[PC] \leftarrow \text{label}$ Jump to instruction at address label if the carry flag (CS) equal to 1
JNC	label	$[PC] \leftarrow \text{label}$ Jump to instruction at address label if the carry flag (CS) equal to 0
JZ	label	$[PC] \leftarrow \text{label}$ Jump to instruction at address label if the zero flag (Z) equal to 1
JNZ	label	$[PC] \leftarrow \text{label}$ Jump to instruction at address label if the zero flag (Z) equal to 0
JP	label	$[PC] \leftarrow \text{label}$ Jump to instruction at address label if the sign flag (S) equal to 0
JM	label	$[PC] \leftarrow \text{label}$ Jump to instruction at address label if the sign flag (S) equal to 1
JPE	label	$[PC] \leftarrow \text{label}$ Jump to instruction at address label if the parity flag (P) equal to 1
JPO	label	$[PC] \leftarrow \text{label}$ Jump to instruction at address label if the parity flag (P) equal to 0

 ESCOLA SUPERIOR DE TECNOLOGIA E GESTÃO	Tipo de Prova Exame da época normal	Ano letivo 2024/2025	Data 12-06-2025
	Curso Licenciatura em Engenharia Informática / Licenciatura em Segurança Informática em Redes de Computadores	Hora 10H00	
	Unidade Curricular Sistemas digitais e arquitetura de computadores	Duração 02:00 horas	

RST n

The RST instruction is equivalent to a 1-byte call instruction to one of eight memory locations depending upon the number. The instructions are generally used in conjunction with interrupts and inserted using external hardware. However these can be used as software instructions in a program to transfer program execution to one of the eight locations. The addresses are:

Instruction Restart Address

RST	0	0000H
RST	1	0008H
RST	2	0010H
RST	3	0018H
RST	4	0020H
RST	5	0028H
RST	6	0030H
RST	7	0038H

Grupo de controlo do CPU, I/O e da Pilha

INSTRUÇÃO	OPERANDOS	STATUS DO REGISTO DE FLAGS	OPERAÇÃO REALIZADA
			CS AC Z S P
IN	port		[A] ← [port] Input to register acumulator (A) from I/O port
OUT	port		[port] ← [A] Output from register acumulator (A) to I/O port
PUSH	pr		[[SP]] ← [pr], [SP] ← [SP] – 2 Push register pair BC (pr=B), DE (pr=D), H (pr=HL), PSW (pr=PSW) contents onto stack
POP	pr		[pr] ← [[SP]], [SP] ← [SP] + 2 Pop stack into register pair BC (pr=B), DE (pr=D), H (pr=HL), PSW (pr=PSW)
XTHL			[HL] ← [[SP]] Exchange HL with top of stack
EI			Enable interrupts following execution of next instruction
DI			Disable interrupts
SIM			Set interrupt mask
RIM			Read interrupt mask
NOP			[PC] ← [PC] + 1 No operation but program counter (PC) is incremented
HLT			HALT Stop CPU operation