HW5

PB20111630 张艺耀

1. $(COD_CH, P250, 4.16)$

在本题中将讨论流水线如何影响处理器的时钟周期。假设数据通路的各个流水级的延迟如下:

| II | ID | EX | MEM | WB |
|-------|-------|-------|-------|-------|
| 250ps | 350ps | 150ps | 300ps | 200ps |

同时, 假设处理器执行的指令分布如下:

| ALU/Logic | Branch | Load | Store |
|-----------|--------|------|-------|
| 45% | 20% | 20% | 15% |

- 1). 在流水化和非流水化的处理器中, 时钟周期分别是多少?
- 2). 在流水化和非流水化的处理器中,对于Id指令的延迟分别是多少?
- 3). 如果我们将数据通路中的一个流水级拆成两个新的流水级,每一个新的流水级的延迟是原来的一
- 半,那么我们将拆分哪一级?新处理器的时钟周期是多少?
- 4). 假设没有停顿或冒险,数据存储器的利用率如何?
- 5). 假设没有停顿或冒险,寄存器堆的写端口利用率如何?
 - 1. 非流水化处理器: T = (250 + 350 + 150 + 300 + 200)ps = 1250ps; 流水化处理器: 最大段延迟 350ps
 - 2. 非流水化: 1250ps; 流水化: 从II到WB需要1250ps
 - 3. 拆分ID 新的时钟周期是300ps
 - 4. 20% + 15% = 35%
 - 5. 1 15% 20% = 65%

2. $(COD_CH, P251, 4.22)$

对于如下的 RSIC-V 的汇编片段:

```
sd x29, 12(x16)
ld x29, 8(16)
sub x17, x15, x14
beqz x17, label
add x15, x11, x14
sub x15, x30, x14
```

假设我们修改流水线使得其只有一个存储器(存放指令和数据)。在这种情况下,每次程序在另一个 指令访问数据的同一周期内获取指令时,都会存在结构冒险。

- 1). 请画出流水线图,说明以上代码会在何处停顿。
- 2). 是否可通过重排代码来减少因结构冒险而导致的停顿次数?
- 3). 该结构冒险必须用硬件来解决吗? 我们可以通过在代码中插入 NOP 指令来消除数据冒险,对于结

构冒险是否可以相同处理?请解释原因。

4). 在典型程序中, 大约需要为该结构冒险产生多少时钟周期的停顿? (使用以下指令分布)

| R-type/I-type(non-Id) | ld | sd | beq |
|-----------------------|-----|-----|-----|
| 52% | 25% | 11% | 12% |

ALU (DM) REG Sd 129 , /2(x16) IM Reg ld x29, 8(x16) ALU DIM Reg MZ Reg ALL DM Reg SUB XITIXISIXI4 IM Reg Reg ALLI DM Reg beg & X7, label Reg ALL DM Reg add x15. XII . XI4 IM ARY ALL DM R SUB X15, x30, X4 ALU (DM) Reg Sd 129 , /2(x16) IM Reg ALU (DM) Reg 1d x29, 81x16) Reg MΣ ALLI DM Reg Reg PIKI SIKI [IX duz ΔM Reg ALLI DAN Reg beg & X7, label Reg ALL DM MΣ add x15. XII . XI4 IM AM ALU DIN R SUB X15, x30, X14

- 1) 当运行到 bequa指令时停顿(同时治问存储器) 1d 也高浪内存,故再次停顿、(sub后停顿2次)
- 2) 祠以因为斩ld和sd的MM段从与之后新指令的工M段在同一个用钟周期运行,会造成停顿。
- 3) 啊以,NOP也需要取指令、

^{4.)} 25% + 11% = 36% 每次读写内存都会停顿。

3. (COD_CH, P251, 4.23)

如果我们改变 load/store 指令格式,使用寄存器 (不需要立即数偏移)作为访存地址,这些指令就不再需要使用 ALU。这样的话, MEM 阶段和 EX 阶段就可以重叠,流水级数变为四级。

- 1). 流水级数的减少会影响时钟周期吗?
- 2). 这样的变化可能会提高流水线的性能吗?
- 3). 这样的变化可能会降低流水线的性能吗?
 - 1. 不会 因为最慢的ID段的延迟没有改变。
 - 2. MEM和EX阶段重叠可以减少一段时钟周期(加载和使用加载结果的操作)。可能提高流水线性能
 - 3. 可能,因为对load和store指令的更改可能会造成总指令数的增加(ld等指令可能会需要addi的协助)

4. $(COD_CH, P252, 4.25)$

考虑如下循环:

```
LOOP: ld x10, 0(x13)
ld x11, 8(x13)
add x12, x10, x11
subi x13, x13, 16
bnez x12, LOOP
```

如果使用完美的分支预测(即没有控制冒险带来的流水线停顿),流水线中没有使用延迟槽,采用硬件前递解决数据冒险,分支指令在 EX 阶段判断是否跳转。

- 1). 给出该循环中前两次循环的流水线执行图。
- 2). 标注出没有进行有用操作的流水级。当流水线全负荷工作时,所有五个流水级都在进行有用的操作的情况多久会出现一次? (从 subi 指令进入 IF 阶段开始计算, 到 bnez 指令进入 IF 阶段结束)

4.

LOOP: Id x10, OCHB) IF ID EX ME WB

72 (81x)81 11x bl

IF ID BY ME MB

add x12, x10 x11

BM FM O OF AT

31, 81x, 21x iduz

IF DID DIM WB

bnez XIZ, LOOP

O IF IN EX MENS

Carlo our bl

IF ID EX MEWB

19 ×11 8(18)

IF ID EX NEWS

add x12, x10,x11

IF ID O EX MEMB

SUBI XIS, XIS, 16

TE O TO EX ME MB

bree XIZ loop

D It ID EX WE ME

2). 口为研段、栅观五个流水线都超行有用操作的情况。