

# Homework 01

1. 用德·摩根定理和 A.2 节中的结合公理证明下面两个关于  $E$  的表达式是等价的：

- a).  $E = ((A \cdot B) + (A \cdot C) + (B \cdot C)) \cdot (\overline{A \cdot B \cdot C})$
- b).  $E = (A \cdot B \cdot \overline{C}) + (A \cdot C \cdot \overline{B}) + (B \cdot C \cdot \overline{A})$

2. 用两输入的与门、或门和非门实现四输入的奇校验函数。

3. 假设  $X$  由三位  $x_2$ 、 $x_1$ 、 $x_0$  组成。

a). 分别写出下列4个逻辑表达式（当且仅当满足下面的条件时逻辑表达式为“真”）：

- $X$  中只有一个0。
- $X$  中有偶数个0。
- 当  $X$  被当做无符号二进制数时， $X$  小于4。
- 当  $X$  被当做有符号二进制数时， $X$  是负数。

b). 用  $PLA$  实现上述4个逻辑函数。

4. 下面的 *Verilog* 模块实现了何种功能：

```
module FUNC1 (I0, I1, S, out);
    input I0, I1;
    input S;
    output out;
    out = S? I1: I0;
endmodule

module FUNC2 (out, ctl, clk, reset);
    output [7:0] out;
    input ctl, clk, reset;
    reg [7:0] out;
    always @(posedge clk)
        if (reset) begin
            out <= 8'b0;
        end
        else if (ctl) begin
            out <= out + 1;
        end
        else begin
            out <= out - 1;
        end
endmodule
```

5. 根据下面给出的累加器逻辑图，写出它的 *Verilog* 模块实现。假定使用正边沿触发寄存器和异步 *Rst*。

