

Homework 06

1. (改编自 *COD_CH, P337, 5.2*)

现对一个64位存储器进行访问，表 1_1 的第一列是以字地址形式给出的访问地址顺序。（假设字的大小为64位）

- 1) 假设存储器的 *Cache* 共有 16 个基本块，每个块大小为 1 个字。请参考表 1_1 的形式，给出这些访问地址在 *Cache* 中对应的：二进制字地址、索引、标签和访问的命中情况。
- 2) 假设存储器的 *Cache* 共有 8 个基本块，每个块大小为 2 个字。请参考表 1_1 的形式，给出这些访问地址在 *Cache* 中对应的：二进制字地址、索引、标签和访问的命中情况。
- (*Cache* 最初为空，替换策略采用 *LRU*，索引、标签给出二进制形式即可)

Word Address	Binary Address	index	Tag	Hit/Miss
0x03				
0xb4				
0x2b				
0x02				
0xbf				
0x58				
0xbe				
0x0e				
0xb5				
0x2c				
0xba				
0xfd				

表 1_1

2. (改编自 *COD_CH, P339, 5.7*)

考虑以下的程序和 *Cache* 行为：

每 1000 条指令的数据读次数	每 1000 条指令的数据写次数	指令 <i>Cache</i> 失效率	数据 <i>Cache</i> 失效率	块大小 (字节)
250	100	0.30%	2%	64

*存储器位宽为 32-bit，带宽单位采用: *bytes/cycle*

- 1) 假设一个带有写直达、写分配 *Cache* 的 *CPU* 实现了 2 的 *CPI*，那么 *RAM* 和 *Cache* 之间的读写带宽（用每个周期的字节数进行测量）是多少？（假设每个失效会生成一个块的请求）
- 2) 对于一个写回、写分配 *Cache* 来说，假设替换出的数据 *Cache* 块中有 30% 是脏块，那么为了实现 *CPI* 为 2，读写带宽需要达到多少？

3.

假设 *CPU* 执行某段程序时，共访问 *Cache* 命中 2000 次，访问主存 50 次。已知 *Cache* 存取周期为 50*ns*，主存存取周期为 200*ns*。求 *Cache*—主存系统的命中率和平均访问时间。

4. (改编自 *COD_CH*, P341, 5.12)

多级 *Cache* 是一种重要的技术，可以克服在一级 *Cache* 提供的有限空间的同时仍然保持速度。考虑具有一下参数的处理器：

无内存停顿 的基本CPI	处理器速度	主存访问 时间	每条指令的 <i>L1 Cache</i> 失效率	<i>L2</i> 直接映射 <i>Cache</i> 速度	<i>L2</i> 直接映射 <i>Cache</i> 全局失效率	<i>L2</i> 八路组 相联 <i>Cache</i> 速度	<i>L2</i> 八路组 相联 <i>Cache</i> 全局失效率
1.5	2 <i>GHz</i>	100 <i>ns</i>	7%	12 <i>cycles</i>	3.5%	28 <i>cycles</i>	1.5%

**L1 Cache* 失效率是针对每条指令而言的。假设 *L1 Cache* 的总失效数量（包括指令和数据）为总指令数的 7%

1) 分别计算在下列情况下的处理器 *CPI*：

- 仅有 *L1 Cache*
- 使用 *L2* 直接映射 *Cache*
- 使用 *L2* 八路组相联 *Cache*

2) 假设处理器采用 *L2* 直接映射 *Cache*，设计人员希望添加一个 *L3 Cache*，该 *Cache* 访问时间为 50 个时钟周期，并且具有 13% 的失效率，请计算此处理器的 *CPI*。

3) 在较老的处理器中，例如 *Intel Pentium* 或 *Alpha 21264*，*L2 Cache* 在主处理器和 *L1 Cache* 的外部（位于不同芯片上）。虽然这种做法使得大型 *L2 Cache* 成为可能，但是访问 *L2 Cache* 的延迟也变得很高，并且因为 *L2 Cache* 以较低的频率运行，所以带宽通常也很低。假设 512*KiB* 的片外 *L2 Cache* 的失效率为 4%，如果每增加一个额外的 512*KiB* 片外 *L2 Cache* 能够降低 0.7% 的失效率，并且片外 *L2 Cache* 的总访问时间为 50 个时钟周期，那么片外 *L2 Cache* 容量必须多大才能与第一问列出的 *L2* 直接映射 *Cache* 的性能相匹配？