

HW04

张艺耀 PB20111630

1.

假定采用IEEE 754 单精度格式，写出十进制数 78.75 的二进制表示，并且写出十六进制形式。

$78.75 = (1.00111011)_2 * 2^6$. 由IEEE单精度格式知E-127 = 6. E = 133

符号位为0 尾数为001110110000000000000000

故二进制表示为： 0 10000101 001110110000000000000000

十六进制表示为： 0x429D8000

2.

根据下述指令组合回答问题。

R-type	I-type(non-ld)	Load	Store	Branch	Jump
23%	26%	27%	12%	10%	2%

- 1) 发生数据访存的指令所占比例？
- 2) 发生指令访存的指令所占比例？
- 3) 使用符号拓展的指令所占比例？

1. 发生数据访存的指令为Load和Store 比例为 $27\% + 12\% = 39\%$

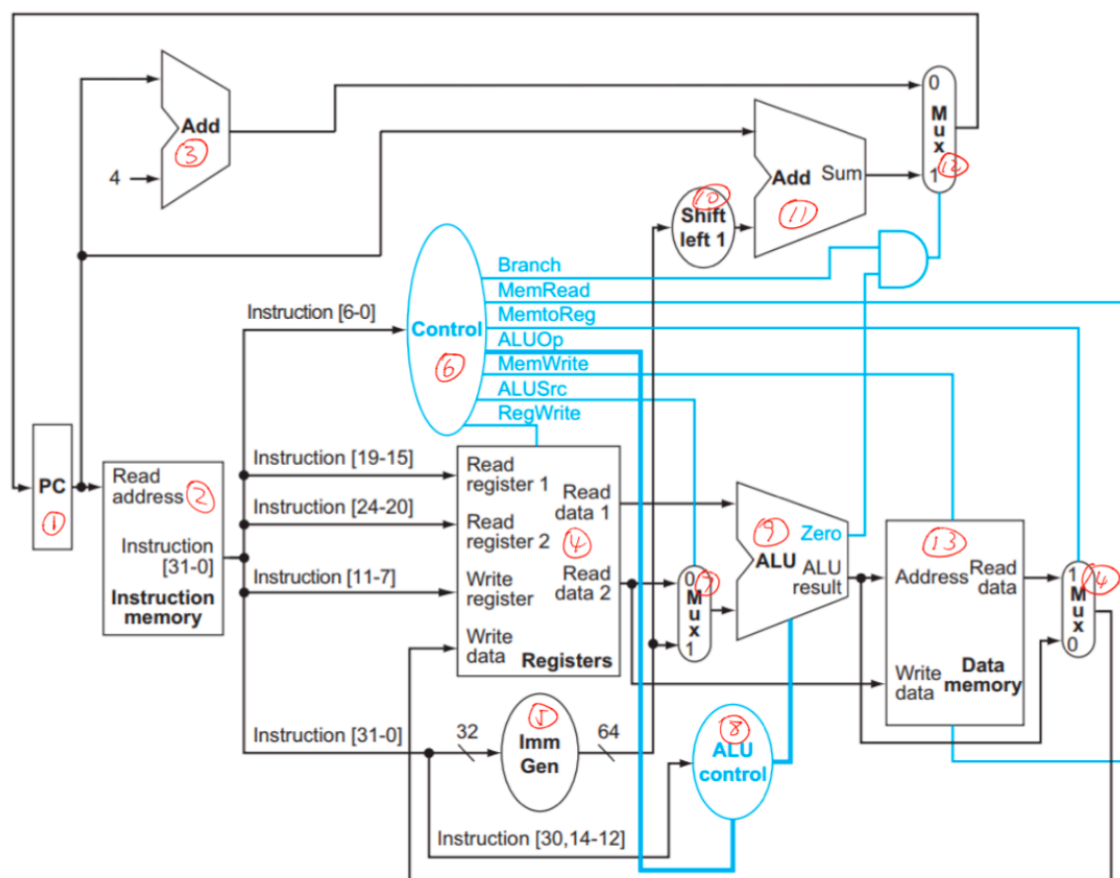
2. 发生指令访存的指令为所有指令 比例为 100%

3. 使用符号拓展的指令为除R-type外所有指令 比例为 $1 - 23\% = 77\%$

3.

本题中，我们将仔细讨论单周期数据通路中执行指令的细节。假设本周期处理器取来指令：0x00c6ba23，当前指令地址为0xbfc0038c

数据通路如下，参考书中图4-17



- 1) 此时ALU控制单元的输入值是多少(ALUOp、ALU控制线)?
- 2) 该指令执行结束后新的PC地址是多少? 列出计算该PC值的通路的序号。
- 3) 此时ALU和另两个加法单元的输入数值是多少(可用Reg[x1]表示寄存器x1中的值)?

1. 由指令格式知该指令是sd指令 对应的ALUOp为 00 ALU控制线值为 0010

2. 新的PC为 0xbfc0038c + 0x4 = 0xbfc00390 序号为 1->3->12

3. ALU: Reg[x13] 和 20

ADD11: 0xbfc0038c 和 40

ADD3: 0xbfc0038c 和 4

4.

假设用来实现处理器数据通路的各功能模块延迟如下所示：

I-Mem/D-Mem	Register File	Mux	ALU	Adder	Single gate	Register Read	Register Setup	Sign extend	Control
235ps	160ps	45ps	230ps	155ps	10ps	40ps	15ps	65ps	55ps

其中，寄存器读延迟指的是，时钟上升沿到寄存器输出端稳定输出新值所需的时间。该延迟仅针对PC寄存器。寄存器建立时间指的是，寄存器的输入数据稳定到时钟上升沿所需的时间。该数值针对PC寄存器和寄存器堆。

数据通路参考书中图4-17，即上图；其他延迟默认为0；每条指令从读PC开始，即都包含PC读延迟。

- 1) R型指令的延迟是多少？（换句话说，如果能让这类指令工作正确，时钟周期最少为多少）
- 2) ld指令的延迟是多少？（仔细检查你的答案，许多学生会添加额外的寄存器）
- 3) sd指令的延迟是多少？（仔细检查你的答案，许多学生会添加额外的寄存器）
- 4) beq指令的延迟是多少？
- 5) l型指令的延迟是多少？
- 6) 该CPU的最小时钟周期是多少？

1. R型 延迟为： $40 + 235 + 160 + 45 + 230 + 45 + 15 = 770\text{ps}$

2. ld 延迟为： $40 + 235 + 160 + 45 + 230 + 235 + 45 + 15 = 1005\text{ps}$

3. sd 延迟为： $40 + 235 + 160 + 230 + 235 + 45 = 945\text{ps}$

4. beq 延迟为： $40 + 235 + 160 + 45 + 230 + 10 + 45 + 15 = 780\text{ps}$

5. l型 延迟为： $40 + 235 + 160 + 45 + 230 + 45 + 15 = 770\text{ps}$

6. 1005ps