

Lab01 实验报告

王正 518021910079

一、 实验名称

FPGA 基础实验: LED Flow Water Light

二、 实验目的

1. 熟悉 Xilinx 逻辑设计工具 Vivado 的基本操作;
2. 掌握使用 VerilogHDL 进行简单的逻辑设计;
3. 使用功能仿真;

三、 功能实现

1. 源文件 flowing_light.v

clock 和 reset 作为输入信号, 控制 led 灯的亮与灭;

当 reset 信号为 1 时, 计数器 cnt_reg 被初始化为 0, 输出信号 led[0]被初始化为 00000001;

当 reset 信号为 0 时, 计数器在每个时钟信号上升沿加 1 计数, 直至加至 24 位值全为 1 时, 输出信号左移一位;

```
module flowing_light(  
    input clock,  
    input reset,  
    output [7:0] led  
);  
    reg [23:0] cnt_reg;  
    reg [7:0] light_reg;  
    always @ (posedge clock)  
    begin  
        if (reset)  
            cnt_reg<=0;  
        else  
            cnt_reg<=cnt_reg+1;  
        end  
    always @ (posedge clock)  
    begin  
        if (reset)  
            light_reg<=8'h01;  
        else if (cnt_reg ==24'hffffff)  
            begin  
                if (light_reg == 8'h80)  
                    light_reg <= 8'h01;  
                else  
                    light_reg <= light_reg << 1;  
                end  
            end  
        assign led = light_reg;  
    endmodule
```

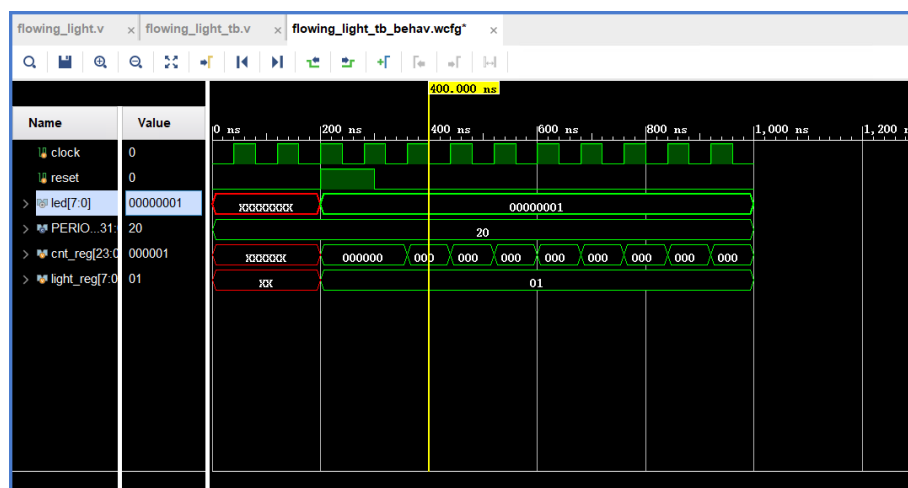
2. 仿真激励文件 flowing_light_tb.v

```
C:/Archlabs/lab01/lab01.srcs/sim_1/new/flowing_light_tb.v

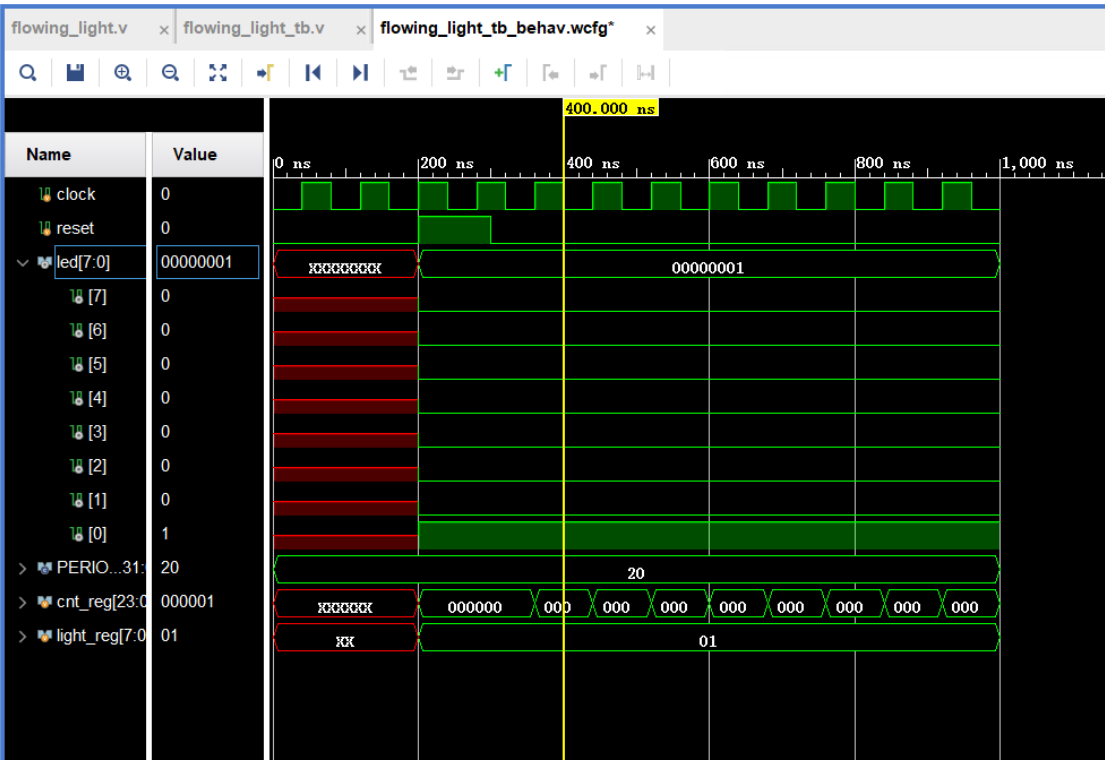
22
23 module flowing_light_tb(
24
25 );
26     reg clock;
27     reg reset;
28     wire [7:0] led;
29
30     flowing_light u0(
31         .clock(clock),
32         .reset(reset),
33         .led(led));
34
35     parameter PERIOD=20;
36
37     always #(PERIOD*2) clock = !clock;
38
39     initial begin
40         clock = 1'b0;
41         reset = 1'b0;
42         # (PERIOD*10) reset = 1'b1;
43         # (PERIOD*5) reset = 1'b0;
44
45         // #580; reset = 1'b1;
46     end
47
```

四、 结果展示

下图为基于以上模块代码和激励测试文件运行仿真后所得到的波形。



由波形可得，在时钟上升沿时且 reset 置 1 时，led[0]=1 表示第一个灯亮。



五、 心得体会

Lab01 的难度并不算大，仔细按照实验指导书上给出的内容就可以得到最终的结果。但是在实操过程中也遇到了很多问题，如代码格式，端口命名。通过解决这些问题，我初步掌握了 Xilinx 逻辑设计工具 Vivado 的基本操作，对 Verilog 代码逻辑与代码格式有了初步认识，学会了使用 VerilogHDL 硬件描述语言进行简单的逻辑设计。