

# Lab02 实验报告

王正 518021910079

## 一、 实验名称

FPGA 基础实验: 4-bit Adder

## 二、 实验目的

1. 熟悉 Xilinx 逻辑设计工具 Vivado 的基本操作;
2. 掌握使用 VerilogHDL 进行简单的逻辑设计;
3. 使用功能仿真;

## 三、 功能实现

1. 首先实现 1 位加法器 adder\_1bit

```
module adder_1bit(  
    input a,  
    input b,  
    input ci,  
    output s,  
    output co  
);  
    wire s1, c1, c2, c3;  
    and (c1, a, b),  
        (c2, b, ci),  
        (c3, a, ci);  
  
    xor (s1, a, b),  
        (s, s1, ci);  
  
    or (co, c1, c2, c3);  
endmodule
```

2. 4 位加法器的实现:

```

module adder_4bits(
    input [3:0] a,
    input [3:0] b,
    input ci,
    output [3:0] s,
    output co
);

    wire [2:0] ct;

    adder_1bit a1(.a(a[0]), .b(b[0]), .ci(ci), .s(s[0]), .co(ct[0])),
    a2(.a(a[1]), .b(b[1]), .ci(ct[0]), .s(s[1]), .co(ct[1])),
    a3(.a(a[2]), .b(b[2]), .ci(ct[1]), .s(s[2]), .co(ct[2])),
    a4(.a(a[3]), .b(b[3]), .ci(ct[2]), .s(s[3]), .co(co));

endmodule

```

### 3. 仿真激励文件:

```

module adder_4bits_tb(

);

    reg [3:0] a;
    reg [3:0] b;
    reg ci;

    wire [3:0] s;
    wire co;

    adder_4bits u0(
        .a(a),
        .b(b),
        .ci(ci),
        .s(s),
        .co(co)
    );

    initial begin
        a=0;
        b=0;
        ci=0;

        #100
        a=4'b0001;
        b=4'b0010;

        #100
        a=4'b0010;
        b=4'b0100;

        #100
        a=4'b1111;
        b=4'b0001;

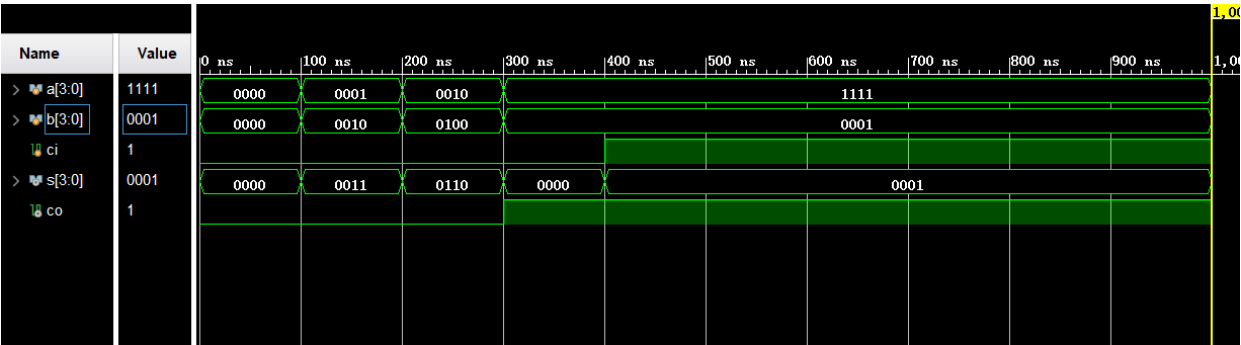
        #100
        ci=1'b1;

    end

endmodule

```

## 四、 结果展示



通过观察仿真波形图，可以得出仿真的结果与逻辑功能是一致的，有  $a + b = s$ ;

## 五、 心得体会

与 Lab01 类似，这次实验整体较为顺利，感觉自己使用 Vivado 更加熟练，对 Verilog 的语法也更加清楚。最终实现了一个四位加法器。