

HW2 – Placement and Routing using Innovus

1. 作業描述

本次作業目的是讓大家練習使用 Innovus，請根據 Innovus Tutorial 操作，將 gate level code 經 APR(Auto Place and Route) EDA tool 轉為 transistor level。

2. 模擬指令

本次提供一個合成後的 testbench，模擬相關指令如下。

```
ncverilog testbench.v SET_APR.v -v ./syn/tsmc13_neg.v +define+SDFAPR +ncmaxdelays
```

如果要輸出波形，可以使用 +FSDB 並且加上 +access+r

調整 testbench 中的 cycle time，必須和 sdc 中的 cycle time 相同，如果模擬沒過，可以慢慢提高 testbench 中的 cycle time，直到通過為止。

如果跳一兩個 error 說 SET_APR.v 中某幾行有 ANTENNA...之類的問題，進入檔案把它們註解掉即可。

3. 繳交檔案

壓縮檔如下：b0*901***_HW2.zip

分類	檔案名稱	描述
APR	SET_APR.v	Netlist Verilog Code
APR	SET_APR.sdf	SDF file
Report	b0*901***_report.pdf	填寫 report.doc 存成 pdf

➤ Report 內容

1. 使用 Innovus 完成 NanoRoute 後截圖
2. Post-APR simulation 通過截圖
3. 通過 Post-APR simulation 的 cycle time*Area

4. 繳交期限

12/09 (三)中午 12:00 以前上傳至 Ceiba

同學如果有任何問題，請先盡量透過 email 詢問助教。剛開始學習大家遇到的問題都會蠻像的，如果要寄 email 給助教，請同時寄給兩位助教，記得在信件前加 [專題研究] 避免漏信。

助教 林奕憲 d06943006@ntu.edu.tw

助教 葉陽明 d05943006@ntu.edu.tw