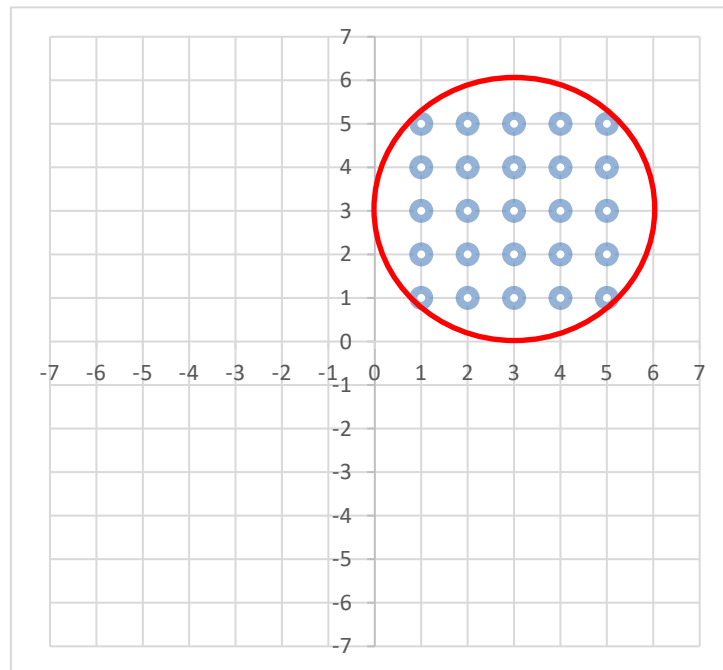


HW1 Counting the Number of Vertex Covers by Circle Graph

Verilog - RTL and Synthesis using Design Vision

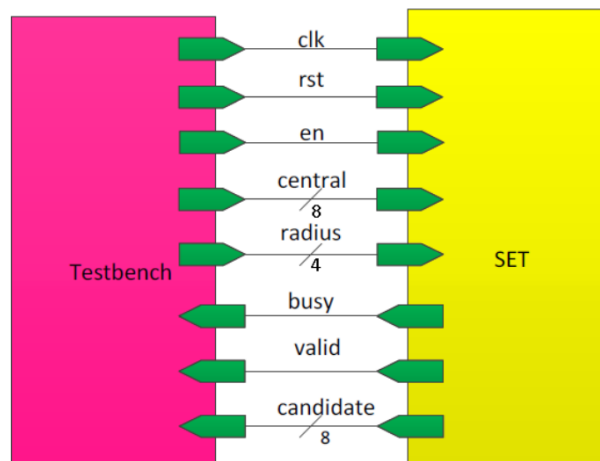
1. 問題描述

本題目須完成利用所提供之圓形圖，計算圖內覆蓋的格子點個數。此測試模組之 15x15 座標系統 x,y 座標範圍落在-7~7 之間。如下圖一所示，在座標系統內有一圓形，其中圓心座標 (3,3) 與其半徑 $r=3$ 所涵蓋(不包含剛好坐落在圓周上的點)的每一座標點形成一個集合稱為集合 $A=\{\dots\}$, |集合 A| 則表示集合 A 所涵蓋的元素數量，電路最後輸出此集合內的元素個數。(其中圓心座標與半徑皆是正整數)。



圖一、二維座標系統

2. 設計規格



圖二、系統方塊圖

信號名稱	輸出/入	位元寬度	說明
<i>clk</i>	<i>Input</i>	1	時脈信號，本系統為同步於時脈正緣設計
<i>rst</i>	<i>Input</i>	1	高位準非同步(active high asynchronous)之系統重置訊號
<i>en</i>	<i>Input</i>	1	當 <i>en</i> =1 時，輸入的 <i>central</i> 及 <i>radius</i> 為有效訊號
<i>central</i>	<i>Input</i>	8	集合座標資料。其組成為{x,y}，其中 central[7:4]：為集合的 X 軸座標 (x) central[3:0]：為集合的 Y 軸座標 (y) 注意: x,y 座標皆是以 2 補數的形式表示正負
<i>radius</i>	<i>Input</i>	4	集合半徑資料。radius[3:0] 為集合的半徑值 r 注意: radius 皆為 unsigned
<i>busy</i>	<i>Output</i>	1	系統忙碌指示訊號。當此訊號為 1 時表示系統為忙碌中。
<i>valid</i>	<i>Output</i>	1	當 <i>valid</i> =1 時，輸出訊號為有效訊號，testbench 會檢查 <i>candidate</i> 是否正確
<i>candidate</i>	<i>Output</i>	8	輸出題目所指定的元素個數

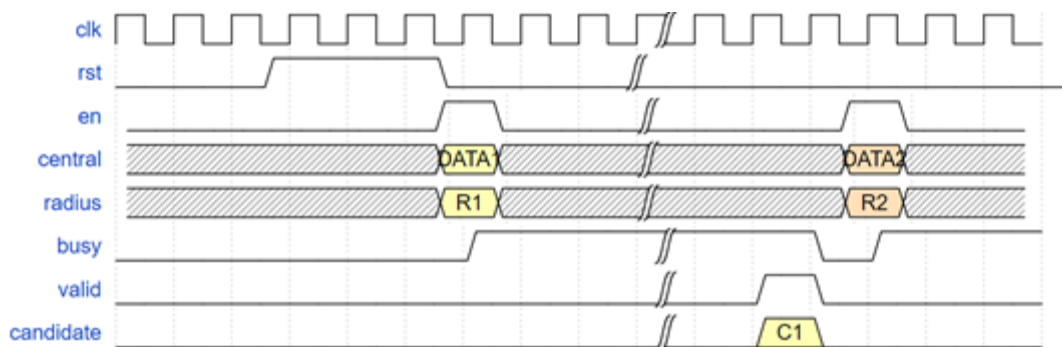
表一、輸入/輸出訊號

提示:關於 *central* 這個 input，建議大家要宣告 reg signed [3:0] 的型態來連接

3. 系統功能描述

當 reset 結束後。每當測試模組偵測到 *busy*=0 且經時脈訊號負緣觸發時會立刻送出輸入效能訊號 *en*、集合座標資料 *central* 及集合半徑資料 *radius*；而當 *en*=1 且經時脈訊號正緣觸發之 *central* 及 *radius* 為有效輸入訊號。系統需在接收到有效輸入訊號後將 *busy* 拉為 1 表示系統忙碌中，並計算出其集合空間裡所涵蓋的元素個數。接著系統須將 *valid* 拉為 1 並同時將前述計算完成之集合座標點數目利用 *candidate* 訊號輸出。接著請再次將 *busy* 設定為 0 表示系統閒置，測試模組將在偵測到 *busy*=0 且經時脈訊號負緣觸發後輸出下一筆待測訊號。

詳細的時序圖請參考圖二。



圖二、系統時序圖

此資料輸入為座標 (x_0, y_0) 與 r ，本系統描述如下：

$$\forall x, y \mid (x - x_0)^2 + (y - y_0)^2 < r^2, x \in Z, y \in Z, -7 \leq x, y \leq 7$$

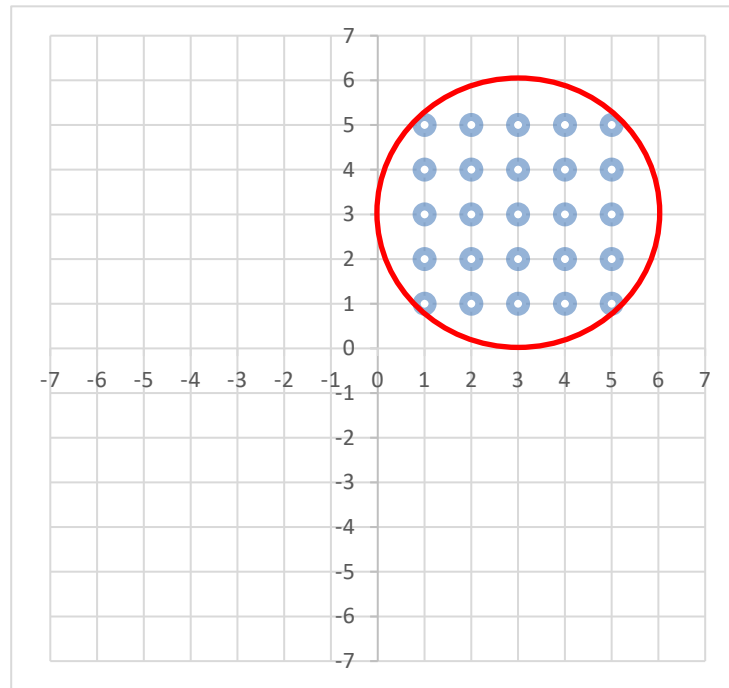
Ex: 輸入 $(x_0, y_0) = (3, 3)$ ， $r = 3$ ，在 2 維 15x15 座標空間裡產生一集合，如圖三所示。

此集合所涵蓋之元素個數為 25

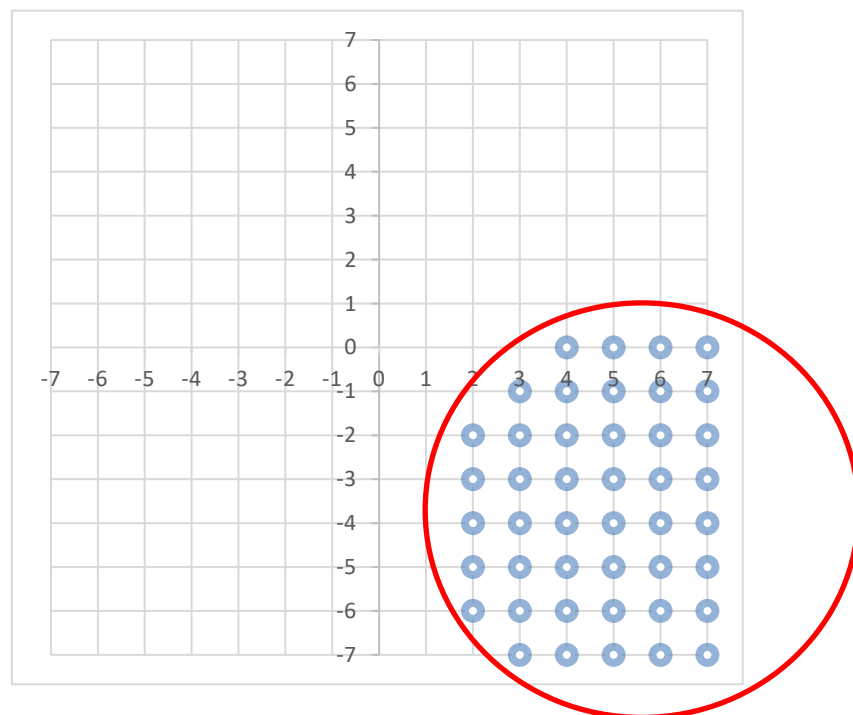
注意：唯有在 15x15 座標系統之內元素才需列入計算！

Ex: 輸入 $(x_0, y_0) = (6, -4)$ ， $r = 5$ ，在 2 維 15x15 座標空間裡產生一集合，如圖四所示。

此集合所涵蓋之元素個數為 44



圖三、圖形落於座標系統內



圖四、圖形涵蓋座標系統外

有錯誤時，則可能會出現

```
Pattern      62 failed !. Expected candidate = 24, but the Response candidate = 168 !!
Pattern      63 failed !. Expected candidate = 34, but the Response candidate = 178 !!
----- Simulation Stops !!-----

(T_T) ERROR found!! There are          2 errors in total.

Pattern      8 failed !. Expected candidate = 225, but the Response candidate = 194 !!
Pattern      9 failed !. Expected candidate = 9, but the Response candidate = 18 !!

(>_<) ERROR!! There are more than 10 errors during the simulation! Please check your code @@
```

圖六、模擬結果錯誤

```
----- [ Simulation Starts !! ] -----
Pattern      0 is passed !
-----
(/`n`)/ ~# There is something wrong with your code!!
Time out!! The simulation didn't finish after      200000 cycles!!, Please check it!!!
-----
Simulation complete via $finish(1) at time 200 US + 0
```

圖七、模擬時間超過 TIMEOUT

如果出現如圖七的訊息時，則可能是 ENDCYCLE 數字太小，使得你的模擬來不及跑完，或是你的控制訊號有誤，輸出太少，請同學檢查 valid 訊號，或調整 testbench 中的 ENDCYCLE。

8. 作業要求

1. 通過 testbench 的 RTL Level 模擬
2. 通過 testbench 的 Synthesis Level 模擬
3. Synthesis 設計品質

Score = Area*Timing、越小越好

Area = Area report 中的 total cell area

Timing = testbench 所執行的時間（舉例如下圖為 315ns）

```
Simulation complete via $finish(1) at time 315 NS + 0
```

提示：盡量把 cycle 壓低，slack 接近 0

4. 繳交檔案如下：b0*901***_HW1.zip

分類	檔案名稱	描述
RTL	SET.v	RTL Verilog Code
Synthesis	SET_syn.v	Synthesis Verilog Code
Synthesis	SET_syn.sdf	SDF file
Synthesis	SET_syn.ddc	DDC file
Synthesis	SET_timing.txt	Timing Report
Synthesis	SET_area.txt	Area Report
Synthesis	SET_power.txt	Power Report
Report	b0*901***_report.pdf	填寫 report.doc 存成 pdf

9. 繳交期限

11/25 (三)中午 12:00 以前上傳至 Ceiba

同學如果有任何問題，請先盡量透過 email 詢問助教。剛開始學習大家遇到的問題都會蠻像的，如果要寄 email 給助教，**請同時寄給兩位助教**，記得在信件前加 [專題研究] 避免漏信。

助教 林奕憲 d06943006@ntu.edu.tw

助教 葉陽明 d05943006@ntu.edu.tw