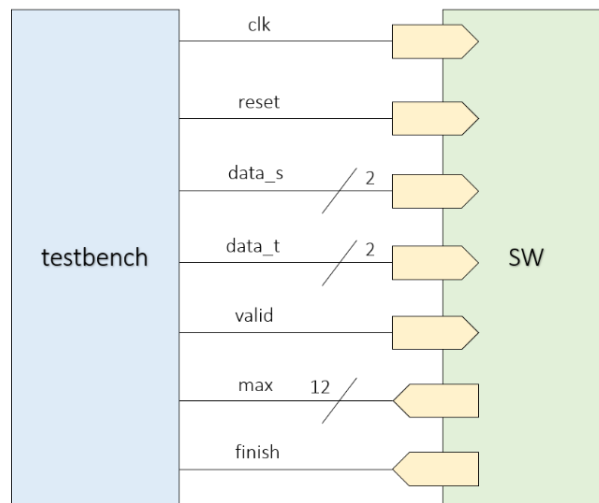


# Final\_Project – Smith-Waterman Algorithm

## 1. 問題描述

本次練習為 Smith-Waterman 演算法的硬體實現。輸入序列的長度為 256，共提供兩組測資，可參考課堂上所學的投影片進行硬體架構之設計，盡量壓低 cycle 數、cycle time 與 Area，除正確性外，最後評分也會以 Time\*Area 做為依據。

## 2. 設計規格



圖一、系統方塊圖

信號名稱	輸出/入	位元寬度	說明
<i>clk</i>	<i>input</i>	1	時脈信號，本系統為同步於時脈正緣設計
<i>reset</i>	<i>input</i>	1	高位準非同步(active high asynchronous)系統重置訊號
<i>data_s</i>	<i>input</i>	2	字串 S 序列資料匯流排，Testbench 會在 valid 有效期間每 cycle 送出一筆資料。其中 0(A) 1(T) 2(C) 3(G)
<i>data_t</i>	<i>input</i>	2	字串 T 序列資料匯流排，Testbench 會在 valid 有效期間每 cycle 送出一筆資料。其中 0(A) 1(T) 2(C) 3(G)
<i>valid</i>	<i>input</i>	1	當為 high 時，送出的 data_s 和 data_t 為有效的
<i>max</i>	<i>output</i>	12	為 Smith-Waterman 運算後得出的最大 alignment 分數
<i>finish</i>	<i>output</i>	1	用以告知 SW 電路運算完畢，請 testbench 端開始檢查 max 值是否運算正確。當為 low 時，表示 SW 電路還在運算；為 high 時，表示 SW 電路以運算完畢，可以進行檢驗 max 是否正確。

表一、輸入/輸出訊號

### 3. 系統功能描述

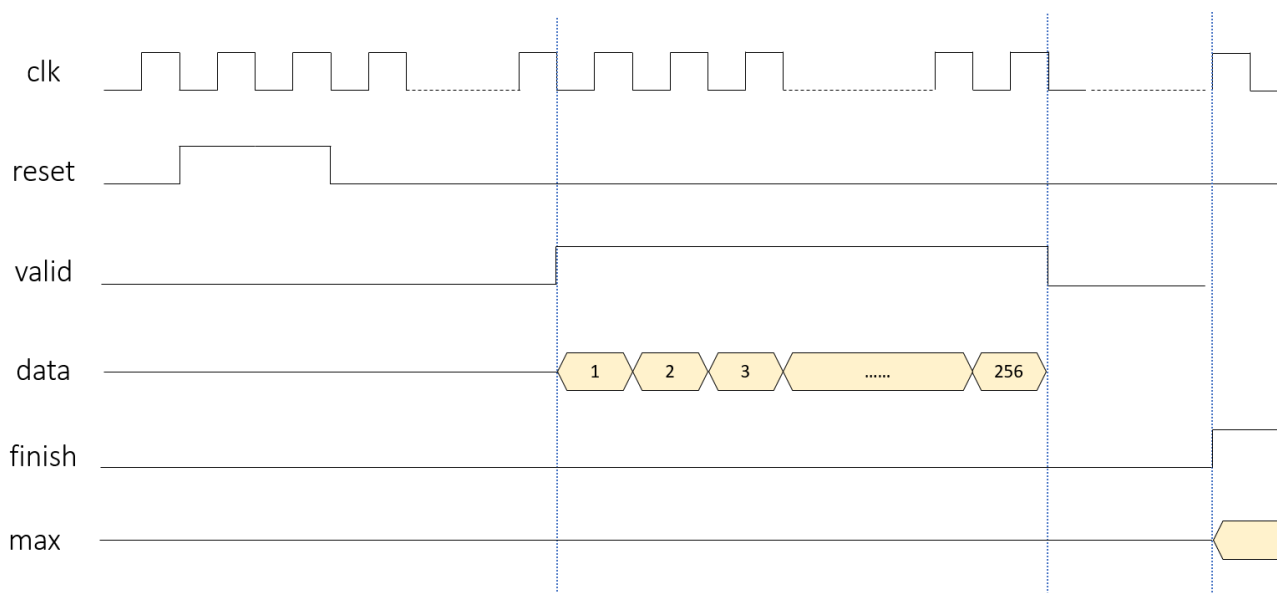
系統一開始會將 reset 訊號拉成 high 進行電路的重置，當 reset 結束，testbench 會將 valid 拉為 high，此時每一個 cycle 的 data\_s / data\_t 均代表字串 s / t 的輸入，總共有 256 / 256 個 data，之後 valid 訊號拉為 low。

當資料輸入完後，同學由自行完成的 SW 電路進行運算。當運算完成後，將 finish 拉至 high，此時 testbench 將會驗證同學 max 的輸出是否為正確答案。

詳細電路功能的說明請詳閱投影片。

### 4. 時序規格圖

SW 電路時序圖



圖二、valid 由負緣拉高，data 同時負緣給值，持續 256 筆，當經過運算後正緣將 finish 拉高，此時 testbench 檢查 max 的資料。

### 5 檔案說明

檔名	說明
tb.v	測試樣本檔
sw.v	設計檔，已包含系統輸入/輸出之宣告，同學請於此檔案內做設計
./dat/s1.dat ./dat/t1.dat	第一組測資
./dat/s2.dat ./dat/t2.dat	第二組測資
./dat/golden1.dat	第一組比對樣本檔案

./dat/golden2.dat	第二組比對樣本檔案
./datE1.xlsx ./dat/F1.xlsx ./dat/V1.xlsx	第一組測資的 E/F/V scoring matrix
./dat/E2.xlsx ./dat/F2.xlsx ./dat/V2.xlsx	第二組測資的 E/F/V scoring matrix
Layout 資料夾	APR 所需之檔案

其餘 Synthesis 與 APR 未提供的檔案表示沿用作業 1&2。

## 6. 模擬指令

RTL 設計完成的 testbench，使用模擬相關指令如下。

```
ncverilog tb.v sw.v +define+tb1
```

合成後的 testbench，模擬相關指令如下。(放入 sw\_syn.sdf)

```
ncverilog tb.v sw_syn.v -v tsmc13.v +define+tb1+SDFSYN
```

APR 後的 testbench，模擬相關指令如下。(放入 sw\_APR.sdf)

```
ncverilog tb.v sw_APR.v -v ./syn/tsmc13_neg.v +define+tb1+SDFAPR +ncmaxdelays
```

欲測試第二組測資，請自行修改為+define+tb2。

如果要輸出波形，可以使用+define+FSDB 或者是+define+VCD 並且加上 +access+r  
另外 tb.v 中的 CLK\_period 根據測試的階段進行修改。

## 7. 作業要求

1. 設計的 sw 能分別通過 RTL、Synthesis、APR 三種模擬。
2. 繳交檔案如下：b0\*901\*\*\*\_Project.zip

分類	檔案名稱	描述
RTL	sw.v	RTL Verilog Code
Synthesis	sw_syn.v	Synthesis Verilog Code
Synthesis	sw_syn.sdf	SDF file
Synthesis	sw_timing.txt	Timing Report
Synthesis	sw_area.txt	Area Report
Synthesis	sw_power.txt	Power Report
APR	sw_APR.v	Netlist Verilog Code
APR	sw_APR.sdf	SDF file
APR	summaryReport.rpt	Innovus report file
Report	b0*901***_report.pdf	格式請參照 report.doc，填寫後存成 pdf

## 8. 繳交期限

1/20 (三)中午 12:00 以前上傳所有上述檔案至 Ceiba

同學如果有任何問題，請透過 email 詢問助教或約定時間。如果要寄 email 給助教，記得在信件前加 [專題研究] 避免漏信。

助教 陳傳諭 [r08943017@ntu.edu.tw](mailto:r08943017@ntu.edu.tw) (Smith-Waterman 演算法相關)

助教 林奕憲 [d06943006@ntu.edu.tw](mailto:d06943006@ntu.edu.tw) (硬體設計流程相關)

助教 葉陽明 [d05943006@ntu.edu.tw](mailto:d05943006@ntu.edu.tw) (硬體設計流程相關)