

实验 1 熟悉 vivado 环境（附加题 1）

班级：01 学号：2021k8009925006 姓名：冯浩瀚

一、实验目的

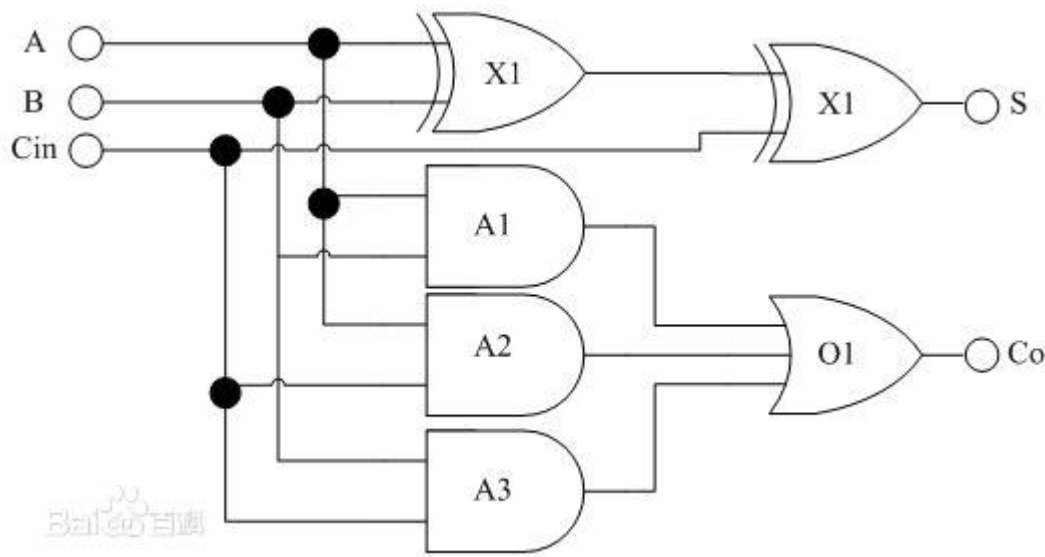
- 1.熟悉 Vivado 设计流程
- 2.掌握利用 Vivado 创建设计的方法（本次以实现 4 位加法器为例）
- 3.掌握编写 Testbench 的方法，以及行为仿真方法

二、实验环境

- 1. 操作系统：Windows 11
- 2. 软件及版本：Vivado 2017.4

三、原理说明

1 位全加器的结构级描述：使用 Verilog 结构级语言描述全加器的逻辑电路图中的门电路。



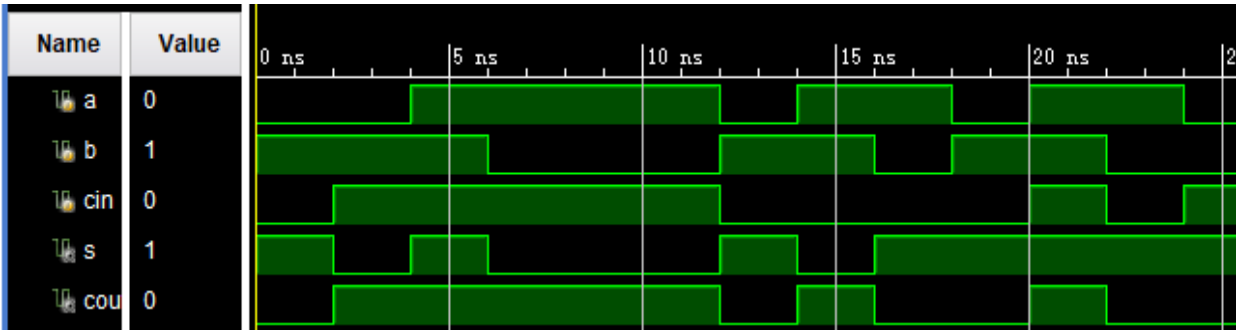
Testbench: 随机产生 3 个 0-1 的整数作为加数、被加数和低位进位信号，进行仿真模拟。

四、接口定义

名称	方向	位宽	功能描述
----	----	----	------

a	IN	1	加数
b	IN	1	被加数
cin	IN	1	低位进位信号
cout	OUT	1	高位进位信号
s	OUT	1	和

五、 调试结果及结果波形



六、 实验总结

本实验以实现 1 位全加器的结构级描述为例，熟悉了利用 Vivado 创建设计和编写 Testbench 并进行行为仿真的方法。虽为第一次使用 Vivado 但因实验整体难度较低加之有讲义辅助，完成过程中并未出现较大困难。

七、 源代码

加法器：

```
module adder_1_constructure(  
    input a,  
    input b,  
    input cin,  
    output s,  
    output cout  
);  
wire [2:0]w;  
and  
    g1(w[0],a,cin),  
    g2(w[1],a,b),  
    g3(w[2],b,cin);
```

```
    xor g4(s,a,b,cin);
    or  g5(cout,w[0],w[1],w[2]);
endmodule
```

Testbench:

```
module test_adder_1_constructure();
reg a,b,cin;
wire s,cout;
adder_1_constructure instance_adder_1_constructure(
    .a(a),
    .b(b),
    .cin(cin),
    .s(s),
    .cout(cout)
);
initial begin
    a = 1'b0;
    b = 1'b1;
    cin = 1'b0;
end

always begin
    #2;
    a = $random()%2;
    b = $random()%2;
    cin = $random()%2;
end

endmodule
```