# 找regF2/F3的工作区间

寄存器RegF2/F3调整 时钟线相对于数据线的延迟，regF2/F3[clkdly]取值范围0~F，是线性的(F到0不是连续的)，每增加1个值数据会延后时钟大概0.2ns。

这个值和如下有关：

1 AD 656的驱动能力(reg4d/4e)

2 XTI 27M输入波形（可能）

3 PCB AD 656走线和656串阻值(用1%精度)，

4 Hisi VI采集的setup/hold需求，

5 Hisi DLL的方案。目前方案是：Hisi上电开启DLL，DLL参考Hisi内部150M产生Delay()，Hisi关闭DLL从使能即DLl不再动态产生Delay（不是关闭DLL）

6 温度和元器件个体差异会带来差异。高低温可能会差1个值。

启动测试前，请固定如上因素

测试方法

1. 插满摄像头
2. 摄像头的格式：

如果是2路或者4路视频复合到1路656输出(一般是小封装AD入2853)，插满D1相机来测

如果是1路复合（一般是大封装AD如2827），插满4M30/25 or 5M20 or 8M15来测

1. 每个656通道的值都要单独测
2. 相机摄入的图像内容要求：有颜色的区域占到屏幕的1/3到2/3。
3. 如何认为regF2/F3的值是合格的：

配置regF2/F3[clkdly]，依次从0到F，增加步进可以是1或者2

1. 肉眼检查图像是否有问题。看5s以上。异常视频包括但不限于：卡死/卡顿/偶尔卡一下，颜色异常，绿线等等。

B，看cat /proc/umap/vi中的ccErrN和IntRat(帧率)，每隔1s看一次，连续看4次。如果ccErrN有增加或者IntRat(帧率)明显异常（超过正常帧率正负3帧认为异常），则认为有问题

注意B没问题时，A可能有问题（比如个别区域颜色异常）；注意A没问题时，B可能有问题（比如4s中ccerror增加了一次）

所以A和B要同时没有问题

5，一个版型测试3块板子，防止只测一个测到不好的板子

每个板子可以测2次，重新上电测第二次。防止Hisi DLL可能带来的差异(如果确定DLL不会导致差异不用测第二次)

测试结果取值

一般会得到1或者2个连续区间，

选择范围大的区间，如果区间范围差不多(比如差1个值)则选择包含0的区间，

然后取区间中值作为最终值，如果区间包含0，则中间值稍微像0偏移1个或者2个值（取决于区间范围）

测出来的值同步抄送给我确认。我邮件scui@techpointinc.com

//其他建议：新的AD芯片建议多测一点，比如选择2～3个板型，每个板型产线人工验证50～100台