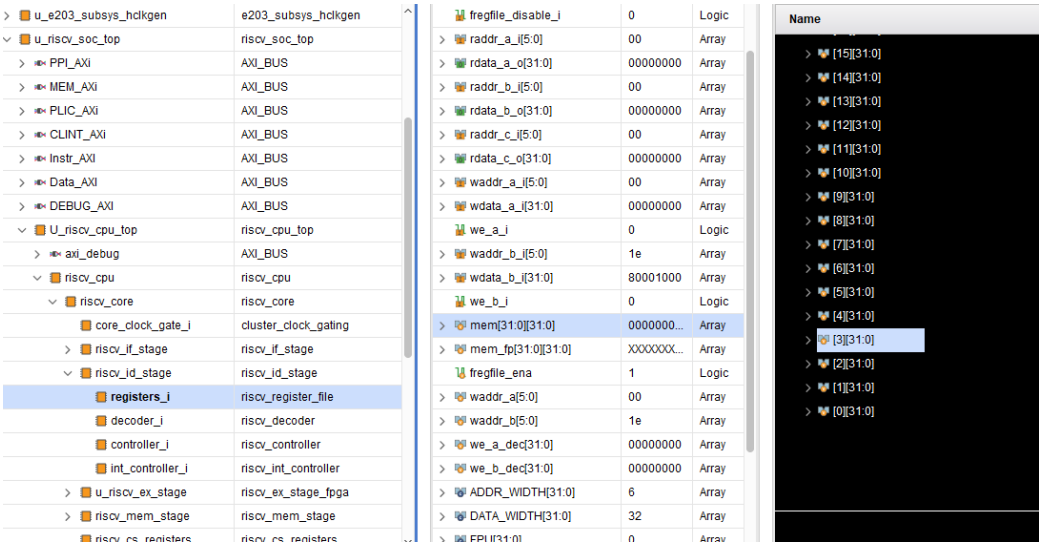
1. 打开 xcore 的工程后，添加 tb 文件夹下的仿真文件。
2. 打开 riscv_config.sv 文件，注释掉 EXTERNAL_FASH 信号，并取消 RISCV_FPGA_SIM 的注释。
3. 打开仿真文件 xcore_tb.v,修改读入的仿真程序的位置。

```
initial begin

    $readmemh("C:/Users/PerfxLab-ChenBotao/Desktop/xcore_generated/rv32im/DIV.elf.verilog", `RAM.mem);

initial begin
```

4. 打开仿真工具，添加 mem 寄存器信号到仿真，运行仿真，如果 mem[3]为 1，说明自测试例程正确。



5. 如果要了解 pc 状态，可以添加 pc_id 信号，根据仿真结果分析。