

Understanding MIPI Interface



刘斯宁

Camera技术专家

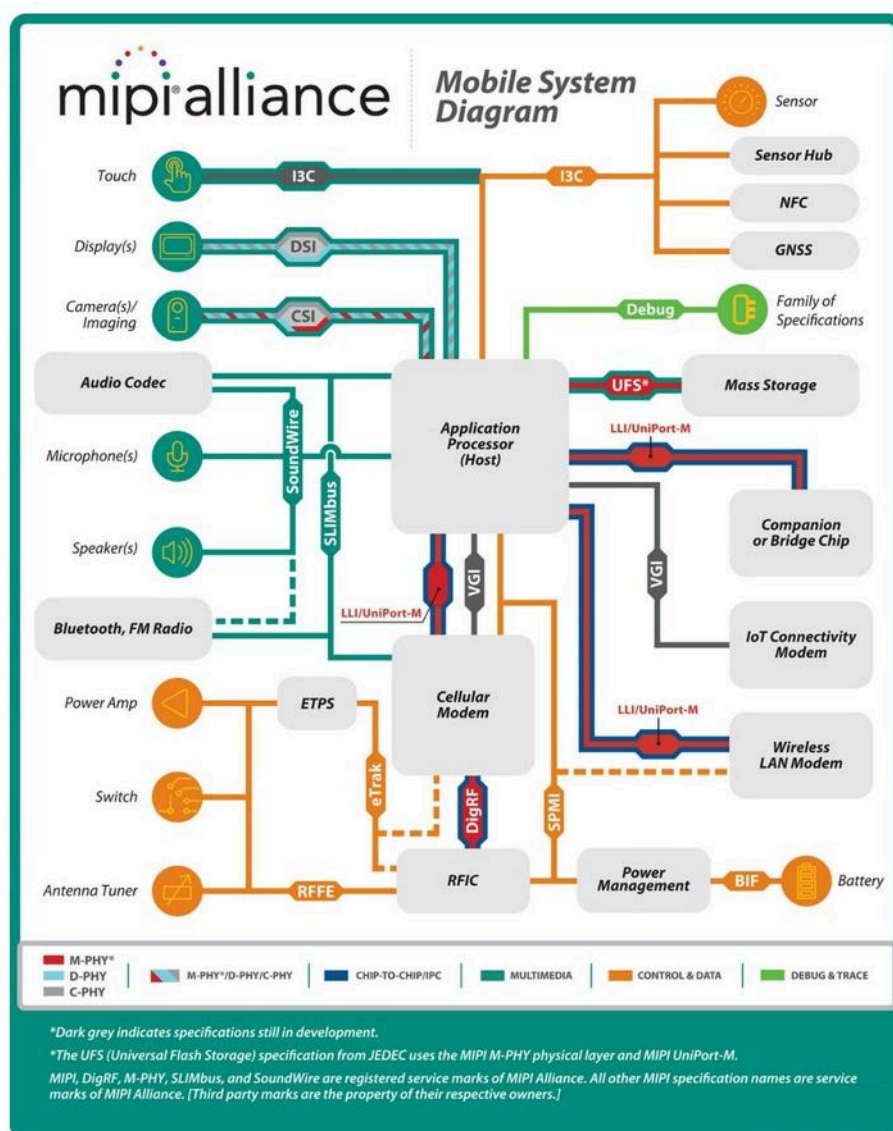
关注他

107 人赞同了该文章

1. 简介

移动产业需要一个标准的，强大的，可扩展的，低功耗，且支持移动设备的多种成像解决方案的摄像机接口。在摄像机领域，传感器与单片机之间的接口标准有很多，如UART、I2C、I2S、SPI、SDIO等串行接口，同时也有用于传感器和显示器的DVP等并行接口。多种不同的接口标准增加了产品设计的复杂性。另外，并行接口通常需要涉及10路以上信号，而与显示相关的应用则更是多达20路。繁多的信号增加了布线的困难，限制了信号的频率和传输距离，同时也制约了产品的小型化能力，所以已经逐渐被新技术淘汰。近些年来，接口技术的发展方向主要是低压、高速、串行、小型化，以满足移动市场对产品成本、体积、重量、功耗、性能和可靠性等方面的苛刻需求。

MIPI (Mobile Industry Processor Interface) 联盟是2003年由ARM, Nokia, ST, TI等公司成立的一个联盟组织，目的是把手机内部的接口如摄像头、显示屏接口、射频/基带接口等标准化，从而减少手机设计的复杂程度和增加设计灵活性。MIPI并不是一个单一的接口或协议，而是包含了一套协议和标准。MIPI联盟下面有不同的工作组，分别定义了一系列的手机内部接口标准，比如摄像头接口CSI、显示接口DSI、射频接口DigRF、麦克风/喇叭接口SLIMbus等。统一接口标准的好处是手机厂商根据需求可以从市面上灵活选择不同的芯片和模组，更改设计和功能时更加方便快捷。下图展示了MIPI联盟在移动设备领域所推出的各种技术标准。



知乎 @刘斯宁

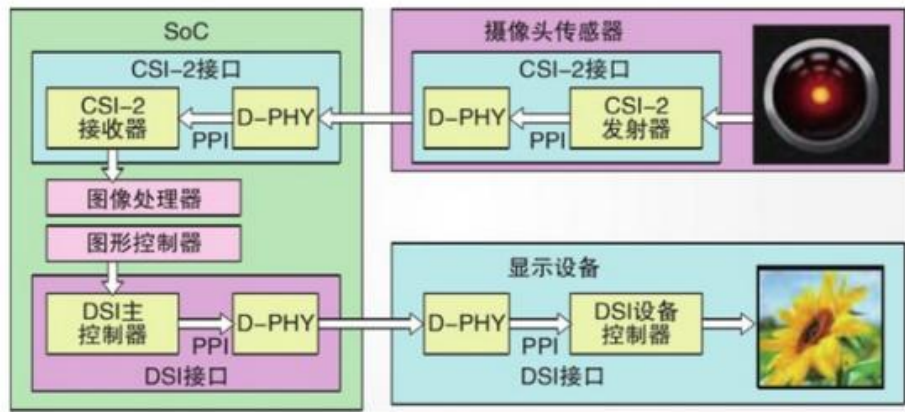
MIPI联盟已经完成和正在计划中的规范如下：



工作组	规范名称
Camera工作组	<ul style="list-style-type: none">• MIPI Camera Serial Interface 1.0 specification• Camera Serial Interface 2 v1.0 (CSI-2)
Device Descriptor Block工作组	暂无
DigRF工作组	<ul style="list-style-type: none">• DigRF BASEBAND/RF DIGITAL INTERFACE SPECIFICATION Version 1.12
Display工作组	<ul style="list-style-type: none">• DBI-2• DPI-2• DSI• DCS
高速同步接口工作组	<ul style="list-style-type: none">• HSI 1.0
接口管理框架工作组	暂无
低速多点连接工作组	<ul style="list-style-type: none">• SLIMbus
NAND软件工作组	暂无
物理层工作组	<ul style="list-style-type: none">• D-PHY• M-PHY
软件工作组	暂无
系统电源管理工作组	<ul style="list-style-type: none">• SPMI
检测与调试工作组	暂无
统一协议工作组	<ul style="list-style-type: none">• UniPro 1 point-to-point• PIE

知乎 @刘斯宁

MIPI是一个比较新的标准，其规范也在不断修改和改进，目前比较成熟的接口应用有CSI（摄像头接口）和DSI（显示接口），分别针对Camera或Display应用，都有复杂的协议结构。MIPI CSI-2和MIPI CSI-3 是MIPI 摄像机接口最初标准的升级版本，这两个版本都在持续演进中。两个版本都具有高级的架构设计，为开发人员，制造商和最终的消费者提供更多选择和更大的价值，同时保持标准接口的优势。下图说明了CSI和DSI设备的典型应用场景。



知乎 @刘斯宁

CSI/DSI的物理层（PHY Layer）由专门的工作组负责制定，在目前公布的协议中有三类基于摄像头的接口，分别是D-PHY，C-PHY和M-PHY接口。

相对于之前的版本，最新的CSI-2（v1.3）提供了更高的接口带宽和更好的通道布局灵活性。它引入了C-PHY 1.0（C-PHY 1.0是MIPI联盟于2014年9月发布的新物理接口），能够兼容之前的D-PHY v1.2版本。

C-PHY 和D-PHY都选择的改善了误差容忍度和提供了更高的数据速率。两中接口都是串行接口，它们解决了并行的接口的很多问题，比如降低了接口功耗，改善了并行难以扩展的问题。

C-PHY接口是1/2/3 Trio，每个Trio走3根线，最高是9根线，比D-PHY要少一根。每个trio 都有自己独立的嵌入式时钟，由于采用3相位（3-phase）符号编码，每个相位符号约由2.28bit表示，所以能够传输的数据量大一些。同样是在2.5G的速率下，C-PHY可以达到17.1G，而D-PHY只有10G。C-PHY是电压驱动型，由于是两两相差，信号幅度绝对值分别是0,100,200mv，信号较弱，不利于传输。C-PHY没有单独的同步信号线，必须要求传输距离短，不能走差分线对。

M-PHY类似于USB协议，完全是异步传输。与D-PHY相比，M-PHY使用更少的引脚，但是能提供更多的选择和更快的信号传输，速度在6GB/Sec。目前没有对应的sensor上市。

MIPI之前的传统接口一般都与多个物理层相关，而MIPI接口只在需要时连接到D-PHY或者M-PHY这两个物理层之上。目前应用最广泛的是D-PHY接口。D-PHY采用一对源同步的差分时钟和1~4对差分数据线来进行数据传输，属于电流驱动型设计，单信号幅度一般是200mv，线对差分的幅度在

400mv左右，布线要求是等长且成对。D-PHY规范只给出了数据率范围，并没有规定具体的工作速率，使用时可根据处理器和外设的需求来调节数据率。D-PHY数据传输采用DDR方式，即在时钟的上下边沿都有数据传输，所以时钟频率等于数据速率的一半。目前可用的MIPI D-PHY IP内核可提供每数据通道高达1 Gbps的传输率，这种特性意味着MIPI完全适用于当前及未来的高性能应用。

D-PHY的物理层支持HS(High Speed)和LP(Low Power)两种工作模式。HS模式下采用低压差分信号，功耗较大，但是可以传输很高的数据速率（数据速率为80M~1Gbps）；而LP模式下采用单端信号，数据速率很低（<10Mbps），但是相应的功耗也很低。两种模式的结合保证了MIPI总线在需要传输大量数据时可以高速传输，而在不需要大数据量传输时又能够减少功耗。

2. MIPI CSI/DSI规范

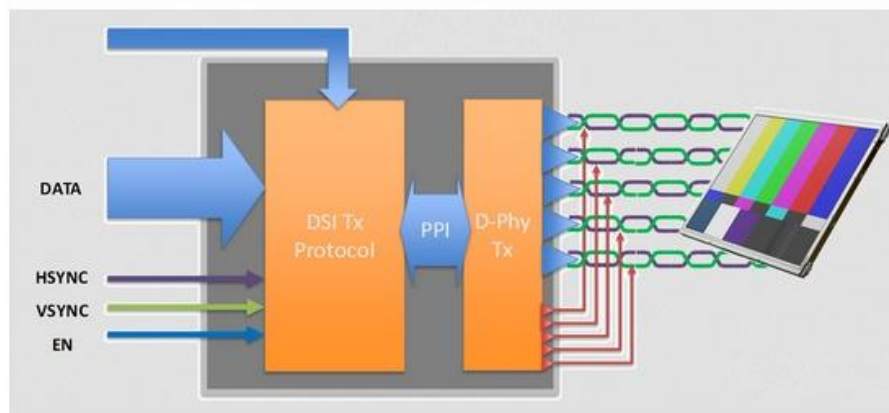
2.1 名词解释

为了方便理解后面的内容，首先介绍几个DSI协议文档中定义的缩写（Acronyms）：

- **DCS** (Display Command Set)：DCS是一个标准化的命令集，用于命令模式的显示模组。

MIPI总线控制器使用显示命令报文来向显示器发送像素数据流。显示器应该有一个全帧长的帧缓冲器来存储所有的像素数据。一旦数据被放在显示器的帧缓冲器中，定时控制器就从帧缓冲器中取出数据，并自动把它们显示在屏幕上。MIPI总线控制器不需要定期刷新显示器。

- **DSI** (Display Serial Interface) 定义了一个位于处理器和显示模组之间的高速串行接口。



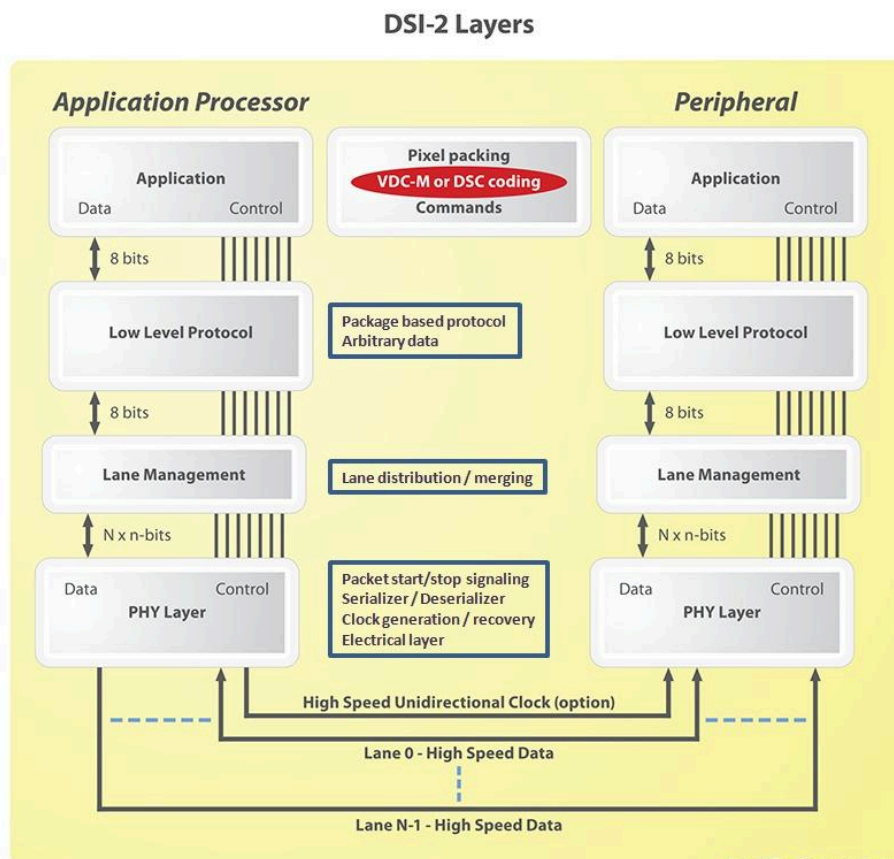
- **CSI** (Camera Serial Interface)定义了一个位于处理器和摄像模组之间的高速串行接口。
- **D-PHY**：提供DSI和CSI的物理层定义
- **DBI** (Display Bus Interface, Display Pixel Interface), Parallel interfaces to display modules having display controllers and frame buffers
- **DBI, DPI** (Display Bus Interface, Display Pixel Interface), Parallel interfaces to display modules without on-panel display controller or frame buffer
- **AM**, Active Matrix (Display Technology)
- **ASP**, Application Specific Protocol
- **BLLP**, Blanking or Low Power Interval

- BPP, Bit Per Pixel
- BTA, Bus Turn-Around
- HBP, Horizontal Back Porch
- HFP, Horizontal Front Porch
- HSA, Horizontal Sync Active
- HSE, Horizontal Sync End
- HSS, Horizontal Sync Start
- VSA, Vertical Sync Active
- VSE, Vertical Sync End
- VSS, Vertical Sync Start

2.2 DSI层次结构

DSI分四层，对应D-PHY、DSI、DCS规范、分层结构图如下：

- PHY 定义了传输媒介，输入/输出电路和时钟和信号机制。
- Lane Management层：发送和收集数据流到每条lane。
- Low Level Protocol层：定义了如何组帧和解析以及错误检测等。
- Application层：描述高层编码和解析数据流。

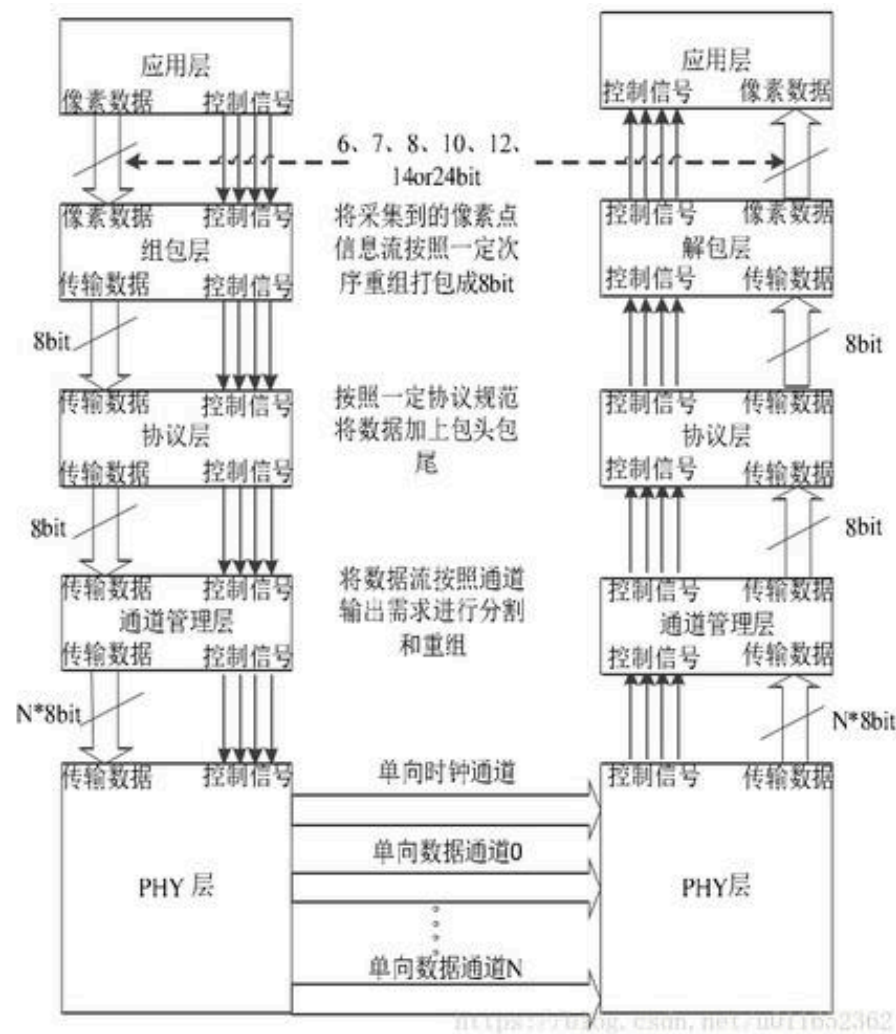


知乎 @刘斯宁

2.5 CSI原理

2.5.1 层次结构

根据MIPI联盟的规范，CSI2可分为5层，分别为：应用层、组包/解包层、底层协议层（Low Level Protocol）、通道管理层和物理层。



名称	解释
应用层	即是处理原始图像数据的各种算法模块
组包/解包层	负责将数据按照一定的次序，切割成 8 比特数据。
底层协议层	为新生成的数据加上包头包尾，形成符合协议要求的数据流。
通道管理层	将生成的数据流按照一定次序和要求，进行读写管理，输出数据流。
物理层	生成 MIPI 最后的信号波形。
像素数据	经过图像模块处理过的数据流，或者原始图像的数据流。
传输数据	经过MIPI模块切割或者加上包头包尾的数据。
控制信号	模块间的控制数据流
发送端	包括了 MIPI 数字部分，转接板等实现MIPI 信源传输的部分。
接收端	包括了转接板和商用接收端模块，负责解析收到的 MIPI 信源。

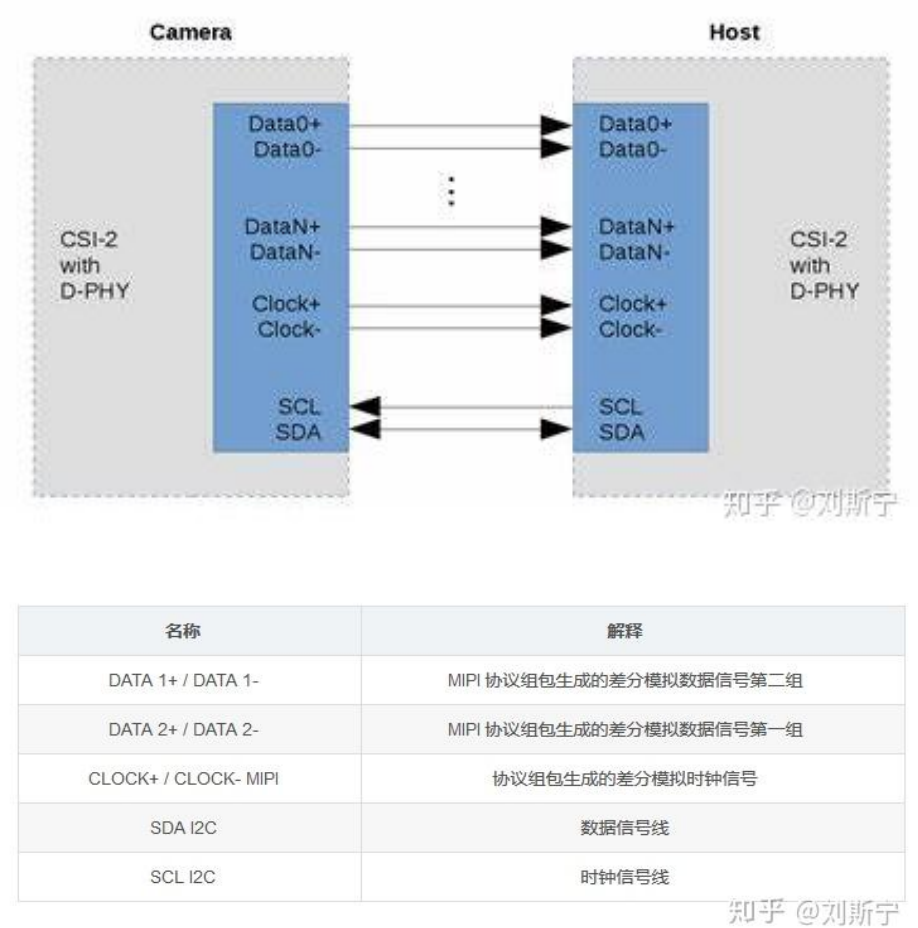
链路的工作顺序如下：

首先原始的图像数据会在应用层做相应的图像处理，包括白平衡、噪声去除、色彩还原等。处理过后的数据进入组包层做数据分割和重组，再传给协议层。协议层根据数据类型产生包头，根据数据内容产生构成包尾的 校验序列，之后将包头、数据本身、包尾组合起来发送给通道管理模块。

通道管理模块按照通道的选通情况，合理分配数据到每个通道，之后数据经过数模转换进入物理层传输，接收端在收到物理层的数据后，再按照之前的逆序解包出原始的图像数据。

2.5.2 物理连接

CSI2的物理连接如下图所示。



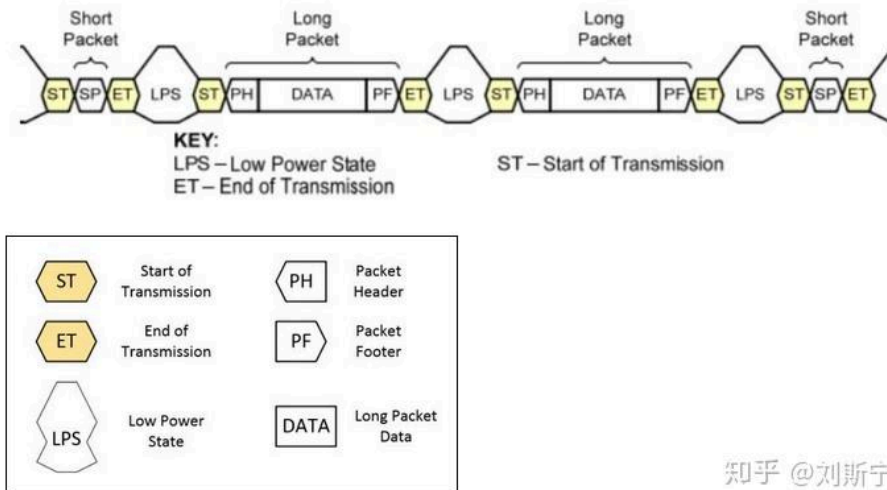
在典型的应用中发送端在完成对图像的各种处理后，按照协议对数据进行打包，然后通过差分信号线向接收端传输信号，差分信号线一般有一对时钟差分线和多对数据差分线，数据差分信号线的数量与需要传输的数据量的要求有关，数据量越大对数据线能更容易满足链路的需求。一般情况下两百万到五百万像素的手机使用两对差分数据线，即两个数据通道。而当摄像头像素进一步提高到八百万甚至一千三百万时一般会使用四个数据通道，即四对差分数据线。

与外部进行控制信号交互时，采用的是 I2C 接口，在 MIPI 的发送端使用的是 I2C 从端的 IP，MIPI CSI-2 接口的控制寄存器连接 I2C 的从端，这样外部接收装置可以通过 I2C 去配置 MIPI 发送端的内部寄存器，以此改变 MIPI CSI-2 接口内部状态机的持续时间和最后输出数据时的通道数，又或者在调试过程中读出这些寄存器，去做相应的检查，以判断发送端的工作状态，再通过接收端的现象来分析发送端是否工作在正常的状态。

2.6 CSI数据传输

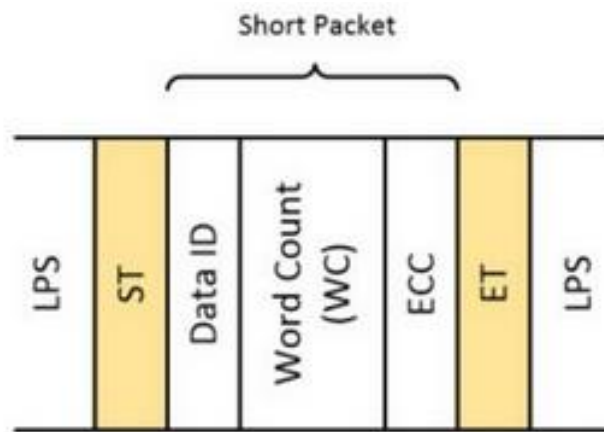
CSI-2针对摄像头，规定了主机与外设的通信数据包格式。MIPI Rx 支持 RAW10/RAW12/RAW14 格式的像素数据解析。

CSI-2 的数据包分为长帧和短帧两种，长帧和短帧都是在 SoT 和 EoT 之间传输。



知乎 @刘斯宁

2.6.1 短帧结构



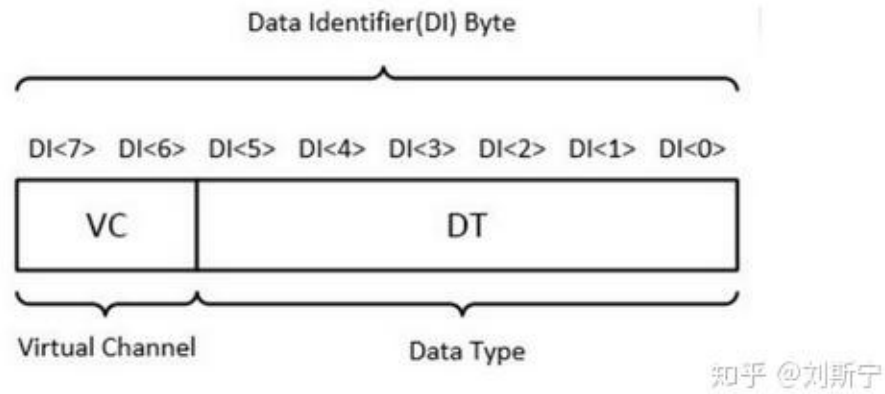
知乎 @刘斯宁

- 帧头部 (ST)，4个字节
- 数据标识(DI) 1个字节
- 帧数据- 2个字节 (长度固定为2个字节)
- 错误检测(ECC) 1个字节
- 帧大小 (不含头尾)：固定为4个字节

2.6.2 长帧结构

- 帧头部 (ST)，4个字节
- 数据标识(DI)，1个字节
- 数据计数(WC) - 2个字节 (数据填充的个数)
- 错误检测(ECC) 1个字节
- 数据填充(0~65535 字节)，长度=WC*2字节
- 帧尾 (ET)：校验和 (2个字节)
- 帧大小 (不含头尾)：4 + (0~65535) + 2 = 6 ~ 65541 字节

下图为DI结构示意图，分为VC和DT。其中DT的值分别为0x00(帧开始)、0x01(帧结束)、0x02(行开始)、0x03(行结束)、0x2a(8bit数据长包)、0x2b(10bit数据长包)、0x2c(12bit数据长包)。



2.6.3 帧数据类型

Data Type,		Description	Packet Size	DCS	VD PKT	GN PKT
(hex)	(binary)					
01h	00 0001	Sync Event, V Sync Start	Short		O	
11h	01 0001	Sync Event, V Sync End	Short		O	
21h	10 0001	Sync Event, H Sync Start	Short		O	
31h	11 0001	Sync Event, H Sync End	Short		O	
08h	00 1000	End of Transmission Packet	Short	O	O	O
02h	00 0010	Color Mode (CM) Off Command	Short		O	
12h	01 0010	Color Mode (CM) On Command	Short		O	
22h	10 0010	Shut Down Peripheral Command	Short		O	
32h	11 0010	Turn On Peripheral Command	Short		O	
03h	00 0011	Generic Short WRITE, no parameters	Short			NOF
13h	01 0011	Generic Short WRITE, 1 parameter	Short			O
23h	10 0011	Generic Short WRITE, 2 parameters	Short			O
04h	00 0100	Generic READ, no parameters	Short			NOF
14h	01 0100	Generic READ, 1 parameter	Short			O
24h	10 0100	Generic READ, 2 parameters	Short			O
05h	00 0101	DCS WRITE, no parameters	Short	O	O	O
15h	01 0101	DCS WRITE, 1 parameter	Short	O	O	O
06h	00 0110	DCS READ, no parameters	Short	O	O	O
37h	11 0111	Set Maximum Return Packet Size	Short	O	O	O
09h	00 1001	Null Packet, no data	Long	O	O	O
19h	01 1001	Blanking Packet, no data	Long		O	
29h	10 1001	Generic Long Write	Long			O
39h	11 1001	DCS Long Write/write_LUT Command Packet	Long	O	O	O
0Eh	00_1110	Packet Pixel Stream, 16bit RGB 5-6-5 Format (Support for 1 and 2 data lanes mode)	Long		O	
1Eh	01_1110	Packet Pixel Stream, 18bit RGB 6-6-6 Format (Support for 1 and 2 data lanes mode)	Long		O	
2Eh	10_1110	Packet Pixel Stream, 18bit RGB Loosely 6-6-6 Format (Support for 1 and 2 data lanes mode)	Long		O	
3Eh	11 1110	Packed Pixel Stream, 24-bit RGB, 8-8-8 Format (Support for 1, 2 and 3 data lanes mode)	Long		O	
x0h&Fh,	xx 0000	DO NOT USE				
	xx 1111	All unspecified codes are reserved				

知乎 @刘斯宁

3. MIPI D-PHY

3.1 综述

D-PHY 描述了一同步、高速、低功耗、低成本的PHY。为了满足高清质量图像的高带宽要求，MIPI D-PHY包含有一个时钟通道和数量可设置（最多4个通道）的数据通道。通过增加数据通道数量就

可以达到增加带宽的目的。通过增加通道数量，同样数量的数据在多个通道上传输可以花更短的时间。MIPI D-PHY使用正向源同步时钟，D-PHY接收器的所有数据通道都用这个时钟捕获高速数据信号。

一个 PHY配置包括一个时钟lane以及一个或多个数据lane。三个主要的lane的类型

No.	Lane类型	Master	Slave
1	单向时钟Lane	HS-TX, LP-TX	HS-RX, LP-RX
2	单向数据Lane	HS-TX, LP-TX	HS-RX, LP-RX
3	双向数据Lane	HS-TX, LP-TX, HS-RX, LP-RX, LP-CD	HS-TX, LP-TX, HS-RX, LP-RX, LP-CD

知乎 @刘斯宁

3.2 传输模式

D-PHY低层协议规定最小数据单位是一个字节，发送数据时必须**低位在前，高位在后**。

D-PHY支持两种传输模式

- 低功耗（Low-Power）信号模式（用于控制）：10MHz (max)
- 高速（High-Speed）信号模式（用于高速数据传输）：80Mbps ~ 1Gbps/Lane

3.3 Lane状态

在**低功耗(LP)模式**下，高电平典型幅值为1.2V，此时P和N上的信号**不是差分信号**而是相互独立的，当P为1.2V，N也为1.2V时，MIPI协议定义状态为LP11，同理，当P为1.2V，N为0V时，定义状态为LP10，依此类推，控制模式下可以组成**LP11，LP10，LP01，LP00**四个不同的状态；

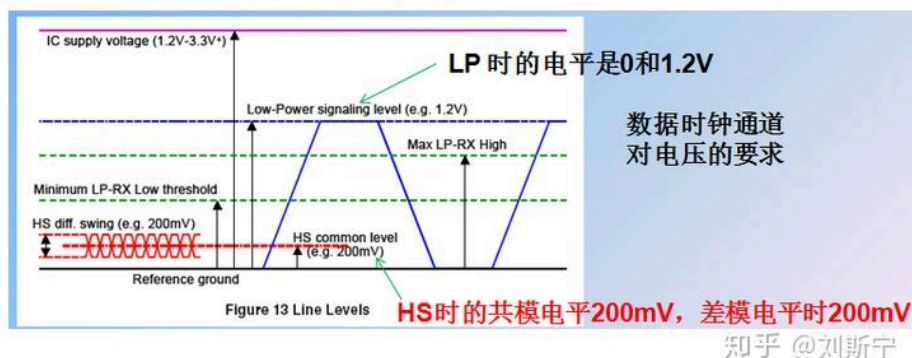
在**高速(HS)模式**下，通道状态是差分的0或者1（或HS-0、HS-1），也就是线对内P比N高时，定义为1，P比N低时，定义为0，此时典型的线上电压为差分200mV。图像信号仅在高速模式下传输。HS发送器发送的数据LP接收器看到的都是LP00。

在**超低功耗(Ultra-Low Power State)模式**下，所有信号线处于浮空状态(LP00)时钟Lane通过**LP11→LP10→LP00**进入ULPS状态，通过**LP10→Twakeup→LP11**退出这种状态，最小**Twakeup**时间为1ms。

3.3 Lane 电压规格

LP: 0 ~ 1.2V

HS: 100 ~ 300mV, HS common level = 200mV, swing = 200 mV

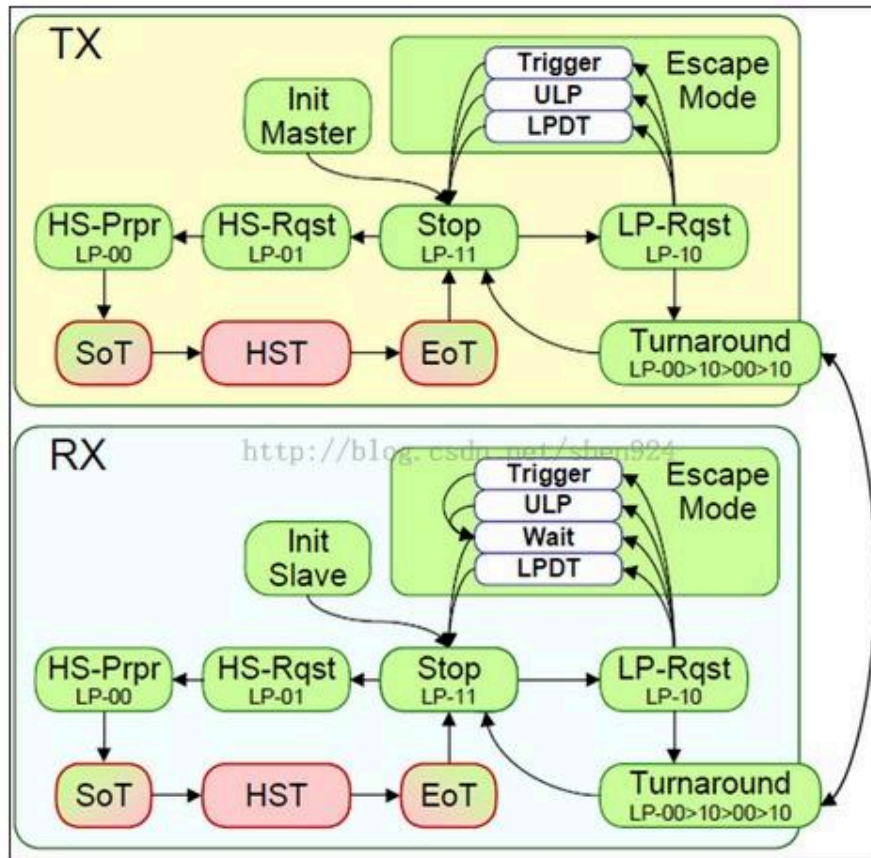


3.4 操作模式

在数据线上有三种可能的操作模式：

- Escape mode,
- High-Speed (Burst) mode
- Control mode

三种操作模式状态的态装换图



知乎 @刘斯宁

3.5 Escape模式

Escape mode是数据Lane在LP状态下的一种特殊操作，在这种模式下，可以进入一些额外的功能：LPDT, ULPS, Trigger。

Escape mode 使用Spaced-One-Hot Encoding。

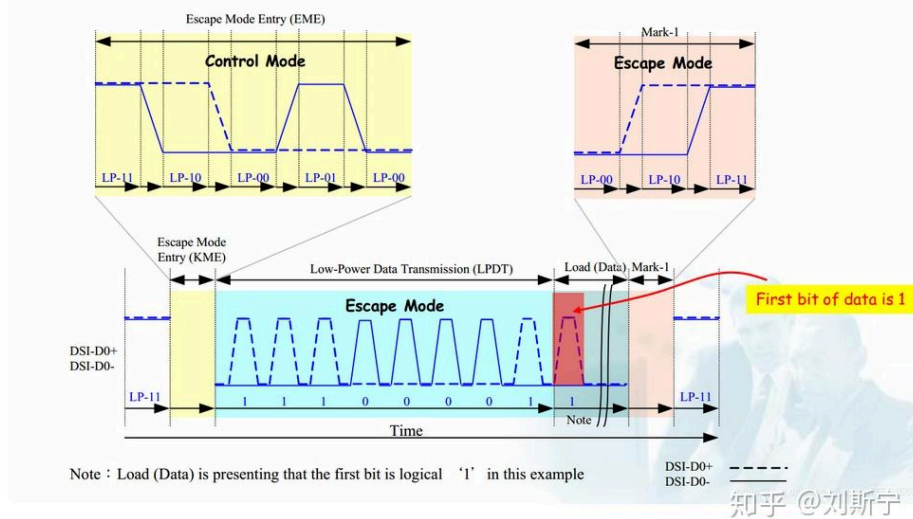
当进入 Escape mode 需要发送 8-bit entry command 表明请求的动作，比如要进行低速数据传输则需要发送 cmd: 0x87，进入超低功耗模式则发送 cmd: 0x78。在 DSI 中 LP 通讯只用 Data Lane 0。

下面是从停止状态进入Escape mode模式需要的时序：

进入时序：LP11→LP10→LP00→LP01→LP00，

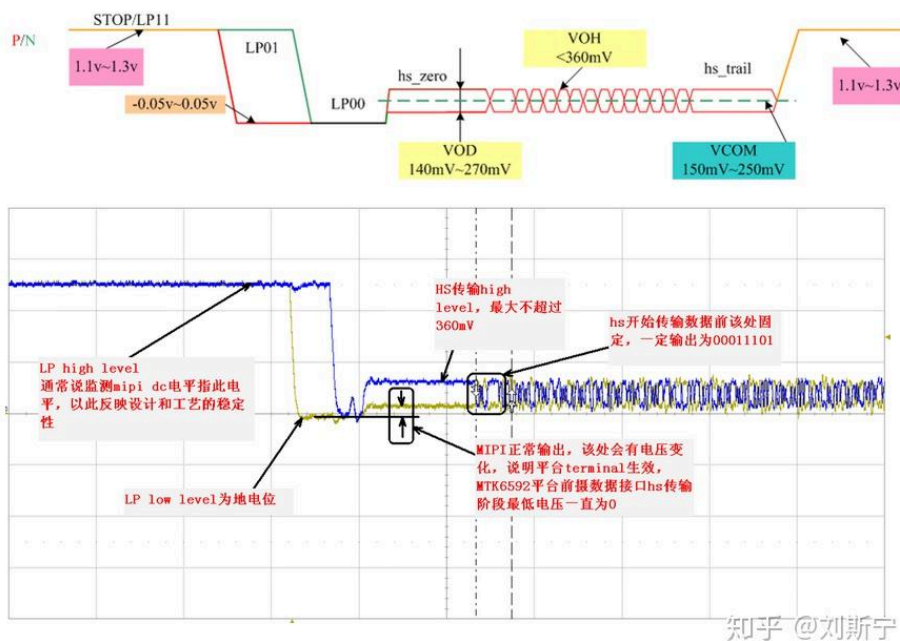
退出时序：LP10→LP11。

Escape Mode - LPDT



3.6 高速模式

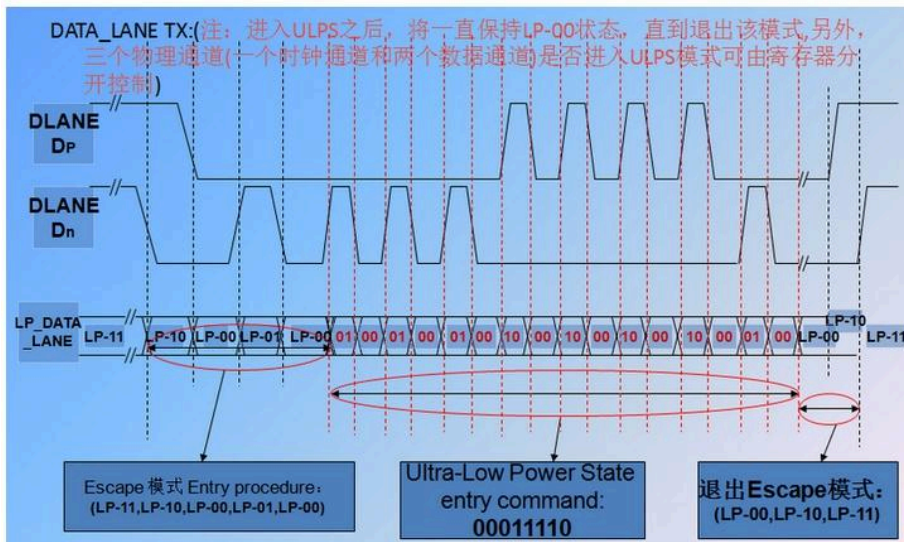
MIPI协议规定控制模式4个不同状态组成的不同时序代表着将要进入或者退出高速模式。比如经过LP11→LP01→LP00序列后，MIPI从低功耗模式进入高速模式，如下图所示。



退出高速模式的时序：EoT→LP11。

3.7 超低功耗模式

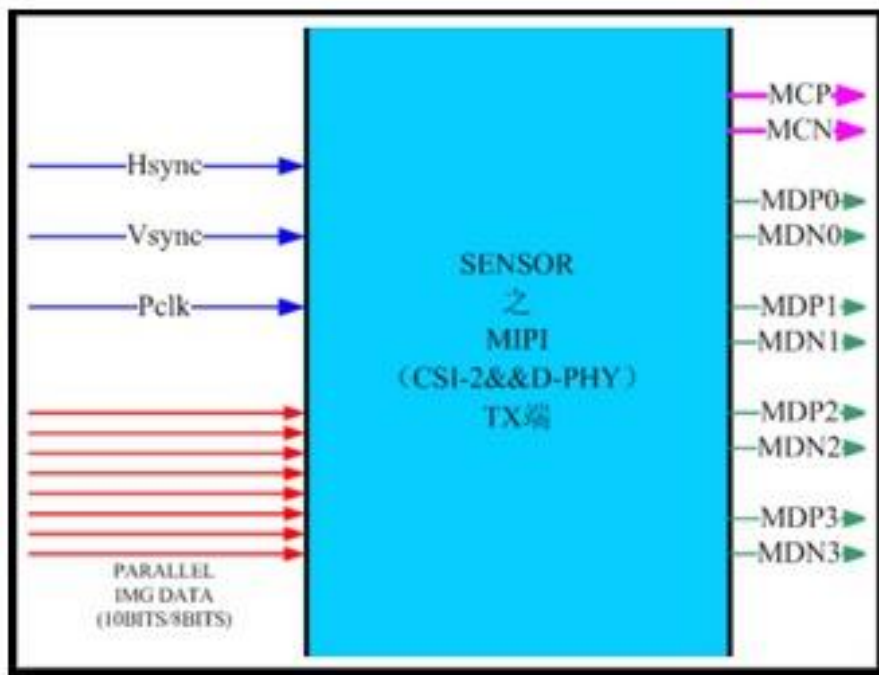
从Escape模式进入超低功耗模式需要发送 cmd: 0x78，过程如下图所示。



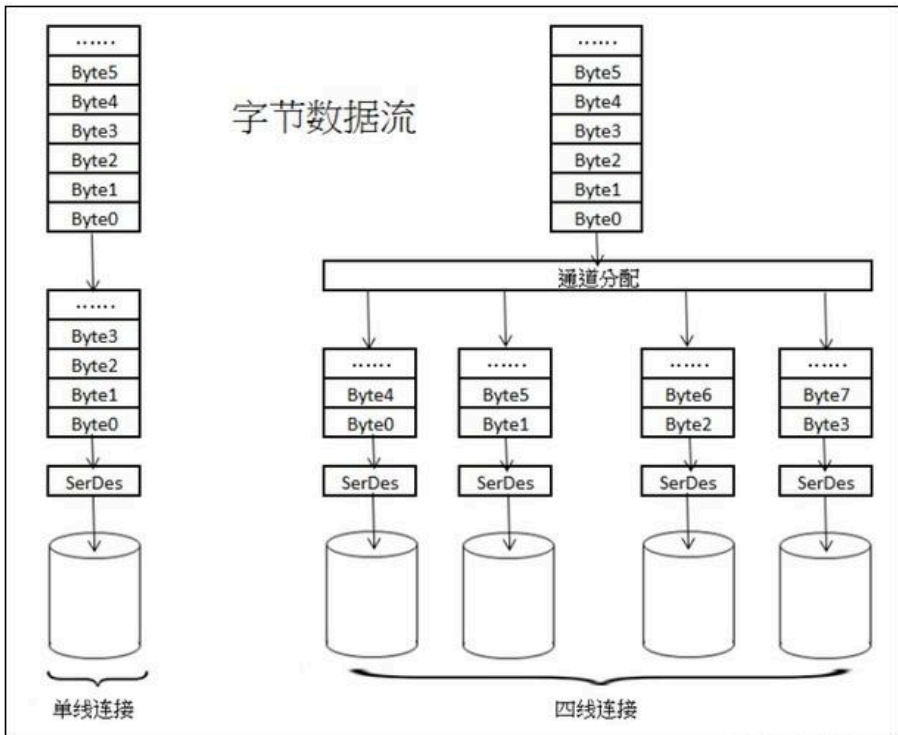
知乎 @刘斯宁

5. MIPI 数据收发

5.1 数据发送



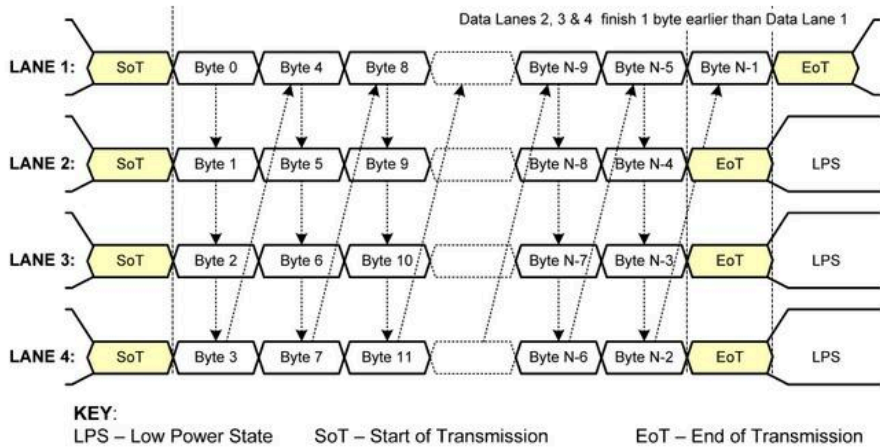
知乎 @刘斯宁



知乎 @刘斯宁

发送器根据用于数据传输的数据通道数量对图像数据加以组织。然后发送器对每个通道上的数据进行串行化，并发给相应的接收通道。

举例来说，如果用了两个通道，那么载荷数据的第一个字节在数据通道0上发送，第二个字节在数据通道1上发送。同样在接收侧，来自每个数据通道的串行数据在D'Phy的每个接收通道中使用的解串器帮助下转换为字节格式。然后由CSI控制器将来自每个通道解串后的字节合并到一起。



知乎 @刘斯宁

5.2 数据帧格式



知乎 @刘斯宁

字节(byte)为基本传输单元，每个byte中有8位(bit)

SYNC BYTE：用来同步数据开始，告知接下来为有效数据

DATA TYPE：该包传输的是什么格式的数据

- YUV422, (1E)
- RAW8, (2A)
- RAW10, (2B)

WORD COUNT：16bits, PAYLOAD中的byte数量（即输出窗口的1行中有多少个字节，也即列数。注意raw10为列数的1.25倍，raw12为列数的1.5倍）

ECC：校验datatype和wc是否出错

PAYLOAD : image data

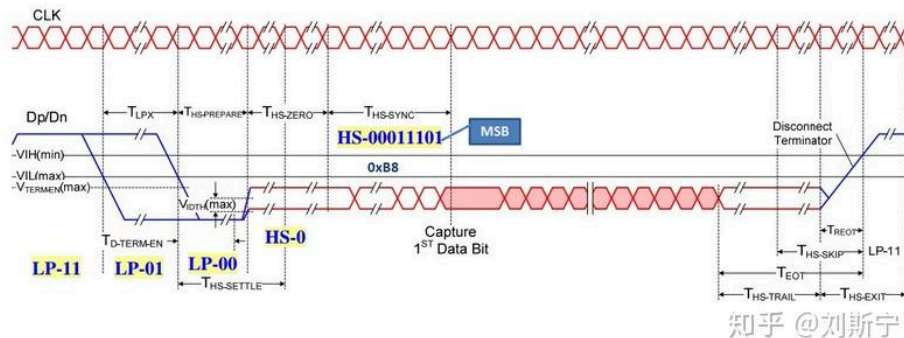
CSC：PAYLOAD数据传输校验

*由于插入了许多数据标识，所以会影响hb或者vb的最小值

通过D'Phy数据通道发送的载荷数据采用的是数据包的格式。它可以是长的数据包，也可以是短的数据包。长数据包包含32位的包头、有效载荷数据和16位的数据包脚注。短数据包只包含32位的包头。

5.2 发送时序

Burst mode 时序



在每个高速载荷数据脉冲出现在每个通道上之前，发送的D-PHY都会插入一个同步序列

(00011101)。这个同步序列被接收D-Phy的数据通道用来建立与高速载荷数据的同步。只有当同步信号被接收D-Phy正确解码时，载荷数据才会转发给MIPI CSI 2控制器，完成对数据的进一步处理。

作为D'Phy初始化的一部分，最初所有通道保持在LP11状态（1.2V电平）一段特定的时间。这个LP11状态也被称为停止状态。在这之后，为了发送图像数据，发送器会向接收器发送一个特定的序列，使接收器通道从低功耗模式进入高速模式。高速进入序列包含在接收器通道上驱动LP11→LP01→LP00（LP→HS转换）。在成功接收这个序列后，高速接收器模块激活其终端接收高速差分数据。

现在高速接收器终端变成激活状态，接收器开始接收来自发送器的高速数据。然而，在经过LP→HS转换后，发送器会在一段特定时间内发送HS Zeros（ $V(Dn) > V(Dp)$ ），用于确保在任何载荷数据被发送前接收器被正确地激活。一旦接收器被激活，高速接收器会持续地接收数据，直到在它的通道上遇到LP11状态。LP11状态会将数据通道从高速模式带回到低功耗模式。

在每次高速脉冲串过后数据通道都会进入LP11状态。单个高速脉冲代表对应于一幅图像水平线上的数据，而高速脉冲之间的LP11状态代表消隐期间。因为低功耗命令要求信号以较低的频率发送，因此D'Phy在低功耗和高速模式之间的这种间歇运动有助于降低总的功耗。

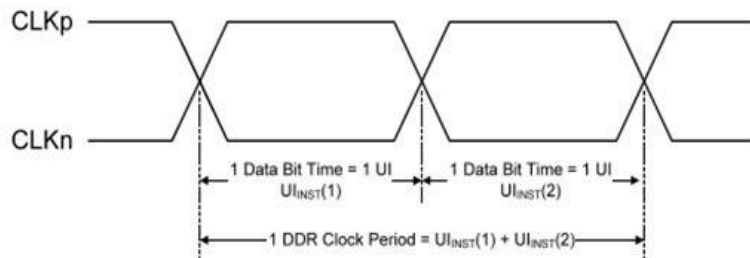
当没有数据需要传输时，所有通道都保持在ULPS状态（超低功耗模式）。这是一种特别的低功耗模式，有助于进一步降低功耗。ULPS状态是通过特定的低功耗模式进入的。一旦处于ULPS状态，所有通道都被驱动到低电平（0V）。时钟通道和数据通道的ULPS进入模式是不同的。

Table 14 Global Operation Timing Parameters

Parameter	Description	Min	Typ	Max	Unit	Notes
$T_{CLK-MISS}$	Timeout for receiver to detect absence of Clock transitions and disable the Clock Lane HS-RX.			60	ns	1, 6
$T_{CLK-POST}$	Time that the transmitter continues to send HS clock after the last associated Data Lane has transitioned to LP Mode. Interval is defined as the period from the end of $T_{HS-TRAIL}$ to the beginning of $T_{CLK-TRAIL}$.	$60\text{ ns} + 52 \cdot UI$			ns	5
$T_{CLK-PRE}$	Time that the HS clock shall be driven by the transmitter prior to any associated Data Lane beginning the transition from LP to HS mode.	8			UI	5
$T_{CLK-PREPARE}$	Time that the transmitter drives the Clock Lane LP-00 Line state immediately before the HS-0 Line state starting the HS transmission.	38		95	ns	5
$T_{CLK-SETTLE}$	Time interval during which the HS receiver shall ignore any Clock Lane HS transitions, starting from the beginning of $T_{CLK-PREPARE}$.	95		300	ns	6
$T_{CLK-TERM-EN}$	Time for the Clock Lane receiver to enable the HS line termination, starting from the time point when D_n crosses $V_{IL,MAX}$.	Time for D_n to reach $V_{TERM-EN}$		38	ns	6
$T_{CLK-TRAIL}$	Time that the transmitter drives the HS-0 state after the last payload clock bit of a HS transmission burst.	60			ns	5
$T_{CLK-PREPARE} + T_{CLK-ZERO}$	$T_{CLK-PREPARE}$ + time that the transmitter drives the HS-0 state prior to starting the Clock.	300			ns	5
$T_{D-TERM-EN}$	Time for the Data Lane receiver to enable the HS line termination, starting from the time point when D_n crosses $V_{IL,MAX}$.	Time for D_n to reach $V_{TERM-EN}$		$35\text{ ns} + 4 \cdot UI$		6
T_{EOT}	Transmitted time interval from the start of $T_{HS-TRAIL}$ or $T_{CLK-TRAIL}$ to the start of the LP-11 state following a HS burst.			$105\text{ ns} + n \cdot 12 \cdot UI$		3, 5
$T_{HS-EXIT}$	Time that the transmitter drives LP-11 following a HS burst.	100				

Parameter	Description	Min	Typ	Max	Unit	Notes
$T_{HS-PREPARE}$	Time that the transmitter drives the Data Lane LP-00 Line state immediately before the HS-0 Line state starting the HS transmission.	$40\text{ ns} + 4 \cdot UI$		$85\text{ ns} + 6 \cdot UI$	ns	5
$T_{HS-PREPARE} + T_{HS-ZERO}$	$T_{HS-PREPARE}$ + time that the transmitter drives the HS-0 state prior to transmitting the Sync sequence.	$145\text{ ns} + 10 \cdot UI$			ns	5
$T_{HS-SETTLE}$	Time interval during which the HS receiver shall ignore any Data Lane HS transitions, starting from the beginning of $T_{HS-PREPARE}$.	$85\text{ ns} + 6 \cdot UI$		$145\text{ ns} + 10 \cdot UI$	ns	6
$T_{HS-SKIP}$	Time interval during which the HS-RX should ignore any transitions on the Data Lane, following a HS burst. The end point of the interval is defined as the beginning of the LP-11 state following the HS burst.	40		$55\text{ ns} + 4 \cdot UI$	ns	6
$T_{HS-TRAIL}$	Time that the transmitter drives the flipped differential state after last payload data bit of a HS transmission burst.	$\max(n \cdot 8 \cdot UI, 60\text{ ns} + n \cdot 4 \cdot UI)$			ns	2, 3, 5
T_{INIT}	See section 5.11.	100			µs	5
T_{LPX}	Transmitted length of any Low-Power state period.	50			ns	4, 5
Ratio T_{LPX}	Ratio of $T_{LPX(MASTER)}/T_{LPX(SLAVE)}$ between Master and Slave side.	2/3		3/2		
T_{TA-GET}	Time that the new transmitter drives the Bridge state (LP-00) after accepting control during a Link Turnaround.	$5 \cdot T_{LPX}$			ns	5
T_{TA-GO}	Time that the transmitter drives the Bridge state (LP-00) before releasing control during a Link Turnaround.	$4 \cdot T_{LPX}$			ns	5
$T_{TA-SURE}$	Time that the new transmitter waits after the LP-10 state before transmitting the Bridge state (LP-00) during a Link Turnaround.	T_{LPX}		$2 \cdot T_{LPX}$	ns	5
T_{WAKEUP}	Time that a transmitter drives a Mark-1 state prior to a Stop state in order to initiate an exit from ULPS.	1			ns	5

5.3 时钟要求



Clock Parameter	Symbol	Min	Typ	Max	Units	Notes
UI instantaneous	UI_INST			12.5	ns	1.2

Notes:

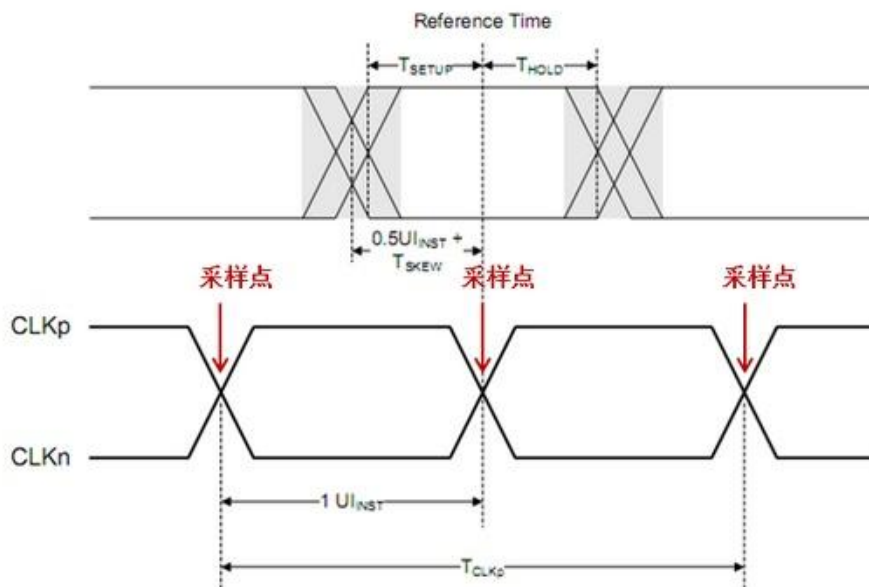
时钟通道的最小值是40MHz

- This value corresponds to a minimum 80 Mbps data rate.
- The minimum UI shall not be violated for any single bit period, i.e., any DDR half cycle within a data burst.

知乎 @刘斯宁

5.4 采样时序

MIPI采用DDR采样，即在时钟的上升和下降沿均采集数据，保证高速传输又可以有效降低时钟频率，要求时钟和数据相位为正交关系。



知乎 @刘斯宁

实际中因为负载差异，会限制时钟的建立速度，同时数据的不规律输出（不是确定的输出序列），所以对setup或者hold时间要求不同。可能造成误码，引起麻点，严重时丢行。

5. MIPI 信号测量

MIPI video mode 支持三种模式：

- Burst mode,用在带RAM driver，在传输过程中没有vsync_end包等信息；
- Non burst mode with sync pulses, 用在无RAM driver，带同步信号
- Non burst mode without sync events, 用在无RAM driver，不带同步信号

发布于 2019-12-31 23:06

内容所属专栏



无法抗拒的图像技术

订阅专栏



模拟IC设计实践

关于模拟IC设计的一些方法和技巧讲解

订阅专栏



MIPI interface

订阅专栏

[摄像机](#) [接口标准和线缆](#)



理性发言，友善互动

11 条评论

默认 最新



波波头

写的太好了，受益匪浅

2021-06-10

回复 喜欢



wgm

准备出书吗？

2020-01-20

回复 1 喜欢



刘斯宁 作者

时机还不成熟。。。

2020-02-04

回复 1 喜欢



奋斗青年 ▸ **刘斯宁**

写得太好了，出书吧，大佬

2020-11-11

回复 喜欢



lowkeyway 👑

感谢你的分享，我是做LCD的，对DSI比较熟，但是对Camera的兴趣也很大。看到你在 5.2 数据帧格式 中贴的图，这个看样子是mipi协议规定的，但是我为什么没有在MIPI Camera协议中看到？
比如这个SYNC BYTE包是指V-Sync吗？

2021-06-30

回复 喜欢



AMS1117

因为这个是D-PHY的协议里面规定的，而不是CSI的协议

2022-03-17

回复 喜欢



liyper

帅呀

2021-05-21

回复 喜欢



lingling会瘦的

有个小小的疑惑：
链路的工作顺序如下： 首先原始的图像数据会在应用层做相应的图像处理，包括白平衡、噪声去除、色彩还原等。 处理过后的数据进入组包层做数据分割和重组，再传给协议层。协议层根据数据类型产生包头，根据数据内容产生构成包尾的 校验序列，之后将包头、数据本身、包尾组合起来发送给通道管理模块。
那这段话的应用层指的是链路起始点的应用层的吗？