1V1指导,拖拉式完成建站,像做PPT一样做网站

文档 建议反馈 控制台

登录/注册

首页

学习

活动

专区

圈层

工具

单机版MySOL13元/月起

文章/答案/技术大牛

🗹 发布

社区首页 > 专栏 > 笔试 | 时钟抖动和偏移clock jitter 和 clock skew? CTS 时钟树综合对 uncertainty 的影响

笔试 | 时钟抖动和偏移clock jitter 和 clock skew? CTS 时钟树综合对 uncertainty 的影响

▲ 举报

换一批

文章被收录于专栏: FPGA探索者

关联问题

时钟抖动和偏移的定义是什么?

时钟树综合是什么?

CTS如何影响uncertainty?

在时钟电路的设计中,存在 jitter 和 skew 问题。请解释下:

- 1. 什么是 jitter, 什么是 skew?
- 2. 在 pre-CTS 的时序约束中, setup 和 hold 的 clock uncertainty 分别由什么组成。

五、在时钟电路的设计中,存在 jitter 和 skew 问题。请解释下:

- 1. 什么是 jitter, 什么是 skew? (5分)
- 2. 在 pre-CTS 的时序约束中,setup 和 hold 的 clock uncertainty 分别中什么组成。(3 分) FPGA探察者

解析:

(1) 名词解释

jitter, 时钟抖动;

FPGA探索者 LV.0 关注 这个人很懒, 什么都没有留下~ 文章 79 获赞 200 专栏 1 作者相关精选 数字IC笔试题(5)——静态时序分析【h...

CDC跨时钟域处理及相应的时序约束【se...



skew, 时钟偏斜;

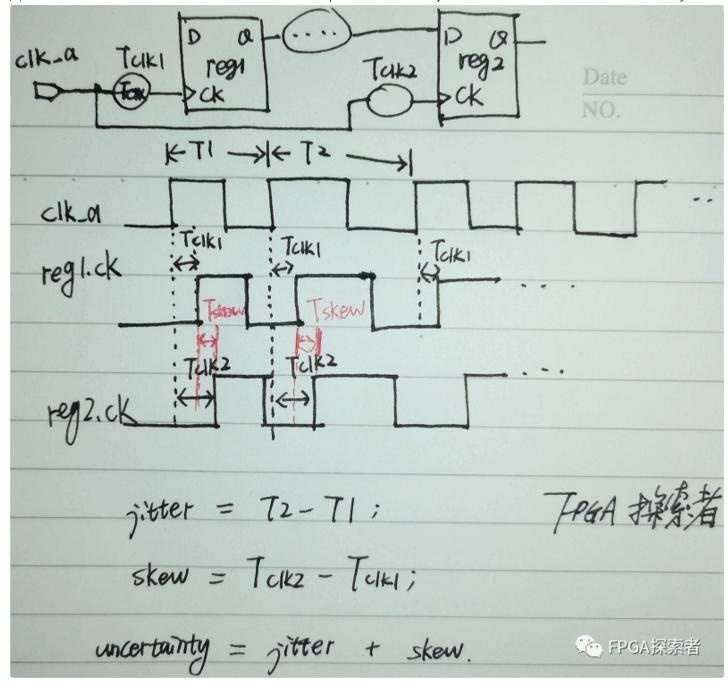
uncertainty, 时钟不确定性, 包括 jitter 和 skew;

Clock Tree Synthesis, 时钟树综合, 简称CTS;

(2) 具体分析

clock 时钟有不确定性(clock uncertainty),其中包括 clock jitter(时钟抖动)和 clock skew(时钟偏斜)。



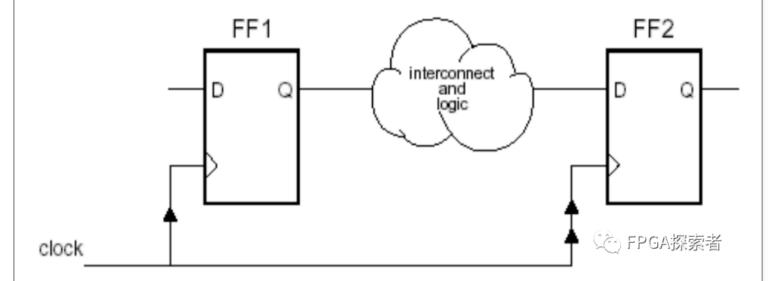




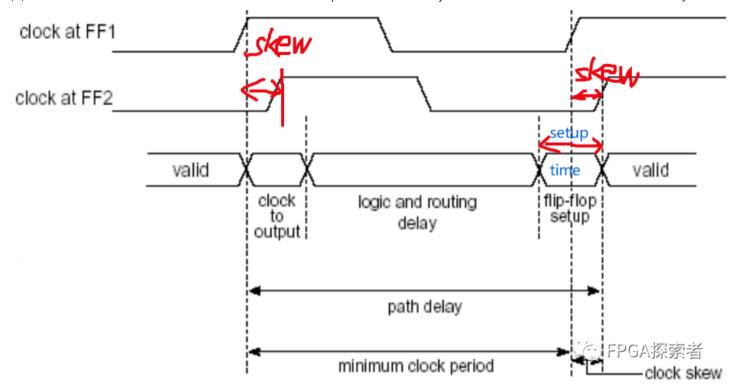
clock jitter, 抖动来自时钟的产生源,比如晶振、PLL,可以理解为 PLL jitter,**是频率上的不确定性,是频偏,即针对这一个时钟,前后周期在变**, jitter = T2 - T1(或者也存在占空比上的不确定性);

clock skew,偏斜来自时钟树的延迟,是**一个时钟到达不同时序逻辑单元的时刻不同**,但是周期是不变的,**存在相位差,是相偏**,可以理解为 clock tree skew,**是相位上的不确定性**;

对于 jitter,是晶振本身或者 PLL 电路带来的,受到温度等影响,有一定的振荡频率偏移,设计者可以更换稳定性更好的晶振来降低 jitter;对于 skew,是时钟树上的延迟,可以通过插入 buffer 来改变,时钟树综合布线后,skew 值确定;







对于同一个时钟到达不同的时序逻辑单元:

不确定因素 (uncertainty)	setup	hold
pre-CTS 预布局	skew, jitter	skew (同一个沿,没有 jitter)
post-CTS 后布局	jitter (后布局中,skew已经确定)	没有不确定性 没有不确定性

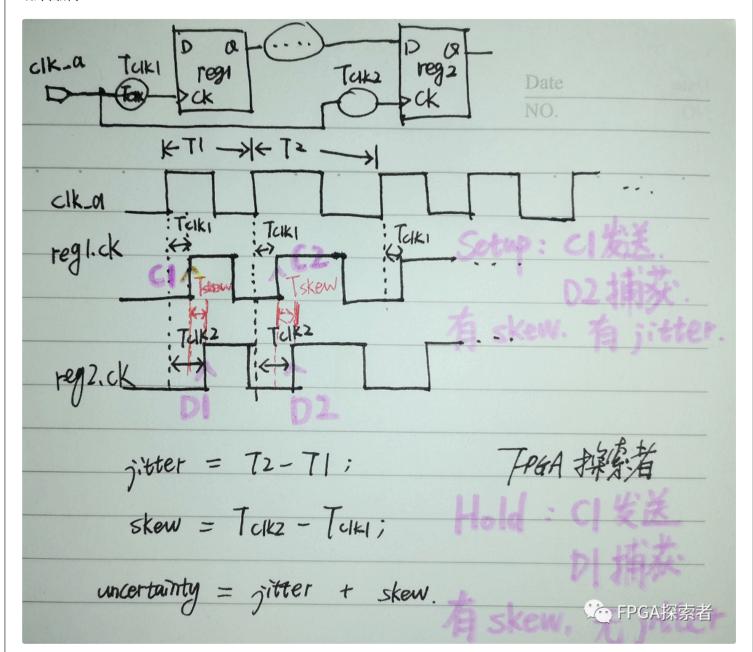
pre-CTS 预布局阶段,时钟树 clock tree 还没有综合,所以 clock tree 的 skew 还不确定,在分析 setup 和 hold 的时候都需要考虑 skew;



对于 setup, 由于发射沿和捕获沿是相邻的两个沿, 所以要考虑 skew, 也要考虑 jitter;

对于 hold,由于发射沿和捕获沿是同一个沿,所以只要考虑 skew,不需要要考虑 jitter;

如下图所示:



post-CTS 后布局阶段,时钟树 clock tree 已经综合,所以 **clock tree** 的 **skew 已经确定**,在分析 setup 和 hold 时的clock uncertainty 不确定性时,不需要将 skew 作为时钟不确定性的一部分(clock uncertainty);

对于 setup, 由于发射沿和捕获沿是相邻的两个沿, 所以不确定性要考虑 jitter;

对于 hold, 由于发射沿和捕获沿是同一个沿, 不需要要考虑 jitter, 没有时钟不确定性

本文参与 腾讯云自媒体同步曝光计划, 分享自微信公众号。

原始发表: 2022-05-08, 如有侵权请联系 cloudcommunity@tencent.com 删除

buffer clock lock post tree

评论

登录 后参与评论

推荐阅读

编辑精选文章

60页PPT全解:DeepSeek系列论文技术要... 4298 Java与Go差别在哪,谁要被时代抛弃? 3679

大模型 Token 究竟是啥:图解大模型Token 2813 MCP协议详解:一文读懂跨时代的模型上... 9504

Clock Skew, Clock Uncertainty和 Period

fpga

