

高级练习1 基于 A7 的 DDR3 SDRAM IP 核初始化

笔记本：FPGA练习

创建时间：2019/10/29 15:33

更新时间：2019/10/29 17:04

作者：2322900041@qq.com

高级练习1 基于 A7 的 DDR3 SDRAM IP 核初始化

一、练习内容

DD3 SDRAM IP初始化实现

二、系统框图

略

三、设计分析

学习DD3 SDRAM IP初始化，主要是熟悉文档，然后学会修改参数的过程，参考的文档是ug586。

四、练习步骤

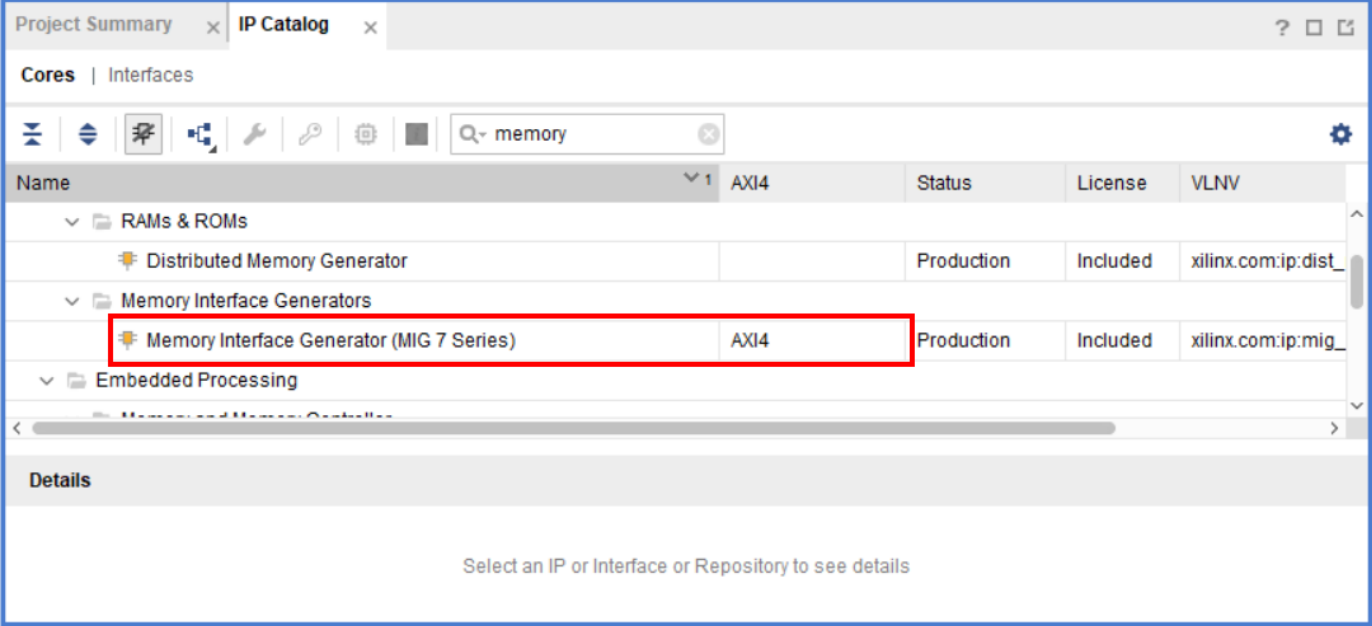
1.vivado工程的建立

常规化vivado工程的建立，唯一的区别就是这里采用了不同的芯片，这从工程的项目总结中查看。



2.dd3 ip的建立

(1) ip catalog中找到MIG



(2) 一系列参数的设定，这里介绍几个关键性的参数

- 时钟周期，选择2500ps，相应的时钟频率就为400MHz

Clock Period: Choose the clock period for the desired frequency. The allowed period range(2500 - 3300) is a function of the selected FPGA part and FPGA speed grade. Refer to the User Guide for more information.

2500 ps 400.00 MHz

To achieve optimum resource utilization, maintain default clock period given by the tool or a value greater than default clock period. Please contact Xilinx Technical Support for further information

- DDR3类型，根据实际使用的类型进行设定即可。

Memory Type: Select the memory type. Type(s) marked with a warning symbol are not compatible with the frequency selection above.

Components

Memory Part: Select the memory part. Part(s) marked with a warning symbol are not compatible with the frequency selection above. Find an equivalent part or create a part using the "Create Custom Part" button if the part needed is not listed here. The "Create Custom Part" feature is not supported for RDRAM II.

MT41K128M16XX-15E

Create Custom Part

Memory Voltage: Select the Voltage of the Memory part selected.

1.35V

Data Width: Select the Data Width. Parts marked with a warning symbol are not compatible with the frequency and memory part selected above.

16

具体可以参考开发板原理图，与上图中设定的三个参数刚好一一对应。



- 输入时钟频率，这里设置为200MHz，这样设置的时候，后面使用参考时钟时可以直接设置为 use system clock。

Input Clock Period: Select the period for the PLL input clock (CLKIN). MIG determines the allowable input clock periods based on the Memory Clock Period entered above and the clocking guidelines listed in the User Guide. The generated design will use the selected Input Clock and Memory Clock Periods to generate the required PLL parameters. If the required input clock period is not available, the Memory Clock Period must be modified.

5000 ps (200 MHz)

- 系统时钟类型，选择单端时钟，参考时钟选择use system clk, 这就是在上一部分选择200MHz输入时钟的好处，不需要额外增加时钟。

System Clock

Choose the desired input clock configuration. Design clock can be Differential or Single-Ended.

System Clock
Single-Ended

Reference Clock

Choose the desired reference clock configuration. Reference clock can be Differential or Single-Ended.

Reference Clock
Use System Clock

这里系统时钟也可以选择no buffer类型，即使用FPGA内部时钟，节省部分引脚。

- 没了，生成完毕，采用的global方式。

3. 实例化和仿真文件的建立

(1) 实例化IP

这里有一点需要注意，需要输入的时钟要求是200MHz，而实际电路中采用的时钟是50MHz频率的时钟，这就需要添加pll的IP核，使时钟倍频到200MHz。

```

38  ddr3_clk_gen inst_ddr3_clk_gen
39  (
40      // Clock out ports
41      .clk_out1(sys_clk),      // output clk_out1
42      // Clock in ports
43      .clk_in1(clk));      // input clk_in1

```

(2) 仿真文件的建立

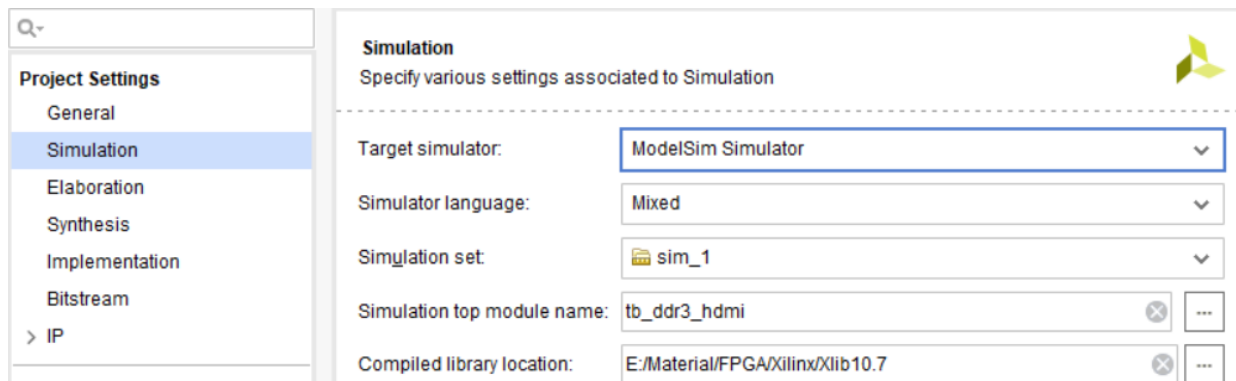
- ddr3_model是Xilinx官方提供的ddr3控制器的仿真文件，这是用system verilog编写的，但可以使用verilog代码进行实例化，其相应的实例化范例可以在下列路径中 design\ddr3_hdmi.srcs\sources_1\ip\ddr3_ctrl\ddr3_ctrl\example_design\sim的 sim_tb_top.v文件中找到。

```

536  ddr3_model u_comp_ddr3
537  (
538      .rst_n      (ddr3_reset_n),
539      .ck         (ddr3_ck_p_sdram),
540      .ck_n       (ddr3_ck_n_sdram),
541      .cke        (ddr3_cke_sdram[r]),
542      .cs_n       (ddr3_cs_n_sdram[r]),
543      .ras_n      (ddr3_ras_n_sdram),
544      .cas_n      (ddr3_cas_n_sdram),
545      .we_n       (ddr3_we_n_sdram),
546      .dm_tdq     ({ddr3_dm_sdram[DM_WIDTH-1], ddr3_dm_sdram[DM_WIDTH-2]}),
547      .ba         (ddr3_ba_sdram[r]),
548      .addr        (ddr3_addr_sdram[r]),
549      .dq         ({ddr3_dq_sdram[DQ_WIDTH-1:(DQ_WIDTH-8)]},
550                  ddr3_dq_sdram[DQ_WIDTH-1:(DQ_WIDTH-8)]},
551      .dqs        ({ddr3_dqs_p_sdram[DQS_WIDTH-1],
552                  ddr3_dqs_p_sdram[DQS_WIDTH-2]}),
553      .dqs_n      ({ddr3_dqs_n_sdram[DQS_WIDTH-1],
554                  ddr3_dqs_n_sdram[DQS_WIDTH-2]}),
555      .tdqs_n     (),
556      .odt        (ddr3_odt_sdram[r])
557  );

```

- 仿真开始前，最好将相应的仿真工具改为modelsim，这个快。

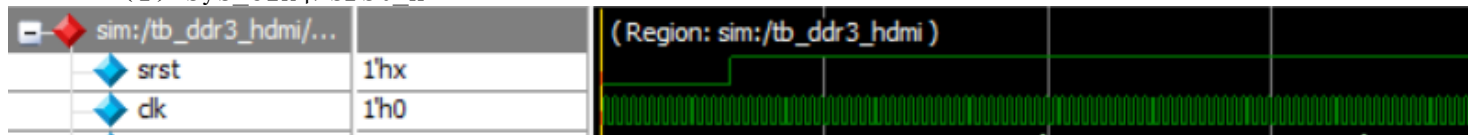


- 点击仿真，查看结果就行了。

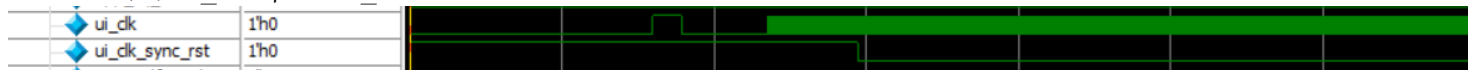
五、实际波形仿真

1. 关键信号查看

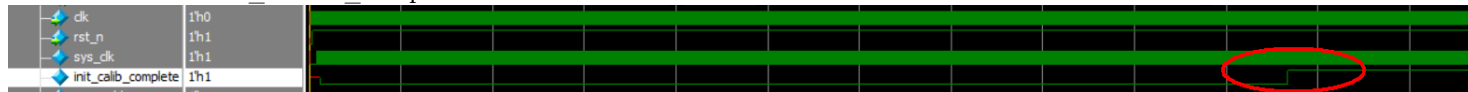
(1) sys_clk和srst_n



(2) u_clk和urstr_n



(3) init_calib_complete



六、总结与讨论

1. 没什么特殊的部分，就是要学会使用官方的文档，看懂官方文件，找到官方文件的位置，了解其对应内容，并且能够正确的使用。
2. 多练习，可以自己使用AXI4总线控制ddr3的使用，学会融会贯通。