高级练习11 干兆通信中发送链路的定时器和 心跳帧组建

一、练习内容

1.总项目要求

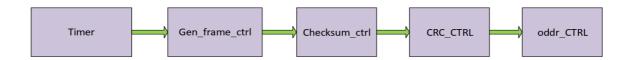
使用 FPGA 来构建 MAC 层和 UDP 组包,完成从板卡到主机的数据包传递链路。

2.本次练习内容

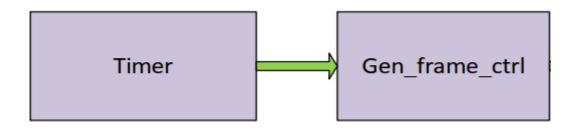
通过学习以太网的 UDP 帧协议,完成包的构建和使用网络抓包工具抓包分析数据包是否正确。

二、系统框图

1.总体设计框图



2.本次练习框图



即只完成总体项目框图的前两部分,将基本的UDP协议的数据构建完成。

三、设计分析

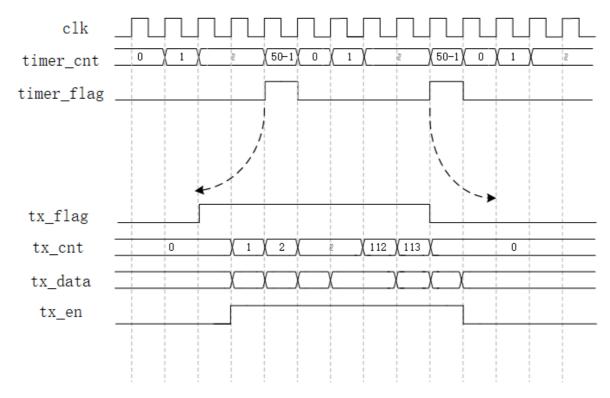
主要是时序分析,包含timer部分和gen_frame_ctrl部分

1.timer部分时序分析

每隔一秒产生一个脉冲,作为下一个模块的信号发生器。

2.gen_frame_ctrl部分时序分析

对应的时钟产生对应的数据,就是按照协议填充数据即可,没有什么特殊的部分。



四、练习步骤

1.代码编写

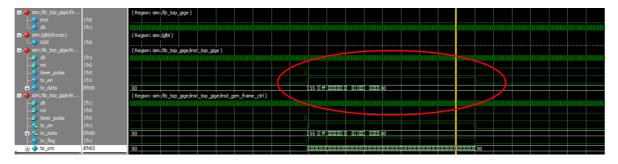
按照时序分析部分分析的时序进行编写,timer部分产生的脉冲作为下一个模块的信号发生器。gen_frame_ctrl模块则是按照协议输出数据即可。

2.软件仿真

使用modelsim产生复位信号和时钟信号,进而查看是否输出了正确的信号,与实际的UDP协议的数据进行对比,这样就可以判定协议的编写是否正确。

五、实际波形仿真

1.总体把控



基本满足时序的基本要求,与设定时序总体上相符合。

2.关键点抓牢

主要是把控是起始和末尾两部分

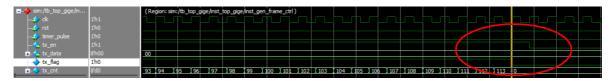
(1) 起点要高

7个0x55开头,紧接着是0xD5,前导码完全正确。然后是MAC地址,从目的端的6个0xff到源端的A8_BB_C8_07_D9_7F,完全正确。



(2) 结尾要靓

tx_cnt计数到113后清零,这与设定的数值也是相符合的,搞定了这部分。



再仔细对比其他数据,发现也是正确的,没有什么问题。

六、总结与讨论

没什么说的, 搞定就行了嘛。