

高级练习11 千兆通信中发送链路的定时器和心跳帧组建

一、练习内容

1.总项目要求

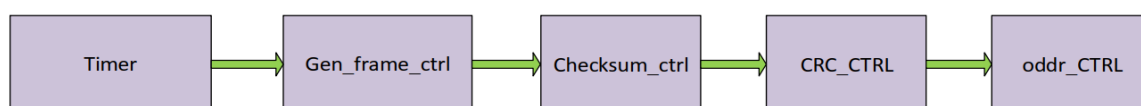
使用 FPGA 来构建 MAC 层和 UDP 组包，完成从板卡到主机的数据包传递链路。

2.本次练习内容

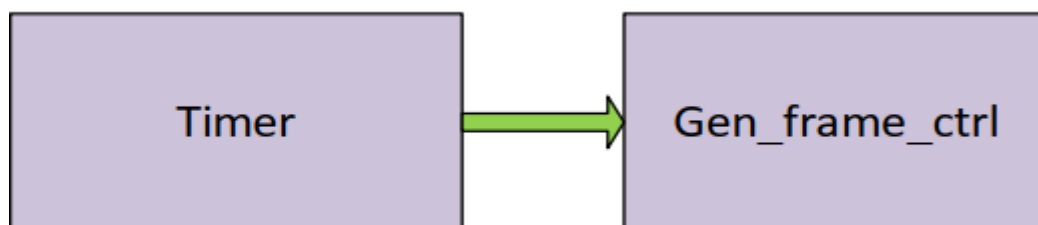
通过学习以太网的 UDP 帧协议，完成包的构建和使用网络抓包工具抓包分析数据包是否正确。

二、系统框图

1.总体设计框图



2.本次练习框图



即只完成总体项目框图的前两部分，将基本的UDP协议的数据构建完成。

三、设计分析

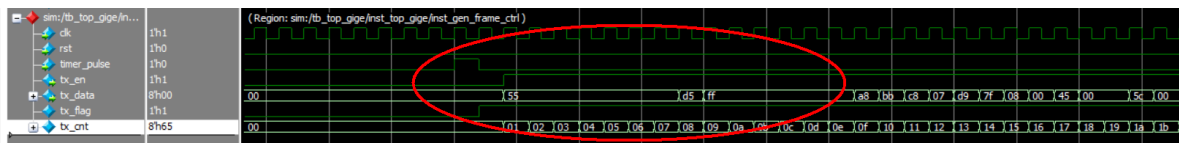
主要是时序分析，包含timer部分和gen_frame_ctrl部分

1.timer部分时序分析

每隔一秒产生一个脉冲，作为下一个模块的信号发生器。

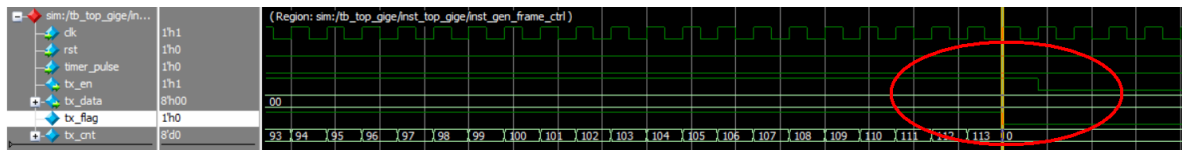
2.gen_frame_ctrl部分时序分析

对应的时钟产生对应的数据，就是按照协议填充数据即可，没有什么特殊的部分。



(2) 结尾要靓

tx_cnt计数到113后清零，这与设定的数值也是相符合的，搞定了这部分。



再仔细对比其他数据，发现也是正确的，没有什么问题。

六、总结与讨论

没什么说的，搞定就行了嘛。