## 计算机系统 I 实验报告 0

实验 0-1: 数字电路仿真环境准备

实验 0-2: FPGA 实验环境准备

姓名:洪奕迅

学号: 3230102930

班号: 工信 2319

计算机系统 I

(春夏, 2024)

浙江大学

计算机学院

2024年2月29日

# 目录

1	反相器的电压传输特性		
	1.1	相关实验步骤	2
	1.2	ngSpice 反映的反相器输入输出关系	2
	1.3	正弦 Vin 及其对应的 Vout 变化	3
	1.4	对反相器逻辑 0/1 的阈值设置	3
2	Logisim 电路仿真		
	2.1	相关实验步骤	5
	2.2	该电路功能	5
	2.3	输入输出关系与电路的内在关系	5
3	Veri	log 练习	6
	3.1	卡诺图化简及 Verilog 代码	6
	3.2	上板验证	6
4	仿真练习		7
	4.1	激励文件设计及仿真思路与截图	7
	4.2	Verilator 和 Vivado 部分按钮功能概述	7

### 反相器的电压传输特性

### 1.1 相关实验步骤

在 Linux 终端中输入以下命令以运行仓库中的 inv.sp 文件。

#### Code Snippet 1.1.1 ▶ Linux 命令

- ı cd /home/forever/sys1-sp24/src/lab0-1 # 进入仓库所在目录
- 2 ngspice inv.sp # 使用 ngspice 运行 sp 文件获取 spice 网表
- 3 # 在 ngspice 中可以使用点击,左键移动等方式可以将网表坐标、斜率等信息输出至终端

#### 效果如下图:

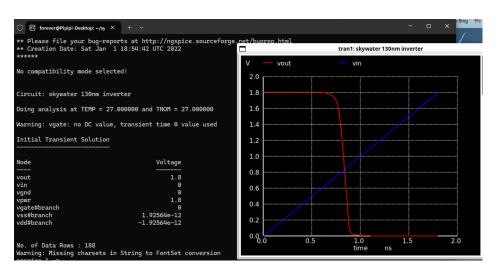


图 1.1: Linux 界面以及对应的 Spice 网表

### 1.2 ngSpice 反映的反相器输入输出关系

通过观察发现该反相器的输入输出大致满足这样的关系:

#### Theorem 1.2.1 ▶ 反相器的输入输出关系

线性变化的输入电压能够直接反映反相器的电学特性。

输出电压主要分为三个阶段,包括逻辑 1(接近 Vcc=1.8V,此时  $U_{in}=0\sim0.7V$ ),逻辑 0(几乎截止,此时  $U_{in}=1\sim1.8V$ )和一个在两个状态间的快速变化阶段(发生在  $U_{in}=0.7V\sim1V$  内)。

因此,输入输出的关系是,输出将输入的电平反相后输出,由于电学特性,其中有一个较小的跳变阶段,但是仍然能基本实现把一个模拟的输入电信号转为离散的逻辑电平。

### 1.3 正弦 Vin 及其对应的 Vout 变化

我将  $U_{in}$  设定为在  $0 \sim 1.8V$  间变化,由于手绘太丑,因此使用了由 Grogebra 绘制的底图,其中使用了 1.4 中确定的临界阈值。

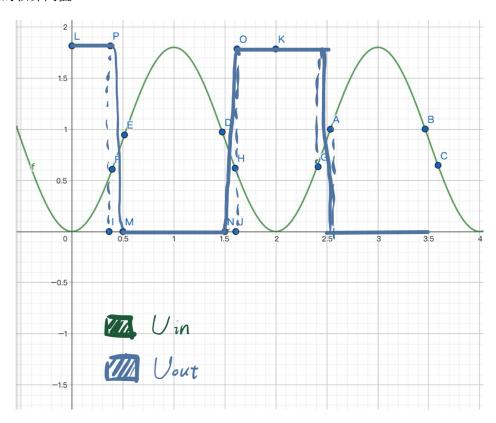


图 1.2: 此处描述了一个多周期内的输出电压变化,其中跳变由于手绘因此有一定失真

### 1.4 对反相器逻辑 0/1 的阈值设置

对于逻辑电路,应该尽可能保证 0/1 对应一个稳定且差距较大的电压,因此我认为可以这样设置:

#### Theorem 1.4.1 ▶ 阈值设置

由 ngspice 查询,我认为将反相器处于  $U_{1out}\approx 1.8V$ ,即完全导通作为输出逻辑 1 和输入逻辑 0,将反相器完全截止,即  $U_{0out}\approx 0V$  作为输出逻辑 0 和对应电压作为输入电压 1 能够同时保证输出范围分界明确以及输出电压稳定。

根据这一标准, 我设定的输入阈值和输出电压界定是:

 $U_{1out} \approx 1.8V$   $U_{0out} \approx 0V$ 

 $U_{1in} = 1 \sim 1.8V$   $U_{0out} = 0 \sim 0.665V$ 

## Logisim 电路仿真

- 2.1 相关实验步骤
- 2.2 该电路功能
- 2.3 输入输出关系与电路的内在关系

## Verilog 练习

- 3.1 卡诺图化简及 Verilog 代码
- 3.2 上板验证

## 仿真练习

- 4.1 激励文件设计及仿真思路与截图
- 4.2 Verilator 和 Vivado 部分按钮功能概述