



謝懷頡 HUI-AI-JIE HSIEH

畢業於台灣科技大學電子工程系，喜歡接觸新領域及累積開發經驗，
以擴展我對半導體產業的了解

✉ jay7226773@gmail.com

☎ 0956900314

📍 Tainan, Taiwan

Education

- NTUST ECE (GPA: 4.14 / 4.3, 系排: 3 / 108)
- CES Lab, advisor: 沈中安 教授
 - 專題1: 基於 CAM 架構實踐 CIM 加速運算
並應用於影像處理
 - 專題2: Software-Hardware Codesign for CNN
- 大學三年內共**四次書卷獎**
- **已修習之相關領域課程**
 - VLSI Design
 - 數位邏輯設計/實習
 - 數位系統設計/實習
 - 超大型積體電路設計/導論
 - 數位訊號處理/實習
 - 超大型積體電路測試與可測試性設計
 - FPGA 系統設計實務
 - 高等積體電路設計 (NTU GIEE)
 - 人工智慧晶片設計與應用
 - VLSI 系統設計
 - Computer Science
 - 計算機組織
 - 嵌入式系統設計/實習
 - 資料結構
 - 計算機演算法導論
 - 微算機原理及應用/實習
 - 圖形理論

Skills

Verilog / System Verilog

C/C++

SystemC

Python

AI

Matlab

Award

- **16th HOLTEK MCU 創意大賽 創新產品應用組 | 銀牌**
- **電子系專題成果展暨專題競賽 | 優勝**
- **2th 大手攜小手智慧創新應用競賽 | 佳作**

Learning

- **國家半導體研究中心(TSRI)**
 - Cell-based IC Implementation and Verification
 - Logic Synthesis with Design Compiler
 - Physical Design and Verification with IC Compiler I
 - Physical Design and Verification with IC Compiler II
 - Stratus HLS : SystemC-to-RTL高階合成晶片設計流程
- **智慧晶片系統與應用人才培育計畫**
 - 2022 FPGA Duckietown Workshop
- **Synopsys University Program**
 - 2021 Synopsys IC Design Summer Workshop

Side Project

- **Cell-Based Design**
 - RISC-V CPU (RV32IM)
 - Single Cycle, 5-stage Pipeline
 - 22-26th IC Contest
 - communications protocol
 - Uart, I2C, SPI, One wire (IR), AXI4
- **Full-Custom Design**
 - 8-bit Synchronous Binary Counter
- **Embedded System Design**
 - GUI Development
 - freeRTOS

Experience

- 25th IC Contest class E cell-based
- 2022 NTU IC Summer Camp
- 2022 NTUST-SIT 電資實務應用國際研討會
- 2023 TJCASxTKCAS 研討會