國立台灣大學電機資訊學院電子工程學研究所

系統晶片設計實驗
Soc Design Laboratory

Lab4-1 Report

Caravel SOC - Management FW

學生： M11202109 蘇柏丞
M11202103 陳泓宇
M11202207 呂彥霖

老師： 賴 瑾

中華民國 112 年 11 月 9 日

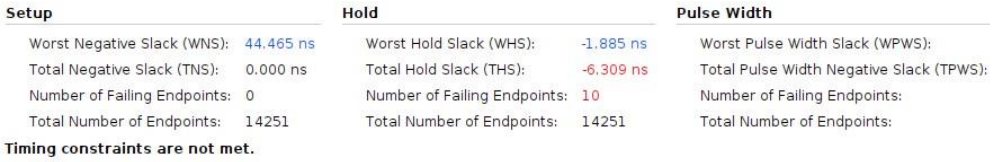
一、 Introduction：

有限脈衝響應 FIR (Finite Impulse Response)濾波器，可針對高頻、低頻或者指定頻段進行濾波，而對輸入訊號的反應時間有範圍限制故稱「有限」。

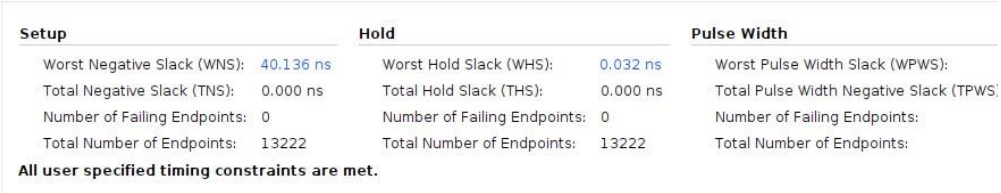
這次實驗當中我們將透過 Caravel SoC 去實現 FIR，首先將 FIR 功能用 C++實現並轉成機器語言，再將其放在 User Project Wrapper 當中 BRAM，實際的運算藉由 Wishbone Bus 將機器語言由 BRAM 傳給 Management SoC Wrapper 當中的 CPU 運算，最後將計算結果傳回 MPRJ 確認資料正確性。

二、 Observed & Learned

我們將整個 Cavarel SoC 使用 Vivado 進行 Synthesis 後發現我們的 Timing Report 中有 Hold time Violation，如圖(二八)，是因為時鐘繞的太遠，到達時間太晚。 而 Synthesis 之後給出的時序報告都是估計值，因此 Synthesis 之後可以不考慮 Hold Time，只考慮 Setup Time；即便此時 Hold Time Violation，我們也不需要去理會。在 Place Design 之後再去看 Hold Time，如果此時 Hold Time 的 Violation 比較小（比如-0.05ns），還是不需要理會的，因為工具在佈線時會修復 Hold，但如果 Slack 太大了，無法修復了，就會犧牲 setup 來彌補 hold。在圖(二九)中可以發現我們 implementation 後 Hold time Violation 被修掉了



圖(二八)



圖(二九)

三、 Resource Usage：

Name	Slice LUTs (53200)	Slice Registers (106400)	F7 Muxes (26600)	F8 Muxes (13300)	Block RAM Tile (140)	Bonded IOPADs (130)
design_1_wrapper	5575	6472	169	47	10	130
design_1_i (design_1)	5575	6472	169	47	10	0

圖(三十)

Resource	Utilization	Available	Utilization %
LUT	5575	53200	10.48
LUTRAM	223	17400	1.28
FF	6472	106400	6.08
BRAM	10	140	7.14

圖(三十一)

四、 Timing Report：

1. Design timing summary

Setup		Hold		Pulse Width	
Worst Negative Slack (WNS):	44.473 ns	Worst Hold Slack (WHS):	-1.885 ns	Worst Pulse Width Slack (WPWS):	
Total Negative Slack (TNS):	0.000 ns	Total Hold Slack (THS):	-6.942 ns	Total Pulse Width Negative Slack (TPWS	
Number of Failing Endpoints:	0	Number of Failing Endpoints:	10	Number of Failing Endpoints:	
Total Number of Endpoints:	13124	Total Number of Endpoints:	13124	Total Number of Endpoints:	

Timing constraints are not met.

圖(三十二)

2. Synthesize the design with maximum frequency

```
------------------------------------------------------------------
| Clock Summary
| -------------
------------------------------------------------------------------

Clock       Waveform(ns)         Period(ns)      Frequency(MHz)
-----       ------------         ----------      --------------
clk_fpga_0  {0.000 50.000}       100.000         10.000
```

圖(三十三)

3. Report timing on longest path, slack

```
Max Delay Paths
--------------------------------------------------------------------------------
Slack (MET) :             44.473ns  (required time - arrival time)
  Source:                 design_1_i/processing_system7_0/inst/PS7_i/FCLKCLK[0]
                            (clock source 'clk_fpga_0'  {rise@0.000ns fall@50.000ns period=100.000ns})
  Destination:            design_1_i/caravel_0/inst/housekeeping/wb_dat_o_reg[7]/D
                            (rising edge-triggered cell FDSE clocked by clk_fpga_0  {rise@0.000ns fall@50.000ns period=100.
  Path Group:             clk_fpga_0
  Path Type:              Setup (Max at Slow Process Corner)
  Requirement:            50.000ns  (clk_fpga_0 rise@100.000ns - clk_fpga_0 fall@50.000ns)
  Data Path Delay:        5.576ns  (logic 1.258ns (22.559%)  route 4.318ns (77.441%))
  Logic Levels:           8  (BUFG=1 LUT3=1 LUT4=1 LUT6=4 MUXF7=1)
  Clock Path Skew:        1.505ns (DCD - SCD + CPR)
    Destination Clock Delay (DCD):    1.505ns = ( 101.505 - 100.000 )
    Source Clock Delay      (SCD):    0.000ns = ( 50.000 - 50.000 )
    Clock Pessimism Removal (CPR):    0.000ns
  Clock Uncertainty:      1.500ns  ((TSJ^2 + TIJ^2)^1/2 + DJ) / 2 + PE
    Total System Jitter     (TSJ):    0.071ns
    Total Input Jitter      (TIJ):    3.000ns
    Discrete Jitter          (DJ):    0.000ns
    Phase Error              (PE):    0.000ns
```

圖(三十四)