國立台灣大學電機資訊學院電子工程學研究所

系統晶片設計實驗  
Soc Design Laboratory

LabD Report

|  |
| --- |
| WB-SDRAM |

學生： M11202109 蘇柏丞

M11202103 陳泓宇

M11202207 呂彥霖

老師： 賴 瑾

中華民國 112 年 12 月 17 日

1. the SDRAM controller design, SDRAM bus protocol …：
2. 請改
3. 請改
4. 請改
5. Prefetch Schematic：
6. 請改
7. 請改
8. 請改
9. Bank Interleave for Code and Data：
10. 請改
11. 請改
12. 請改
13. How to Modify the Linker to Load Address/Data in Two different bank
14. 請改
15. 請改
16. Observe SDRAM Access Conflicts with SDRAM Refresh (reduce the refresh period)
17. 請改
18. 請改