

计算机组成原理作业 6

傅申 PB20000051

2022 年 5 月 15 日

问题 1.

表 1: 16 个基本块, 每块大小为 1 个字

| Word Address | Binary Address | Index | Tag | Hit/Miss |
|--------------|----------------|-------|------|----------|
| 0x03 | 0000 0011 | 0011 | 0000 | Miss |
| 0xb4 | 1011 0100 | 0100 | 1011 | Miss |
| 0x2b | 0010 1011 | 1011 | 0010 | Miss |
| 0x02 | 0000 0010 | 0010 | 0000 | Miss |
| 0xbf | 1011 1111 | 1111 | 1011 | Miss |
| 0x58 | 0101 1000 | 1000 | 0101 | Miss |
| 0xbe | 1011 1110 | 1110 | 1011 | Miss |
| 0x0e | 0000 1110 | 1110 | 0000 | Miss |
| 0xb5 | 1011 0101 | 0101 | 1011 | Miss |
| 0x2c | 0010 1100 | 1100 | 0010 | Miss |
| 0xba | 1011 1010 | 1010 | 1011 | Miss |
| 0xfd | 1111 1101 | 1101 | 1111 | Miss |

表 2: 8 个基本块, 每块大小为 2 个字

| Word Address | Binary Address | Index | Tag | Hit/Miss |
|--------------|----------------|-------|------|----------|
| 0x03 | 0000 0011 | 001 | 0000 | Miss |
| 0xb4 | 1011 0100 | 010 | 1011 | Miss |
| 0x2b | 0010 1011 | 101 | 0010 | Miss |
| 0x02 | 0000 0010 | 001 | 0000 | Hit |
| 0xbf | 1011 1111 | 111 | 1011 | Miss |
| 0x58 | 0101 1000 | 100 | 0101 | Miss |
| 0xbe | 1011 1110 | 111 | 1011 | Hit |
| 0x0e | 0000 1110 | 111 | 0000 | Miss |
| 0xb5 | 1011 0101 | 010 | 1011 | Hit |
| 0x2c | 0010 1100 | 110 | 0010 | Miss |
| 0xba | 1011 1010 | 101 | 1011 | Miss |
| 0xfd | 1111 1101 | 110 | 1111 | Miss |

问题 2.

2.1) 下面对各种操作在一个周期内产生的数据传输量的期望进行讨论.

指令访问 $0.5 \times 0.30\% \times 64 = 0.096$ 字节/周期的读数据传输.

数据读 $0.5 \times \frac{250}{1000} \times 2\% \times 64 = 0.16$ 字节/周期的读数据传输.

数据写 每次写入都会写回主存, 产生 $0.5 \times \frac{100}{1000} \times 4 = 0.2$ 字节/周期的写数据传输. 而 Cache 是写分配的, 所以每次写失效都会将主存的对应块取入 Cache 中, 产生 $0.5 \times \frac{100}{1000} \times 2\% \times 64 = 0.064$ 字节/周期的读数据传输.

因此, 读带宽为 $0.096 + 0.16 + 0.064 = 0.32$ 字节/周期, 写带宽为 0.2 字节/周期.

2.2) 读数据传输情况与上一问相同, 所以读带宽仍为 0.32 字节/周期.

在数据读写时, 如果 Cache 失效并且替换出的数据块是脏块, 就会将数据块写回内存, 产生 $0.5 \times \frac{250+100}{1000} \times 2\% \times 30\% \times 64 = 0.672$ 字节/周期的写数据传输. 因此写带宽为 0.672 字节/周期.

问题 3.

$$\text{命中率} \frac{2000}{2050} = \frac{40}{41} \approx 97.56\%$$

$$\text{平均访问时间} \frac{2000 \times 50 + 50 \times 200}{2000 + 50} \text{ns} = \frac{2200}{41} \text{ns} \approx 53.66 \text{ns}$$

问题 4.

4.1) 主存访问需要 $\frac{100\text{ns}}{(2\text{GHz})^{-1}} = 200$ 周期.

仅有 L1 Cache CPI 为 $1.5 + 200 \times 7\% = 15.5$

使用 L2 直接映射 Cache CPI 为 $1.5 + 12 \times 7\% + 200 \times 3.5\% = 9.34$

使用 L2 八路组相联 Cache CPI 为 $1.5 + 28 \times 7\% + 200 \times 1.5\% = 6.46$

4.2) 假设 13% 为 L3 Cache 的局部失效率, 此处理器的 CPI 为 $1.5 + 12 \times 7\% + (200 \times 13\% + 50) \times 3.5\% = 5$

4.3) 如果假设 4% 为 512 KiB 片外 L2 Cache 的全局失效率. 设我们最终得到的 L2 片外 Cache 的失效率为 k , 则下面的方程:

$$1.5 + 50 \times 7\% + 200 \times k = 9.34$$

解得 k 为 2.17%, 说明我们片外 L2 Cache 的大小应该为 2048 KiB.

如果假设 4% 为 512 KiB 片外 L2 Cache 的局部失效率, 同样有

$$1.5 + (200 \times k + 50) \times 7\% = 9.34$$

解得 k 为 31%, 这时就只需要片外 L2 Cache 的大小为 512 KiB.