

计算机组成原理作业 7

傅申 PB20000051

2022 年 5 月 29 日

问题 1.

LRU Order 越小表示访问越晚, 比如 0 表示刚刚被访问.

1.1)

Address	Virtual Page	TLB H/M	Page H/M	Page Fault	TLB			
					Valid	LRU Order	Tag	Physical Page
0x123d	1	M	M	✓	1	3	0xb	12
					1	1	0x7	4
					1	2	0x3	6
					1	0	0x1	13
0x08b3	0	M	H	✗	1	0	0x0	1
					1	2	0x7	4
					1	3	0x3	6
					1	1	0x1	13
0x365c	3	H			1	1	0x0	1
					1	3	0x7	4
					1	0	0x3	6
					1	2	0x1	13
0x871b	8	M	M	✓	1	2	0x0	1
					1	0	0x8	14
					1	1	0x3	6
					1	3	0x1	13
0xbec6	b	M	H	✗	1	3	0x0	1
					1	1	0x8	14
					1	2	0x3	6
					1	0	0xb	12
0x3140	3	H			1	3	0x0	1
					1	2	0x8	14
					1	0	0x3	6
					1	1	0xb	12
0xc049	c	M	M	✓	1	0	0xc	15
					1	3	0x8	14
					1	1	0x3	6
					1	2	0xb	12

1.2) 拥有更大页大小可以提高 TLB hit 的概率, 但是会提高碎片化程度并且降低物理内存的利用率.

Address	Virtual Page	TLB H/M	Page H/M	Page Fault	TLB			
					Valid	LRU Order	Tag	Physical Page
0x123d	0	M	H	✗	1	3	0xb	12
					1	1	0x7	4
					1	2	0x3	6
					1	0	0x0	5
0x08b3	0	H			1	3	0xb	12
					1	1	0x7	4
					1	2	0x3	6
					1	0	0x0	5
0x365c	0	H			1	3	0xb	12
					1	1	0x7	4
					1	2	0x3	6
					1	0	0x0	5
0x871b	2	M	M	✓	1	0	0x2	13
					1	2	0x7	4
					1	3	0x3	6
					1	1	0x0	5
0xbec6	2	H			1	0	0x2	13
					1	2	0x7	4
					1	3	0x3	6
					1	1	0x0	5
0x3140	0	H			1	1	0x2	13
					1	2	0x7	4
					1	3	0x3	6
					1	0	0x0	5
0xc049	3	H			1	2	0x2	13
					1	3	0x7	4
					1	0	0x3	6
					1	1	0x0	5

1.3) 如下

Address	Virtual Page	Tag, Index	TLB H/M	Page H/M	Page Fault	TLB				
						Valid	Index	LRU Order	Tag	Physical Page
0x123d	1	0x0, 1	M	M	✓	1	0	1	0xb	12
						1	0	0	0x7	4
						1	1	1	0x3	6
						1	1	0	0x0	13
0x08b3	0	0x0, 0	M	H	✗	1	0	0	0x0	5
						1	0	1	0x7	4
						1	1	1	0x3	6
						1	1	0	0x0	13
0x365c	3	0x1, 1	M	H	✗	1	0	0	0x0	5
						1	0	1	0x7	4
						1	1	0	0x1	6
						1	1	1	0x0	13
0x871b	8	0x4, 0	M	M	✓	1	0	1	0x0	5
						1	0	0	0x4	14
						1	1	0	0x1	6
						1	1	1	0x0	13
0xbec6	b	0x5, 1	M	H	✗	1	0	1	0x0	5
						1	0	0	0x4	14
						1	1	1	0x1	6
						1	1	0	0x5	12
0x3140	3	0x1, 1	H			1	0	1	0x0	5
						1	0	0	0x4	14
						1	1	0	0x1	6
						1	1	1	0x5	12
0xc049	c	0x6, 0	M	M	✓	1	0	0	0x6	15
						1	0	1	0x4	14
						1	1	0	0x1	6
						1	1	1	0x5	12

1.4) 如下

Address	Virtual Page	Tag, Index	TLB H/M	Page H/M	Page Fault	TLB			
						Valid	Index	Tag	Physical Page
0x123d	1	0x0, 1	M	M	✓	1	0	0xb	12
						1	1	0x0	13
						1	2	0x3	6
						0	3	0x4	9
0x08b3	0	0x0, 0	M	H	✗	1	0	0x0	5
						1	1	0x0	13
						1	2	0x3	6
						0	3	0x4	9
0x365c	3	0x0, 3	M	H	✗	1	0	0x0	5
						1	1	0x0	13
						1	2	0x3	6
						1	3	0x0	6
0x871b	8	0x2, 0	M	M	✓	1	0	0x2	14
						1	1	0x0	13
						1	2	0x3	6
						1	3	0x0	6
0xbec6	b	0x2, 3	M	H	✗	1	0	0x2	14
						1	1	0x0	13
						1	2	0x3	6
						1	3	0x2	12
0x3140	3	0x0, 3	M	H	✗	1	0	0x2	14
						1	1	0x0	13
						1	2	0x3	6
						1	3	0x0	6
0xc049	c	0x3, 0	M	M	✓	1	0	0x3	15
						1	1	0x0	13
						1	2	0x3	6
						1	3	0x0	6

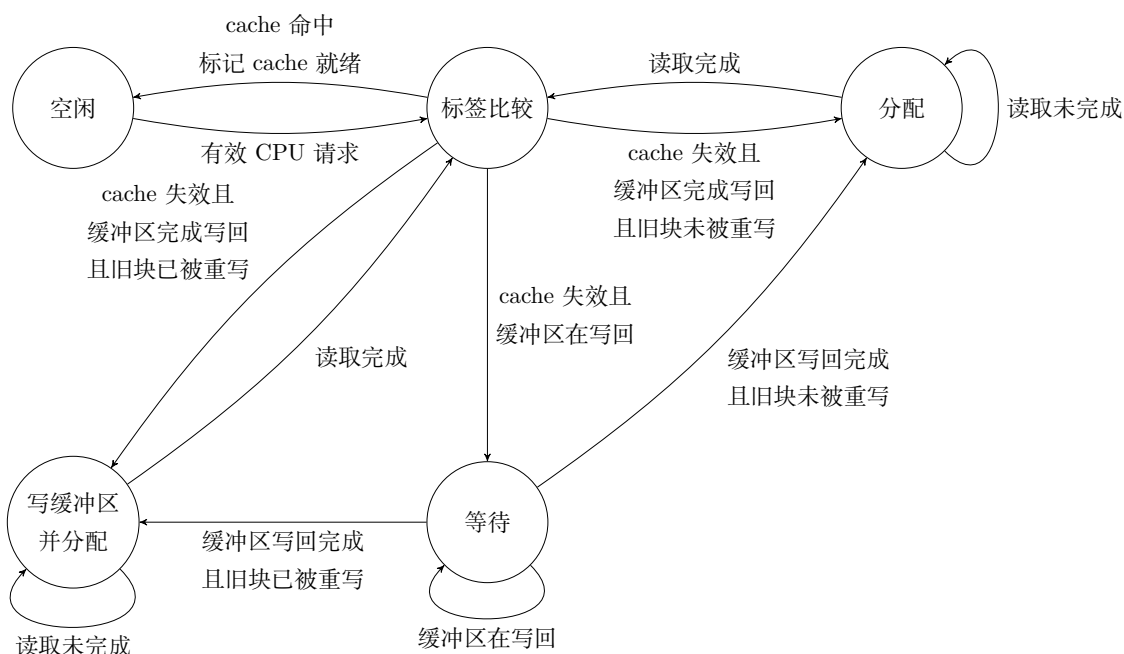
1.5) 如果没有 TLB, 每次虚拟内存访问至少需要两次访问: 第一次获得物理地址, 第二次获得数据. TLB 可以利用页表的访问局部性来提升性能.

问题 2.

2.1) cache 能立即完成这一请求, 因为将块从写缓冲区写回主存时, cache 的状态应该是空闲的.

2.2) cache 需要等待写回操作结束后才能完成请求, 因为写回时存储器是被占用的, 无法处理 cache 失效的请求.

2.3) 如下



问题 3.

3.1) 1100 的海明码是 01111100, 1101 的海明码是 1010101, 1110 的海明码是 00101110, 1111 的海明码是 11111111.

3.2) 1100100 的三个校验位中 $p_4 = 0$, $p_2 = 1$ 不正确, $p_1 = 1$ 正确, 因为 $(110)_2 = 6$, 所以第 6 位出错, 正确的海明码为 11001110.

1100111 的三个校验位中 $p_4 = 0$, $p_2 = 1$, $p_1 = 1$ 均不正确, 因为 $(111)_2 = 7$, 所以第 7 位出错, 正确的海明码为 11001110.

1100000 的三个校验位中, $p_2 = 1$, $p_1 = 1$ 不正确, $p_4 = 0$ 正确, 因为 $(011)_2 = 3$, 所以第 3 位出错, 正确的海明码为 11100000.

1100001 的三个校验位中, $p_4 = 0$ 不正确, $p_2 = 1$, $p_1 = 1$ 正确, 因为 $(100)_2 = 4$, 所以第 4 位出错, 正确的海明码为 1101001.

问题 4.

平均寻道时间 6ms, 平均旋转延迟 $\frac{0.5r}{10000\text{rpm}} = 3\text{ms}$, 控制器延迟 0.2ms, 传输时间 $\frac{4\text{KB}}{20\text{MB/s}} = 0.2\text{ms}$, 共计 9.4ms, 即为读取一个 4KB 的扇区所需平均时间.