

计算机组成原理作业 1

傅申 PB20000051

2022 年 3 月 1 日

问题 1.

式 a 可以化为

$$\begin{aligned} E &= ((A \cdot B) + (A \cdot C) + (B \cdot C)) \cdot (\overline{A \cdot B \cdot C}) \\ &= ((A \cdot B) + (A \cdot C) + (B \cdot C)) \cdot (\bar{A} + \bar{B} + \bar{C}) \\ &= (A \cdot B) \cdot (\bar{A} + \bar{B} + \bar{C}) + (A \cdot C) \cdot (\bar{A} + \bar{B} + \bar{C}) + (B \cdot C) \cdot (\bar{A} + \bar{B} + \bar{C}) \\ &= (A \cdot B) \cdot \bar{C} + (A \cdot C) \cdot \bar{B} + (B \cdot C) \cdot \bar{A} \\ &= (A \cdot B \cdot \bar{C}) + (A \cdot C \cdot \bar{B}) + (B \cdot C \cdot \bar{A}) \end{aligned} \quad (1)$$

即为式 b.

问题 2.

记四输入分布为 A, B, C, D , 输出为 L , 则显然有 $L = A \oplus B \oplus C \oplus D$ (\oplus 代表异或), 即

$$L = A \oplus B \oplus C \oplus D = (A\bar{B} + \bar{A}B) \oplus (C\bar{D} + \bar{C}D) = E\bar{F} + \bar{E}F \quad (2)$$

其中 $E = A\bar{B} + \bar{A}B, F = C\bar{D} + \bar{C}D$. 对应的电路图如下.

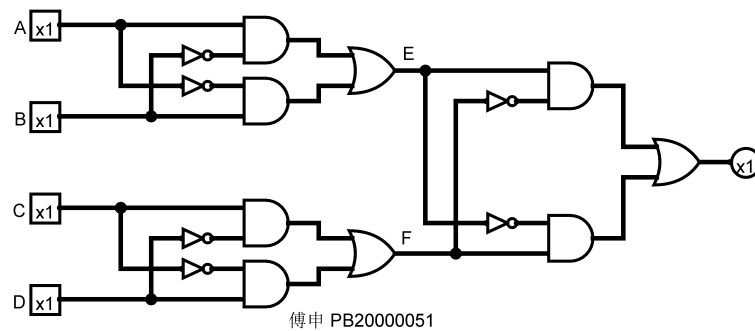


图 1: 奇校验函数电路图

问题 3.

- a)
- $L_1 = x_2x_1\bar{x}_0 + x_2\bar{x}_1x_0 + \bar{x}_2x_1x_0$
 - $L_2 = x_2\bar{x}_1\bar{x}_0 + \bar{x}_2x_1\bar{x}_0 + \bar{x}_2\bar{x}_1x_0$

- $L_3 = \overline{x_2}$
- $L_4 = x_2$

b) 按顺序如下

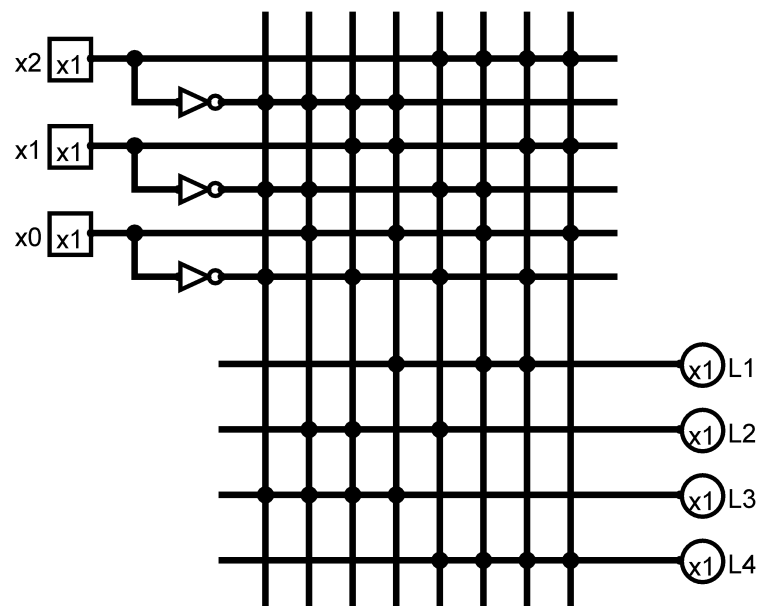


图 2: PLA 实现

问题 4.

- FUNC1 实现了一个两输入多路器 (MUX), 当 S 为高电平时输出 I1, 否则输出 I0.
- FUNC2 实现了一个 8 位计数器, 若 ct1 为高电平则正向计数 (递增), 否则反向计数 (递减), 在时钟上沿计数, rst 为高电平时清零.

问题 5.

```

1 module adder (
2     input  [3:0] in4,
3     input  [15:0] in16,
4     output [15:0] out
5 );
6     assign out = {12'h000, in4} + in16;
7 endmodule
8 module register (
9     input clk,

```

```
10     input rst,
11     input [15:0] in,
12     input load_en,
13     input [15:0] load,
14     output [15:0] out
15 );
16     reg [15:0] regfile;
17     always @(posedge clk or posedge rst) begin
18         if (rst) regfile <= 16'h0000;
19         else if (load_en) regfile <= load;
20         else regfile <= in;
21     end
22 endmodule
23 module main (
24     input [3:0] in,
25     input [15:0] LOAD,
26     input Clk,
27     input Rst,
28     input Load,
29     output [15:0] Out
30 );
31     wire [15:0] bus;
32     wire [15:0] adder_out;
33     assign out = bus;
34     adder Adder(
35         .in4(in),
36         .in16(bus),
37         .out(adder_out)
38     );
39     register Register(
40         .clk(Clk),
41         .rst(Rst),
42         .in(adder_out),
43         .load_en(Load),
44         .load(LOAD),
45         .out(bus)
46     );
47 endmodule
```