

中国科学技术大学计算机学院

《数字电路实验》报告



实验题目： Logisim 入门

学生姓名： 傅申

学生学号： PB20000051

完成日期： 2021 年 10 月 25 日

计算机实验教学中心制

2020 年 09 月

【实验题目】

Logisim 入门

【实验目的】

- 能够自行搭建 Logisim 实验环境
- 熟悉 Logisim 的各种基础器件和基本操作
- 能够使用 Logisim 搭建组合逻辑电路并进行仿真
- 能够使用封装子电路并进行电路设计

【实验环境】

- Windows PC 一台: CPU 为 Intel i5-1035G1
- Logisim 仿真工具

【实验过程】

Step 1: 获取 Logisim 实验环境

在电脑上安装 jre 后, 下载并运行 logisim.

Step 2: 熟悉 Logisim 界面

Logisim 主界面有五大部分: 菜单栏, 工具栏, 管理窗, 属性表, 画布.

Step 3: 熟悉 Logisim 基本操作

Logisim 可以在工具栏和管理窗选择各类组件, 将其放置在画布上构建组合电路.

Step 4: 模块封装

可以点击 Logisim 工具栏中的编辑电路封装图标, 进入电路封装编辑页面, 修改电路封装的样式并添加注释. 这样我们在其他电路中使用该模块.

【实验练习】

题目 1. 如下图 1, 我使用了两个 24×24 的 LED 点阵通过十六进制常量赋值的方式显示了自己的姓名. 其中常量转化为二进制后第几位为 1, 对应行/列的第几个 LED 亮起.

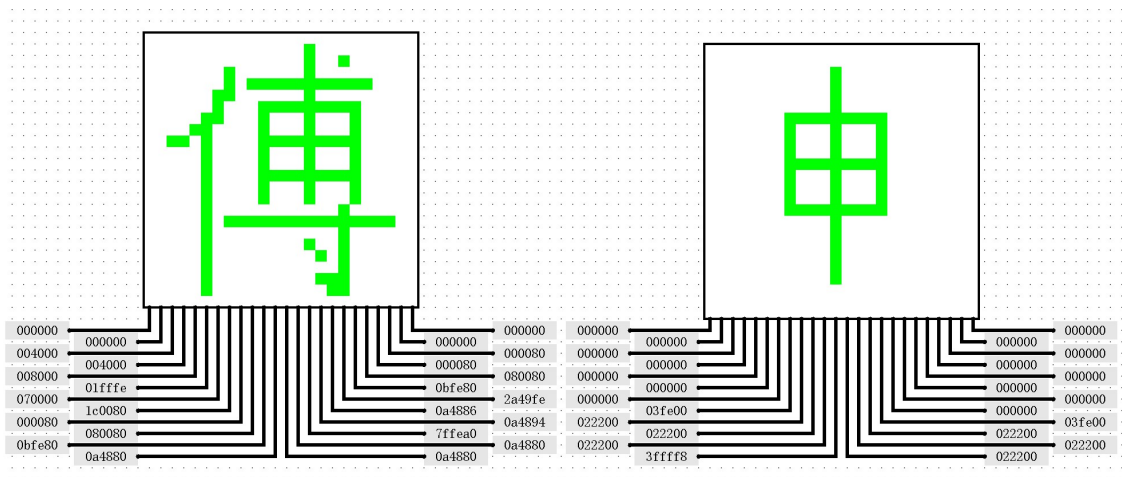


图 1: 显示姓名的 LED 点阵

题目 2. 如下图 2, 我使用了 8 个七段数码管通过常量赋值的方式显示了自己的学号.

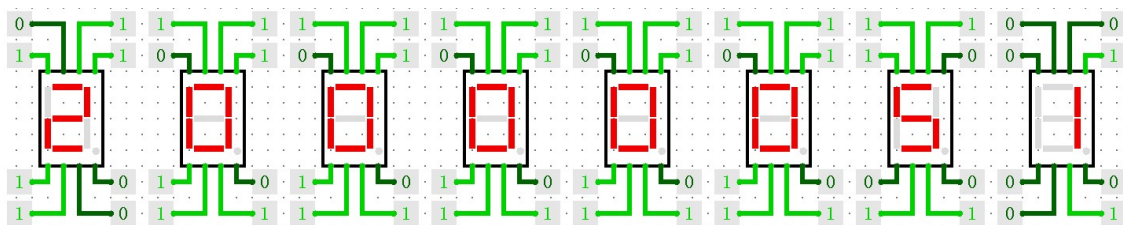


图 2: 显示学号的七段数码管

题目 3. 按照指导书中图片搭建的逻辑门如下图 3.

1. 如图 3(a), 当两个输入都为高电平时, 上端两个串联的 NMOS 都导通, 而下端两个并联的 PMOS 都截止, 此时输出端为高电平. 在其他情况下, 上端两个串联的 NMOS 至少有一个截止, 整体表现为截止, 而下端两个并联的 PMOS 至少有一个导通, 整体表现为导通, 所以输出端接地 (低电平).
所以该逻辑门为**与门**.
2. 如图 3(b), 当两个输入都为低电平时, 下端两个串联的 PMOS 都导通, 而上端两个并联的 NMOS 都截止, 此时输出端接地 (低电平). 在其他情况下, 下端两个串联的 PMOS 至少有一个截止, 整体表现为截止, 而上端两个并联的 NMOS 至少有一个导通, 整体表现为导通, 所以输出端为高电平.
所以该逻辑门为**或门**.
3. 如图 3(c), 当输入为高电平时, 上端 PMOS 截止, 下端 NMOS 导通, 输出端接地 (低电平); 当输出为低电平时, 上端 PMOS 导通, 下端 NMOS 截止, 输出端为高电平.
所以该逻辑门为**非门**.

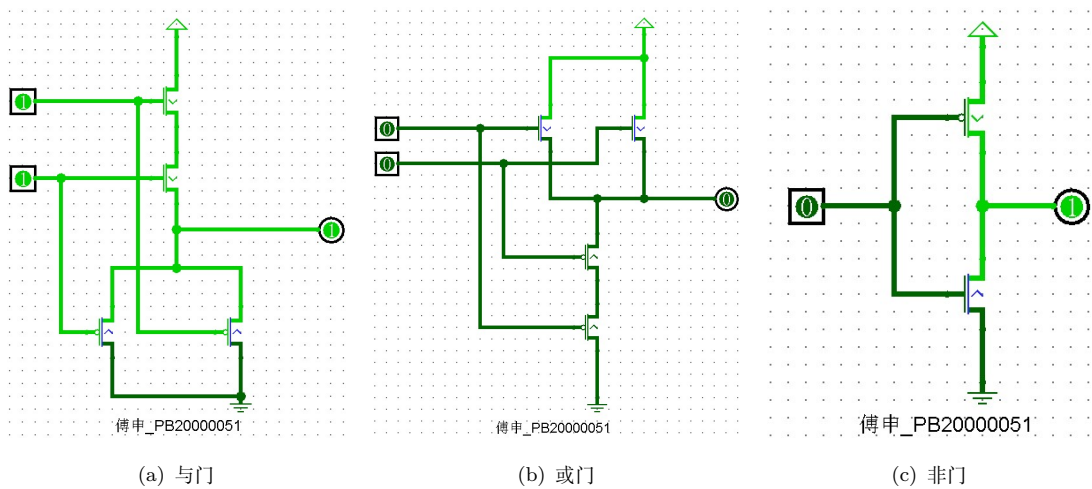


图 3: 按照指导书搭建的逻辑门

注意到有下列恒等式:

$$\overline{A \cdot B} = \overline{A} + \overline{B} \quad \overline{A + B} = \overline{A} \cdot \overline{B}$$

而 NMOS 和 PMOS 的行为特性刚好相反, 因此, 只需要将或门和与门中的 NMOS 与 PMOS 互换, 即可得到与非门 (图 4(a)) 和或非门 (图 4(b)), 如图 4.

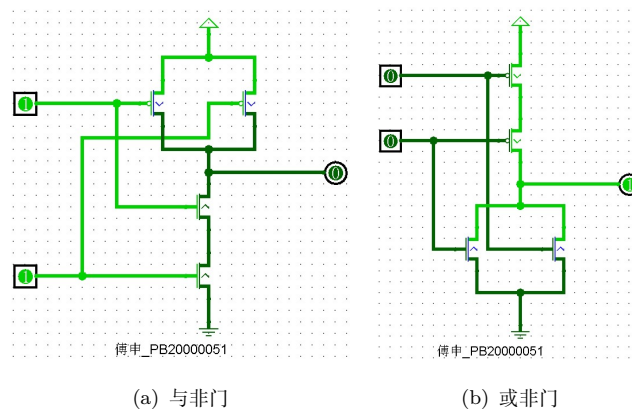


图 4: 与非门和或非门

题目 4. 在题目 3. 中设计的单 bit 门电路封装如下图 5.

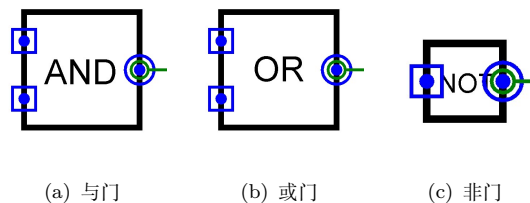


图 5: 门电路封装

利用 1bit 位宽的二选一选择器的逻辑表达式:

$$out = \overline{sel} \cdot in_0 + sel \cdot in_1$$

可以设计出如下图 6 的 1bit 位宽的二选一选择器, 其中使用了与门 2 个, 或门 1 个, 非门 1 个。

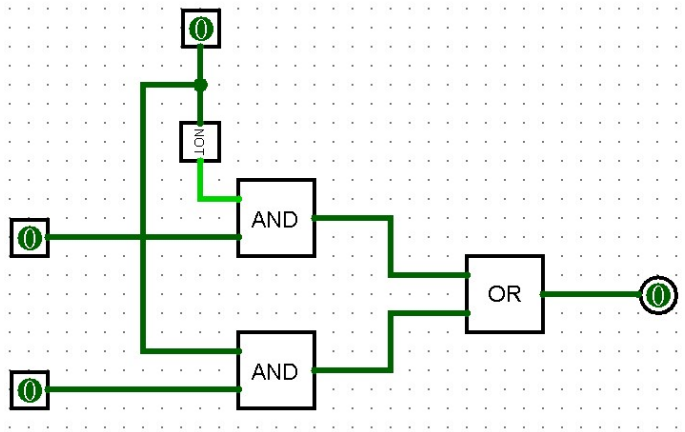


图 6: 1bit 位宽的二选一选择器

对于 2bit 位宽的四选一选择器, 我们可以先设计 1bit 位宽的四选一选择器, 对其进行封装, 然后拼接成 2bit 位宽的四选一选择器. 其中, 可以利用设计二选一选择器的思想, 先对高位进行筛选. 然后对低位进行筛选, 最后求或, 即可得 1bit 位宽的四选一选择器, 表达式如下

$$out = \overline{sel[1]} \cdot in_{00} \cdot \overline{sel[0]} + \overline{sel[1]} \cdot in_{01} \cdot sel[0] + sel[1] \cdot in_{10} \cdot \overline{sel[0]} + sel[1] \cdot in_{00} \cdot sel[0]$$

构建出的 1bit 位宽的四选一选择器组合电路及封装如下图 7, 其中使用了与门 8 个, 或门 3 个, 非门 2 个。

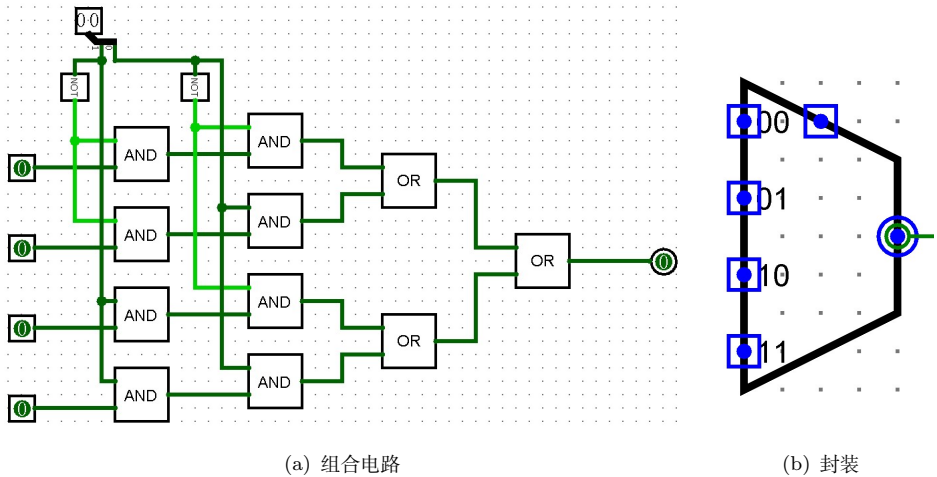


图 7: 1bit 位宽的四选一选择器

对 2bit 位宽输入的两位分别进行四选一, 即可得到 2bit 位宽的四选一选择器, 如下图 8.

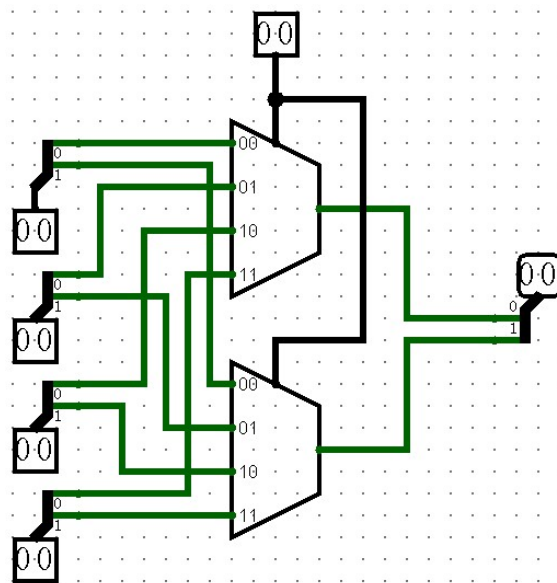


图 8: 2bit 位宽的四选一选择器

其中使用了两个 1bit 位宽的四选一选择器, 使用总共使用了与门 16 个, 或门 6 个, 非门 4 个, 若在选择端进行优化, 还可省去 2 个非门.

【总结与思考】

收获 学会了用 Logisim 设计组合电路的基本操作, 了解了如何封装电路.

难易程度与任务量 较为轻松.

吐槽 题目 1. 中使用 LED 阵列显示自己姓名的时候操作有些繁琐, 而且有些学生的姓名可能比较复杂, 以后可以尝试显示学生姓名的拼音或者缩写.