

中国科学技术大学计算机学院

《数字电路实验》报告



实验题目: Verilog 硬件描述语言

学生姓名: 傅申

学生学号: PB20000051

完成日期: 2021 年 11 月 16 日

计算机实验教学中心制

2020 年 09 月

【实验题目】

Verilog 硬件描述语言

【实验目的】

- 掌握 Verilog HDL 常用语法
- 能够熟练阅读并理解 Verilog 代码
- 能够设计较复杂的数字功能电路
- 能够将 Verilog 代码与实际硬件相对应

【实验环境】

- Windows PC
- Microsoft Visual Studio Code
- Xilinx Design Tools Vivado HL Design Edition 2019.1

【实验练习】

题目 1: 条件语句需要出现在 `always` 语句的过程语句部分, 而不能在模块内部单独出现, 因此修改代码如下:

Verilog 代码 1: 修改后的题目 1.

```
1 module test(  
2     input  a,  
3     output reg b);  
4     always @(*) begin  
5         if (a) b = 1'b0;  
6         else  b = 1'b1;  
7     end  
8 endmodule
```

题目 2: 补充后的代码如下:

Verilog 代码 2: 补充完毕的题目 2.

```
1 module test(  
2     input  [4:0] a,  
3     output reg [4:0] b);  
4     always@(*)  
5         b = a;  
6 endmodule
```

题目 3: 当 a=8'b0011_0011, b=8'b1111_0000 时各个输出信号的值如下:

表 1: 各个输出信号的值			
输出信号	值	输出信号	值
c	8'b0011_0000	d	8'b1111_0011
e	8'b1100_0011	f	8'b1100_1100
g	8'b0011_0000	h	8'b0000_0110
i	8'b0000_0000	j	8'b1111_0000
k	8'b0100_0011		

题目 4: 语法错误如下:

1. 在 sub_test 模块中使用 assign 语句给寄存器类型的 c 赋值. 应该将 c 改成线网类型;
2. 在 test 模块中, 模块调用时输出端应该与线网类型的数据链接, 但是 temp 是寄存器类型. 应该将其改为线网类型;
3. 在 test 模块中, 两次模块调用都混用了两种关联方式. 应该将它们修改为使用一种关联方式, 下面的代码 3 使用通过名称关联的方式.

修改后的代码如下:

Verilog 代码 3: 修改后的题目 4.

```
1 module sub_test(  
2     input  a, b,  
3     output c);  
4     assign c = (a < b)? a : b;  
5 endmodule  
6  
7 module test (  
8     input a, b, c,  
9     output o);  
10    wire temp;  
11    sub_test sub_test1(.a(a),      .b(b), .c(temp));  
12    sub_test sub_test2(.a(temp),   .b(c), .c(o));  
13 endmodule
```

题目 5: 语法错误如下:

1. 在 sub_test 模块中, 输出信号的定义出现在了模块的主体部分. 应该将它放在模块名后面的括号内;
2. 在 test 模块中, 对其他模块的调用出现在了 always 语句的过程语句中. 应该将它放在模块内部单独出现.

修改后的代码如下:

Verilog 代码 4: 修改后的题目 5.

```
1 module sub_test(  
2     input  a, b,  
3     output o);  
4     assign o = a + b;  
5 endmodule  
6  
7 module test(  
8     input  a, b,  
9     output c);  
10    sub_test sub_test(a, b, c);  
11 endmodule
```

【总结与思考】

收获 学习了 Verilog HDL 语言, 练习了如何找到 Verilog 代码中一些简单的错误.

难易程度 简单

任务量 轻松

建议 无