

中国科学技术大学计算机学院

《数字电路实验》报告



实验题目：使用 Vivado 进行仿真

学生姓名：傅申_____

学生学号：PB20000051_____

完成日期：2021 年 11 月 23 日

计算机实验教学中心制

2020 年 09 月

【实验题目】

使用 Vivado 进行仿真

【实验目的】

- 熟悉 Vivado 软件的下载、安装及使用
- 学习使用 Verilog 编写仿真文件
- 学习使用 Verilog 进行仿真，查看并分析波形文件

【实验环境】

- Windows PC
- Microsoft Visual Studio Code
- Xilinx Design Tools Vivado HL Design Edition 2019.1

【实验练习】

题目 1: 编写的 Verilog 仿真文件如下

Verilog 代码 1: 题目 1 的仿真文件

```
1  `timescale 1ns / 1ps
2  module test_bench();
3  reg  a, b;
4
5  initial #400 $finish;
6
7  initial
8  begin
9      a = 1'b1;
10     #200 a = 1'b0;
11 end
12
13 initial
14 begin
15     b = 1'b0;
16     #100 b = 1'b1;
17     #175 b = 1'b0;
18     #75  b = 1'b1;
19 end
20 endmodule
```

生成的仿真波形如下图 1.

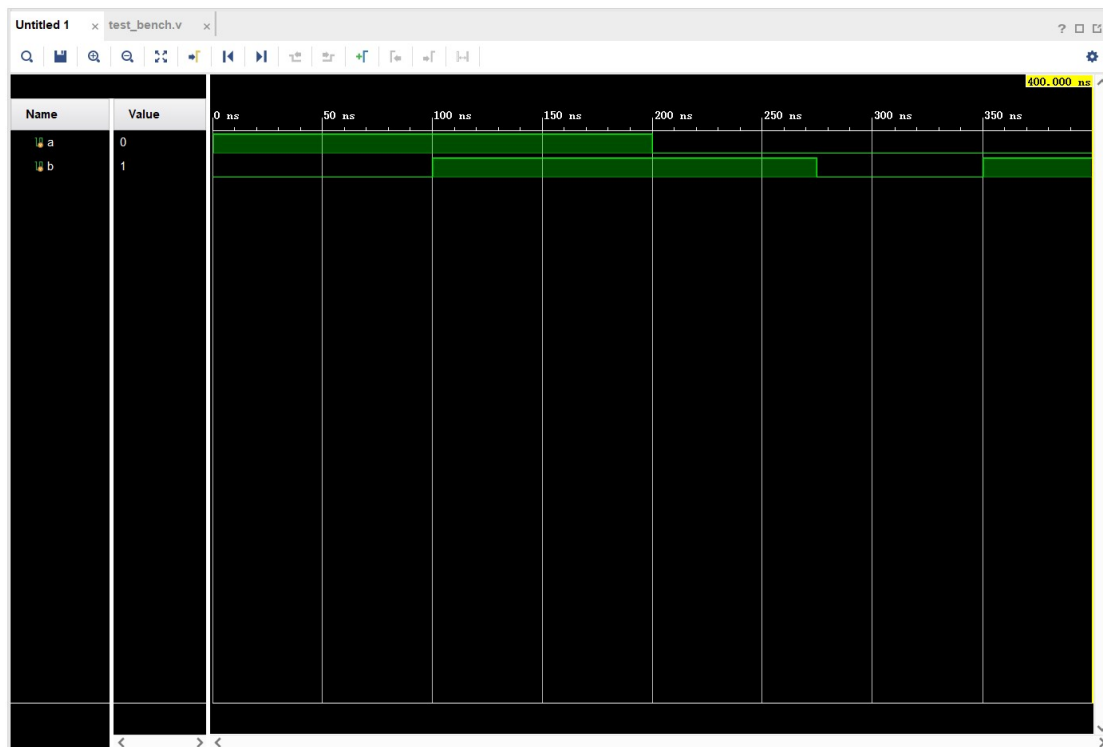


图 1: 题目 1 的仿真波形

题目 2: 编写的 Verilog 仿真文件如下

Verilog 代码 2: 题目 2 的仿真文件

```
1  `timescale 1ns / 1ps
2  module test_bench();
3  reg clk, rst_n, d;
4
5  initial #55 $finish;
6
7  initial clk = 1'b0;
8  always #5 clk = ~clk;
9
10 initial
11 begin
12     rst_n = 1'b0;
13     #27 rst_n = 1'b1;
14 end
15
16 initial
17 begin
18     d = 1'b0;
```

```

19     #13 d = 1'b1;
20     #24 d = 1'b0;
21 end
22 endmodule

```

生成的仿真波形如下图 2.

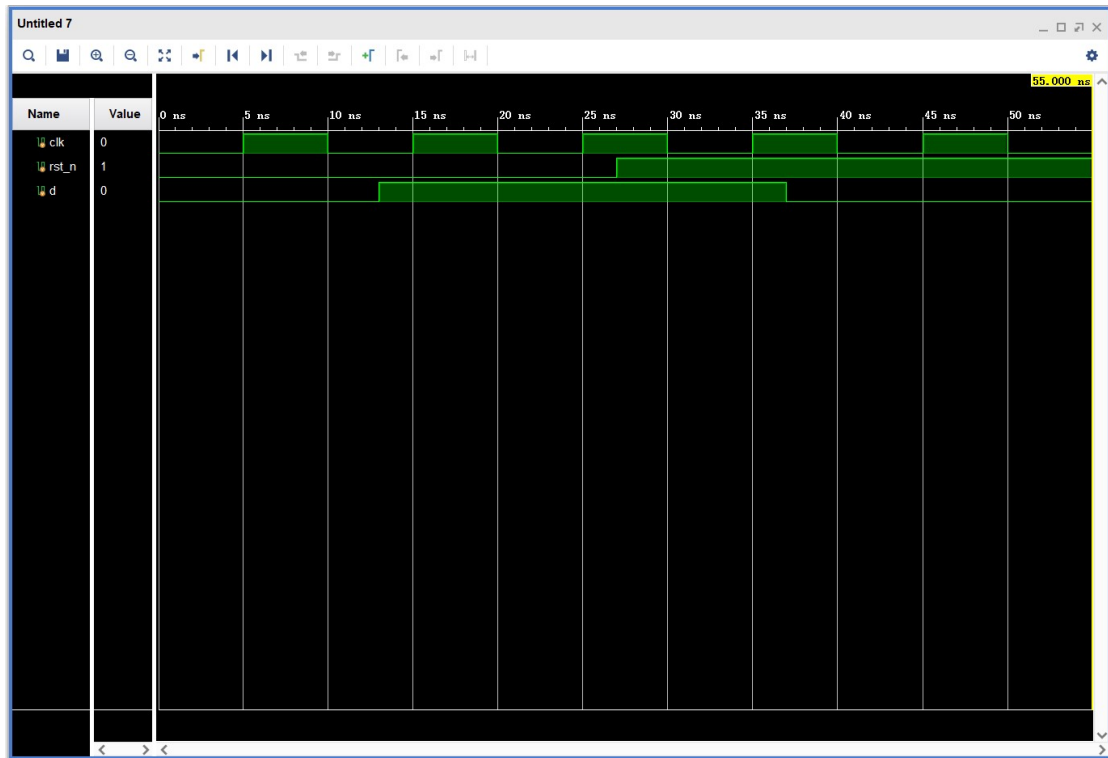


图 2: 题目 2 的仿真波形

题目 3: 编写的 Verilog 仿真文件如下

Verilog 代码 3: 题目 3 的仿真文件

```

1  `timescale 1ns / 1ps
2  module test_bench();
3  reg  clk, rst_n, d;
4  wire q;
5
6  d_ff_r d_ff_r(.clk(clk),.rst_n(rst_n),.d(d),.q(q));
7
8  initial #55 $finish;
9
10 initial clk = 0;
11 always #5 clk = ~clk;
12
13 initial

```

```

14 begin
15     rst_n = 0;
16     #27 rst_n = 1;
17 end
18
19 initial
20 begin
21     d = 0;
22     #13 d = 1;
23     #24 d = 0;
24 end
25
26 endmodule

```

生成的仿真波形如下图 3.

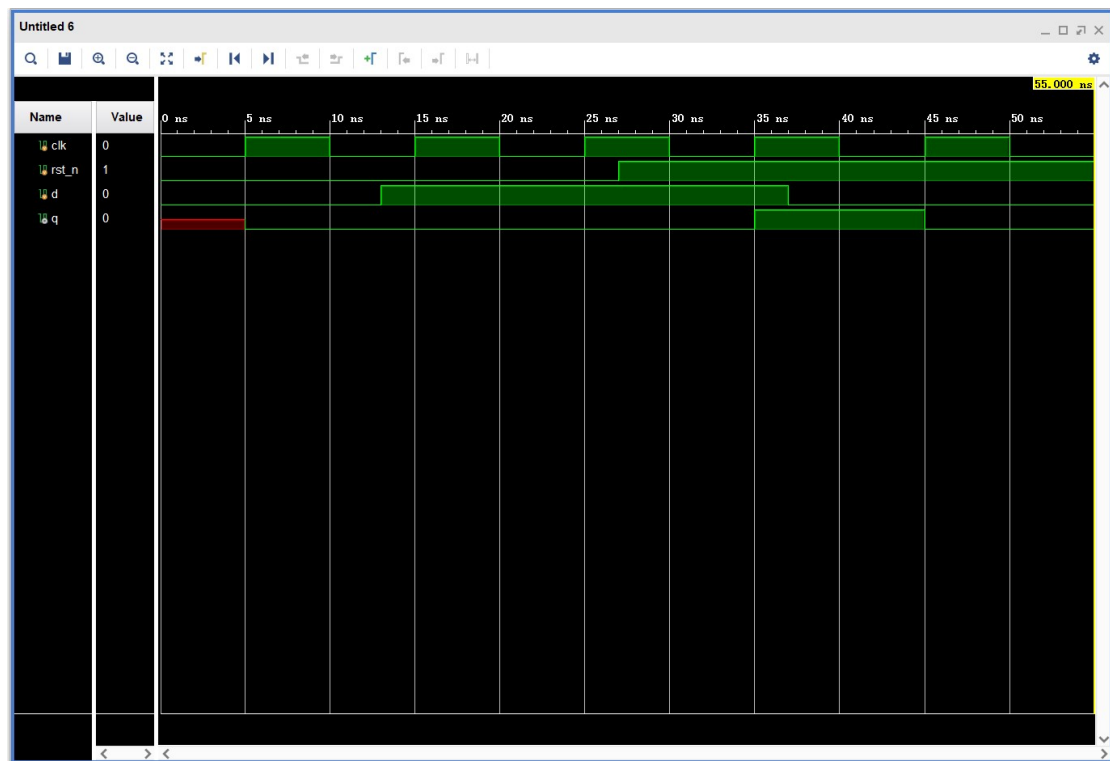


图 3: 题目 3 的仿真波形

题目 4: 设计的 3-8 译码器模块的代码如下

Verilog 代码 4: 3-8 译码器模块

```

1 // 模块文件: Design Sources/decoder_3to8.v
2 module decoder_3to8(
3     input  [3:0] in,
4     output reg a, b, c, d, e, f, g, h

```

```

5 );
6 always @(*)
7 begin
8     a = 0;
9     b = 0;
10    c = 0;
11    d = 0;
12    e = 0;
13    f = 0;
14    g = 0;
15    h = 0;
16    case(in)
17        3'b000: a = 1;
18        3'b001: b = 1;
19        3'b010: c = 1;
20        3'b011: d = 1;
21        3'b100: e = 1;
22        3'b101: f = 1;
23        3'b110: g = 1;
24        3'b111: h = 1;
25        default:;
26    endcase
27 end
28 endmodule

```

仿真测试文件如下

Verilog 代码 5: 题目 4 仿真测试文件

```

1 // 仿真文件: Simulation Sources/test_bench.v
2 `timescale 1ns / 1ps
3 module test_bench();
4     reg [3:0] in;
5     wire a, b, c, d, e, f, g, h;
6     decoder_3to8 decoder(.in(in), .a(a), .b(b), .c(c), .d(d),
7                          .e(e), .f(f), .g(g), .h(h));
8
9     initial
10    begin
11        in = 3'b000;
12        repeat(7) #10 in = in + 1;
13        #10 $finish;
14    end
15 endmodule

```

生成的仿真波形如下图 4.

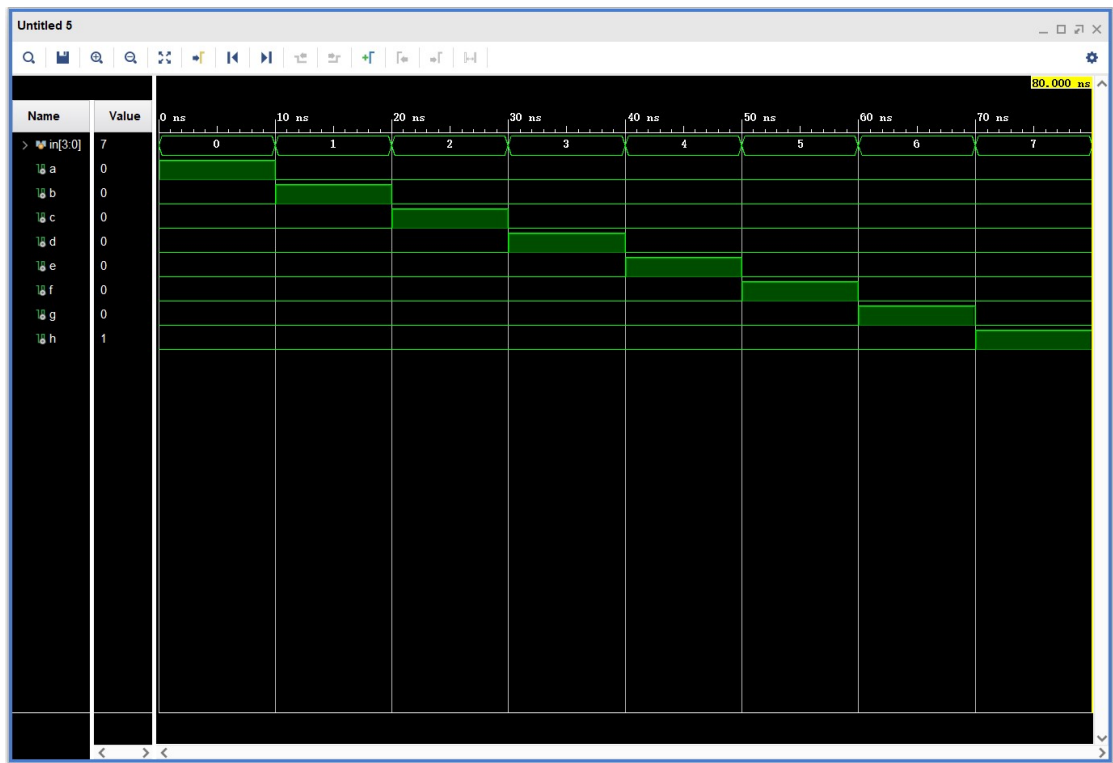


图 4: 题目 4 的仿真波形

【总结与思考】

收获 学习了如何编写仿真文件并使用 Vivado 进行仿真

难易程度 简单

任务量 轻松

建议 第 2 题与第 3 题可以合并